

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

FACULTAD DE INGENIERÍA

MAESTRIA Y DOCTORADO EN CIENCIAS E INGENIERIA



**“EVALUACIÓN DEL DESEMPEÑO DE UN CÓDIGO DE
BLOQUE ESPACIO TIEMPO G2 y G3 UTILIZANDO
UNA PLATAFORMA FPGA”**

T E S I S

Que para cubrir parcialmente los requisitos para obtener el grado de
MAESTRO EN INGENIERÍA ÁREA ELÉCTRICA presenta:

ROSA CITLALLI ANGUIANO COTA

DIRECTORES DE TESIS:

DR. ÁNGEL ANDRADE REÁTIGA

M.C. GUILLERMO GALAVÍZ YAÑEZ



UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA
FACULTAD DE INGENIERÍA, MEXICALI
Maestría y Doctorado en Ciencias e Ingeniería

ACTA DE REVISIÓN DE TESIS

TESIS DE GRADO

**"EVALUACIÓN DEL DESEMPEÑO DE UN CÓDIGO DE BLOQUE
ESPACIO TIEMPO G2 y G3 UTILIZANDO UNA PLATAFORMA
FPGA"**

PRESENTADA POR

ROSA CITLALLI ANGUIANO COTA

Y APROBADA POR EL SIGUIENTE COMITÉ

DR. ÁNGEL GABRIEL ANDRADE
REÁTIGA
Director del Comité

M.C. GUILLERMO GALAVIZ YAÑEZ
Codirector del Comité

DR. DAVID ISAIAS ROSAS
ALMEIDA
Miembro del Comité

DR. PEDRO MAYORGA ORTIZ
Miembro del Comité

M.C. JORGE EDUARDO IBARRA
ESQUER
Miembro del Comité

Dr. Ángel Gabriel Andrade Reátiga
Coordinador de Investigación y
Posgrado
Facultad de Ingeniería

22 de Mayo de 2008

RESUMEN de la tesis de Rosa Citlalli Anguiano Cota, presentado como requisito parcial para la obtención del grado de MAESTRO EN INGENIERÍA ÁREA ELÉCTRICA.

Mexicali, Baja California, México, Mayo de 2008.

EVALUACIÓN DEL DESEMPEÑO DE UN CÓDIGO DE BLOQUE ESPACIO TIEMPO G2 y G3 UTILIZANDO UNA PLATAFORMA FPGA

Resumen aprobado por:

Dr. Ángel Gabriel Andrade Reátiga
Director de tesis

M.C. Guillermo Galaviz Yañez
Co-director de tesis

En este trabajo se presenta la evaluación del desempeño de un Código de Bloque Espacio Tiempo G2 Y G3 aplicado a sistemas de comunicaciones móviles utilizando una plataforma FPGA. El sistema se diseñó bajo el ambiente de Quartus II y DSP Builder de simulink en un dispositivo FPGA APEX20KE de Altera. Al ser el FPGA una plataforma reconfigurable se cuenta con fáciles modificaciones al sistema, así como implementaciones en hardware. El sistema de comunicaciones implementado en esta plataforma cuenta con etapas, transmisora y receptora que utilizan una modulación y demodulación QPSK, respectivamente. Variaciones en las potencias de ruido como escenario de simulación de un canal inalámbrico fueron utilizadas para evaluar el rendimiento del sistema en la plataforma FPGA. Se obtuvieron las graficas del comportamiento de cada uno de los bloques del sistema así como el BER para un determinado valor de Eb/No.

Palabras clave:

Sistemas de comunicaciones, Sistemas MIMO: Multiple-Input, Multiple-Output, Códigos de Bloque Espacio Tiempo: STBC, multitrayectoria, ruido, FPGA, Eb/No, BER.

ABSTRACT of the thesis presented by ROSA CITLALLI ANGUIANO COTA, in order to obtain the MASTER OF ENGINEERING DEGREE ELECTRIC AREA. Mexicali, Baja California, México, May 2008.

EVALUACIÓN DEL DESEMPEÑO DE UN CÓDIGO DE BLOQUE ESPACIO TIEMPO G2 y G3 UTILIZANDO UNA PLATAFORMA FPGA

In this thesis the performance evaluation of the Space Time Block Code: STBC G2 and G3 is presented and applied on a mobile communication system using the FPGA platform. The system was designed under the Quartus II and DSP Builder of simulink platform on a FPGA APEX20KE device from Altera. Being the FPGA a reconfigurable platform it is feasible to make modifications on the system as well as implementations in hardware. The implemented communications system in this platform contains stages like, receiver and transmitter where use a QPSK modulation and demodulation respectively. Variations in the noise power on the simulation for a wireless channel were applied to evaluate the performance of the system in platform FPGA. The graphics of the behavior of each one of the blocks of the system as well as the BER for a certain value of E_b/N_0 were obtained.

Keywords:

Communications system, MIMO systems: Multiple-Input, Multiple-Output, Space Time Block Code: STBC, multipath, noise, FPGA, E_b/N_0 , BER.

DEDICATORIA

A mi Esposo Daniel y a mi Hija Citlalli.

AGRADECIMIENTOS

Quiero agradecer primeramente a Dios por darme vida, salud y amor de mi familia, amigos y maestros, y el ayudarme a realizar todas las metas que me he propuesto.

Daniel muchas gracias por quererme tanto, por estar conmigo cuando he estado de buenas y de malas, por brindarme tu ayuda cuando la necesito y siempre contar con tu apoyo incondicional. Te amo

Gracias Citlalli por estar aquí conmigo y quererme tanto, por esperarme siempre con tu nana o tu mami Lely, aunque no supieras el porque me iba. Quiero que sepas que en todo momento, aunque no estuviera junto a ti, ya sea por trabajo o por estar en la maestría, estaba pensando en ti y en tu papi.

Gracias Mami, por apoyarme y ayudarme a cuidar a Citlalli, por aguantar a las dos Citlalli's, no sabes cuanto te quiero y te lo agradezco.

Gracias Papi por siempre contar con tu ayuda y apoyo incondicional, por alentarme a siempre seguir adelante en todo lo que me he propuesto. Te quiero mucho.

Gracias Mami Lely por siempre contar con su ayuda en todo momento y en todo aspecto, usted junto con toda la familia casi se podría decir que hizo esta maestría junto conmigo. La quiero mucho.

Gracias Marisol y Gaby por siempre contar con su apoyo, cariño y ayuda, ya sea cuidando a la bebe o haciéndome un favor. Las quiero mucho.

Gracias Angélica, Tío Carlos y Carlitos, por ayudarme cuando los he necesitado incondicionalmente. Los quiero.

Gracias Suegro, Erika, Raul, Dany, Vale, y Mamilla por siempre preocuparse por mi y mi familia y apoyarme cuando los necesito.

Gracias maestro Galaviz y Dr. Angel, por ayudarme y apoyarme, por siempre asesorarme cuando tengo alguna duda o pregunta y por brindarme su amistad.

Gracias Irma por brindarme tu amistad, apoyo y ser mi compañera en este trabajo de maestría.

Gracias a los Maestros Daniel y Paty por brindarme su amistad y ayuda.

Gracias a mis amigos por siempre preocuparse por mi y brindarme su amistad.

Índice

	<u>Página</u>
1. Introducción y motivación	1
1.1 Introducción	1
1.2 Planteamiento del problema	2
1.3 Objetivo	3
1.4 Antecedentes	3
1.5 Organización del trabajo	4
2. Códigos de Bloque Espacio Tiempo	5
2.1 Código de Bloque Espacio Tiempo tipo G2	6
2.1.1 Código de Bloque Espacio Tiempo tipo G2 con un receptor	7
2.2 Código de Bloque Espacio Tiempo tipo G3 con un receptor	10
3. Definiciones de los componentes utilizados para la implementación del sistema de comunicaciones con un STBC en la plataforma FPGA	13
3.1 Secuencias binarias pseudo-aleatorias	14
3.2 Modulación y demodulación	15
3.2.1 Modulación	15
3.2.1.1 Modulación digital	16
3.2.1.2 Modulación QPSK	16
3.2.2 Demodulación	18
3.3 Generador de ruido con distribución Gaussiana	19
3.3.1 Generador de números aleatorios con distribución uniforme	19
3.3.2 Generación de variables aleatorias Gaussianas	20
4. Implementación del STBC tipo G2 y G3 en la plataforma FPGA	21
4.1 Plataforma FPGA utilizada para la implementación	21
4.2 Desarrollo de la implementación del STBC tipo G2 y G3	24
5. Resultados de la implementación del STBC tipo G2 y G3 en la plataforma FPGA	43
6. Conclusiones y trabajo futuro	56
6.1 Conclusiones	56
6.2 Trabajo Futuro	57
6.3 Resultados de la tesis	58
Bibliografía	59

Índice de figuras

Figura	<u>Página</u>
2.1 Representación de un STBC tipo G2, con un receptor.	9
2.2 Representación de un STBC tipo G3 con un receptor.	11
3.1 Modelo a bloques de un sistema de comunicaciones utilizando un STBC G2 y G3.	13
3.2 Ejemplo de una constelación IQ utilizada en una modulación digital QPSK.	17
3.3 Diagrama a bloques de un modulador QPSK.	17
3.4 Demodulador de cuadratura genérica.	18
4.1 Tablero APEX para desarrollo Profesional DSP.	23
4.2 Flujo del diseño utilizando DSP Builder y Quartus II.	23
4.3 Generador de secuencias binarias pseudo-aleatorias para un STBC G2 y G3.	26
4.4 Control de las ranuras de tiempo utilizado en la implementación del STBC G2 y G3.	26
4.5 Modelo de transmisión de un codificador STBC G2.	28
4.6 Modelo de transmisión de un codificador STBC G3.	29
4.7 Generador de números aleatorios con distribución uniforme.	30
4.8 Generador de números aleatorios con distribución Gaussiana y seleccionador de valor de ruido.	34
4.9 Receptor y demodulador QPSK.	35
4.10 Decodificador STBC G2.	36
4.11 Decodificador STBC G3.	37
4.12 Extracción de los bits de los símbolos a la salida del sistema y creación de un bus para un STBC G2.	38
4.13 Extracción de los bits de los símbolos a la salida del sistema y creación de un bus para un STBC G3.	38
4.14 Bus de entrada, retraso y comparación de bus entrada y salida utilizado para el STBC G2.	40
4.15 Bus de entrada, retraso y comparación de bus entrada y salida utilizado para el STBC G3.	40
4.16 Bloques decodificadores utilizados para el conteo de bits y errores , (a) para el STBC G2, (b) para el STBC G3.	40
4.17 Componentes utilizados en el conteo de bits y errores del STBC G2 y G3.	41
4.18 Bloques de suma , ganancia, extracción de bits y salida de la parte contadora de bits transmitidos y errores para el STBC G2 y G3.	41
4.19 Tablero APEX con protoboard conectado mostrando los LED's para el conteo de bits transmitidos y errores en el sistema.	42
5.1 Señal coseno de referencia (Portadora I).	44
5.2 Señal seno de referencia (Portadora Q).	45
5.3 Señal de un generador de bits aleatorios.	46
5.4 Señal del símbolo aleatorio x1 generado en el sistema.	46
5.5 Señal obtenida del mapeo de la componente I.	47
5.6 Señal obtenida del mapeo de la componente Q.	47

5.7. Señal de la componente I.	48
5.8 Señal de la componente Q.	49
5.9. Modulación I-Q.	49
5.10 Ruido con distribución Gaussiana.	50
5.11. Histograma con distribución Gaussiana del generador de números aleatorios.	50
5.12 Señal en el receptor.	51
5.13 Señal de la demodulación de la componente I.	52
5.14 Señal en la demodulación de la componente Q.	52
5.15 Posible valor de x_1 obtenido de la componente I.	53
5.16 Posible valor de x_1 obtenido de la componente Q.	54
5.17 Valores del símbolo x_1 recibido.	54
5.18 Resultados obtenidos de la simulación e implementación de un STBC G2 y G3 para un E_b/N_0 de 0 a 5 dB.	55

Tablas

2.1 Tabla de diferentes Códigos de Bloque Espacio Tiempo.	12
4.1 Valores dados a la semilla, a y c de los 12 generadores.	32
4.2 Valores en la LUT del G2 y del G3 para obtener los valores de E_b/N_0 de 0 a 5 dB.	32
5.1 Recursos requeridos para la implementación del sistema.	43

Capítulo 1

Introducción y motivación

1.1 Introducción

Debido a la necesidad del ser humano de comunicarse a distancia, a lo largo de la historia, la ciencia y la tecnología busca diseñar y mejorar sistemas de comunicaciones que permitan tal actividad, convirtiéndose así los sistemas de comunicaciones electrónicos en una parte importante en el desarrollo de la sociedad. Estos sistemas de comunicaciones empezaron a permitir que la comunicación se diera desde dos casas en una misma cuadra, hasta comunicaciones entre países. Con el pasar de los años los sistemas de comunicaciones han evolucionado, pasando de ser sistemas de comunicación cableados a sistemas de comunicación inalámbricos y llegando finalmente hasta los sistemas de comunicación móviles, uno de los sistemas más utilizados en la actualidad. A su vez estos sistemas también evolucionaron de sistemas analógicos a sistemas digitales. Entre algunos de los ejemplos de sistemas de comunicaciones que son de gran importancia encontramos la radio, la televisión, el teléfono y el celular, etc.

La calidad en la transmisión y recepción de información es muy importante, ya que si se encontraran demasiados errores estos provocan desde una pequeña confusión entre dos personas hasta problemas entre dos países. Por tal motivo, en un sistema de comunicaciones entre menor sea la cantidad de errores que encontremos, como en el caso de un sistema de comunicación digital entre menor tasa de error por bit (Bit Error Rate: BER), mejor calidad tiene el sistema. Así es como se ha llegado al diseño de diferentes tipos de sistemas de comunicación que permiten corregir o proteger la información, en mayor o menor grado, de los errores provocados por los fenómenos en el canal o medio, como lo son el ruido y la multitrayectoria, este último fenómeno que se da, cuando la señal transmitida toma múltiples caminos, encontrándose en ocasiones con objetos reflectores, conduciendo esto a que la señal llegue finalmente al receptor en diferentes fases,

provocando que la señal sufra atenuaciones.

Muchos diseños se han hecho de forma teórica, sin embargo al llegar el proceso de implementación, estos prototipos no son prácticos o fácilmente realizables, por lo que no dejan de ser solo diseños teóricos. Uno de estos son las antenas inteligentes.

Recientemente se ha desarrollado y mejorado un tipo de código para sistemas de comunicaciones móviles llamado “Código de Bloque Espacio Tiempo (STBC: Space Time Block Codes)” que promete contrarrestar los efectos provocados por el canal como lo son el ruido y la multitrayectoria, mejorando el BER obtenido en cada transmisión [1] . Este tipo de código se deriva de los sistemas MIMO (Multiple input Multiple Output) para la transmisión de información [2]. Además, en los STBC la información es enviada en forma de símbolos y replicas de estos en diferentes ranuras de tiempo, transmitiendo así con diversidad y mitigando los errores provocados por los fenómenos en el canal.

1.2 Planteamiento del problema

Se investigó acerca de los STBC en la Facultad de Ingeniería con la finalidad de desarrollar y contar con material didáctico para el estudio práctico en el área de sistemas de comunicaciones e incrementar el conocimiento en un área de reciente desarrollo de las comunicaciones móviles como los Códigos de Bloque Espacio Tiempo, en las que se encontró algunas publicaciones acerca de la implementación de este tipo de sistemas, entre las que están [3], [4], [5], [6].

En estas publicaciones se tiene el uso de un dispositivo programable el cual ofrece ventajas en la implementación de prototipos. Esta plataforma es el FPGA, (por sus siglas en inglés, Field Programmable Gate Array), con el cual cuenta la UABC, sin embargo no se tiene el suficiente personal y conocimiento para el uso completo de estos dispositivos.

Por lo que con este trabajo se propone el aprovechar la infraestructura disponible e incrementar los conocimientos tanto en el área de comunicaciones móviles como en el uso de la tecnología FPGA.

1.3 Objetivo

El objetivo de la presente tesis es el evaluar el desempeño de un Código de Bloque Espacio Tiempo tipo G2 y G3 utilizando una plataforma FPGA.

1.4 Antecedentes

En la búsqueda de comprobar las ventajas que ofrecen los FPGA's y validar el porqué implementar sobre estos dispositivos, se encontraron publicaciones donde mencionan que ofrecen ventajas como fácil desarrollo, velocidad y fácil modificación. Entre estos artículos se encuentran: "A block-based open source Approach for a reconfigurable Virtual Instrumentation Platform using FPGA Technology" [7], en el cual se utiliza el FPGA para proveer un bajo costo en el uso de plataforma reutilizables de hardware/software, para la emulación de múltiples sistemas de instrumentación científica y electrónica. "A reconfigurable simulation framework for financial computation" [8], en este artículo se encontró la necesidad de realizar cálculos complejos en un lapso corto de tiempo en las finanzas computarizadas, mostrando la implementación de un sistema el cuál arroja resultados en tiempo real, acelerando el tiempo en que estos son obtenidos en comparación con otros sistemas mencionados en este artículo.

Entre algunos de los artículos de implementaciones de STBC se encontraron: "FPGA implementation of space-time block coding systems" [3] en donde se hace una comparación entre los diferentes dispositivos en los que se puede realizar la implementación del sistema, así como la implementación del codificador time-reversal space-time block coding (TR-STBC). El artículo "Implementation of a High Speed Four Transmitter Space-Time Encoder using Field Programmable Gate Array and Parallel Digital Signal Processors" [4] es otro trabajo realizado acerca de la codificación espacio tiempo implementada en un sistema FPGA en paralelo con un Procesador Digital de Señales en donde se habla de la implementación de cuatro transmisores utilizando un codificador espacio tiempo. Sin embargo, los artículos mencionan que la implementación fue hecha, pero no hay datos de que se haya evaluado el desempeño del STBC.

1.5 Organización del trabajo

En el capítulo 1 se provee una introducción de la presente tesis, así como el planteamiento del problema, antecedentes, objetivos y metas. En el capítulo 2 encontramos el desarrollo de los Códigos de Bloque Espacio Tiempo tipo G2 y G3. El capítulo 3 se da las definiciones de los bloques utilizados para la implementación de todo el sistema. En el capítulo 4 se tiene información del FPGA así como de la implementación de los Códigos de Bloque Espacio Tiempo tipo G2 y G3. El capítulo 5 se presenta el análisis de los resultados obtenidos durante la implementación del Código de Bloque Espacio Tiempo tipo G2 y G3, y finalmente en el capítulo 6 se encuentran las conclusiones que se obtuvieron del trabajo realizado.

Capítulo 2

Códigos de Bloque Espacio Tiempo

Un Código de Bloque Espacio Tiempo transmite con diversidad espacial y temporal, mitigando así, los errores provocados por los fenómenos en el canal como lo son el ruido y en especial el fenómeno del desvanecimiento multitrayectoria. Contar con diversidad temporal se refiere a que la información es enviada en diferentes ranuras de tiempo, en cambio la diversidad espacial el contar con múltiples antenas para la transmisión de información. En el caso de los STBC encontramos diversidad espacial tanto en la parte transmisora como en la receptora.

La forma en como los Códigos de Bloque Espacio Tiempo envían la señal x a transmitir y replicas de ésta creadas artificialmente para transmitir con diversidad sobre varios canales a diferentes ranuras de tiempo se define por la matriz de transmisión, $n \times p$ (2.1), donde n son las ranuras de tiempo por las cuales se transmite la información y p las antenas transmisoras.

Las entradas de la matriz están constituidas por combinaciones lineales de k -ésimos símbolos $x_1, x_2, \dots, x_k$ y sus conjugados. Una forma general de representar la matriz de transmisión de un Código de Bloque Espacio Tiempo esta dada por la matriz (2.1):

$$G = \begin{pmatrix} x_{11} & x_{21} & \dots & x_{p1} \\ x_{12} & x_{22} & \dots & x_{p2} \\ \cdot & \cdot & \cdot & \cdot \\ x_{1n} & x_{2n} & \cdot & x_{pn} \end{pmatrix}, \quad (2.1)$$

donde los elementos x_{ij} representan la combinación lineal de los símbolos $x_1, x_2, \dots, x_k$ y sus conjugados. Las entradas x_{ij} , se transmiten simultáneamente por las antenas transmisoras $i=1, \dots, p$ en cada ranura de tiempo $j=1, \dots, n$.

En una constelación de 2^b , b es el número de bits usados para representar un símbolo x_k . De tal manera que $k \times b$ bits son introducidos al codificador en un instante de tiempo, de aquí el término Bloque.

Debido a que k símbolos se transmiten en n ranuras de tiempo, la tasa de codificación del Código de Bloque Espacio Tiempo está dada por la ecuación (2.2):

$$R = k/n \quad (2.2)$$

En una terminal receptora, podemos tener un número arbitrario de receptores q . Por lo que el orden de diversidad asociada es $p \times q$.

2.1 Código de Bloque Espacio Tiempo tipo G2

En el nombre del tipo de código encontramos el número de antenas transmisoras utilizadas, por ejemplo, el STBC tipo G2 utiliza dos antenas transmisoras, a diferencia de un STBC tipo G3 que utiliza tres antenas transmisoras. La matriz de transmisión para el STBC tipo G2 se define por la matriz (2.3):

$$G_2 = \begin{pmatrix} x_1 & x_2 \\ -x'_2 & x'_1 \end{pmatrix} \quad (2.3)$$

donde x_i es el símbolo a transmitir y x'_i es el conjugado del símbolo x_i .

En un STBC tipo G2 se tienen dos antenas transmisoras, que en la matriz corresponden a las columnas y dos ranuras de tiempo que en la matriz corresponden a los renglones.

En la primer ranura de tiempo $T=1$, la señal x_1 es transmitida por la antena Tx1 y simultáneamente x_2 es transmitida de la antena Tx2. En la siguiente ranura de tiempo correspondiente a $T=2$, se transmite el conjugado de los símbolos x_1 y x_2 .

2.1.1 Código de Bloque Espacio Tiempo tipo G2 con un receptor

El canal por el que son transmitidos los símbolos x_1 , x_2 y sus conjugados simultáneamente, a través de las dos antenas transmisoras Tx1 y Tx2, se representa como la

respuesta al impulso del canal h_1 para el caso de la antena transmisora Tx1 en el tiempo $T=1$, siendo la misma respuesta al impulso para el tiempo $T=2$ a través de la misma antena transmisora; y la respuesta al impulso del canal h_2 en la antena transmisora Tx2 para el tiempo $T=1$, siendo la misma respuesta al impulso para el tiempo $T=2$.

La respuesta al impulso del canal consiste en una respuesta en magnitud y fase dada por las ecuaciones (2.4) y (2.5) para el canal 1 y el canal 2 respectivamente:

$$h_1 = |h_1|e^{j\theta_1} \quad (2.4)$$

$$h_2 = |h_2|e^{j\theta_2} \quad (2.5)$$

donde $|h_1|$ y $|h_2|$ son las magnitudes del desvanecimiento y θ_1 y θ_2 son los valores de fase. Debido a que se cuenta con una señal compleja, esta puede ser también representada por su parte real y su parte imaginaria.

En cada una de las dos ranuras de tiempo que se encuentran en el STBC, son añadidas muestras de ruido, n_1 y n_2 en el receptor, por lo que la señal recibida puede expresarse como en (2.6) y (2.7):

$$y_1 = h_1x_1 + h_2x_2 + n_1 \quad (2.6)$$

$$y_2 = -h_1\bar{x}_2 + h_2\bar{x}_1 + n_2 \quad (2.7)$$

donde y_1 es la primer señal enviada con x_1 y x_2 en el tiempo $T=1$, y y_2 es la segunda señal enviada con los conjugados de x_1 y x_2 en el tiempo $T=2$.

Para determinar los símbolos que fueron transmitidos, se tiene que extraer la señal x_1 y x_2 , de la señal recibida. Para esto, y_1 y y_2 son enviadas a un combinador, en donde, asumiendo que se tiene una perfecta información del canal, por ejemplo, un perfecto estimador de canal, las señales son multiplicadas por el conjugado de h_1 y h_2 , respectivamente, para remover los efectos del canal. Entonces las señales salen del combinador entrando a un detector de máxima verosimilitud de la siguiente manera:

$$\begin{aligned}
\tilde{x}_1 &= \bar{h}_1 y_1 + h_2 \bar{y}_2 \\
\tilde{x}_1 &= \bar{h}_1 h_1 x_1 + \bar{h}_1 h_2 x_2 + \bar{h}_1 n_1 - h_2 \bar{h}_1 x_2 + h_2 \bar{h}_2 \bar{x}_1 + h_2 \bar{n}_2 \\
\tilde{x}_1 &= (|\bar{h}_1|^2 + |h_2|^2) \bar{x}_1 + \bar{h}_1 n_1 + h_2 \bar{n}_2
\end{aligned} \tag{2.8}$$

De manera similar para x_2 se tiene que;

$$\begin{aligned}
\tilde{x}_2 &= \bar{h}_2 y_1 - h_1 \bar{y}_2 \\
\tilde{x}_2 &= \bar{h}_2 h_1 x_1 + \bar{h}_2 h_2 x_2 + \bar{h}_2 n_1 + h_1 \bar{h}_1 x_2 - h_1 \bar{h}_2 x_1 - h_1 \bar{n}_2 \\
\tilde{x}_2 &= (|h_1|^2 + |\bar{h}_2|^2) x_2 + \bar{h}_2 n_1 - h_1 \bar{n}_2
\end{aligned} \tag{2.9}$$

La mejor decisión del símbolo transmitido es determinada por el detector de máxima verosimilitud que toma en cuenta la distancia Euclidiana entre las señales combinadas $\tilde{x}_1$, $\tilde{x}_2$ y todos los posibles símbolos transmitidos. La regla para la decisión se basa en escoger x_i si y solamente si:

$$dist(\tilde{x}_1, x_i) \leq dist(\tilde{x}_1, x_j), \forall i \neq j, \tag{2.10}$$

$$dist(\tilde{x}_2, x_i) \leq dist(\tilde{x}_2, x_j), \forall i \neq j, \tag{2.11}$$

donde $dist(A, B)$ es la distancia Euclidiana entre las señales A y B , y la señal j incluye todas las posibles señales transmitidas.

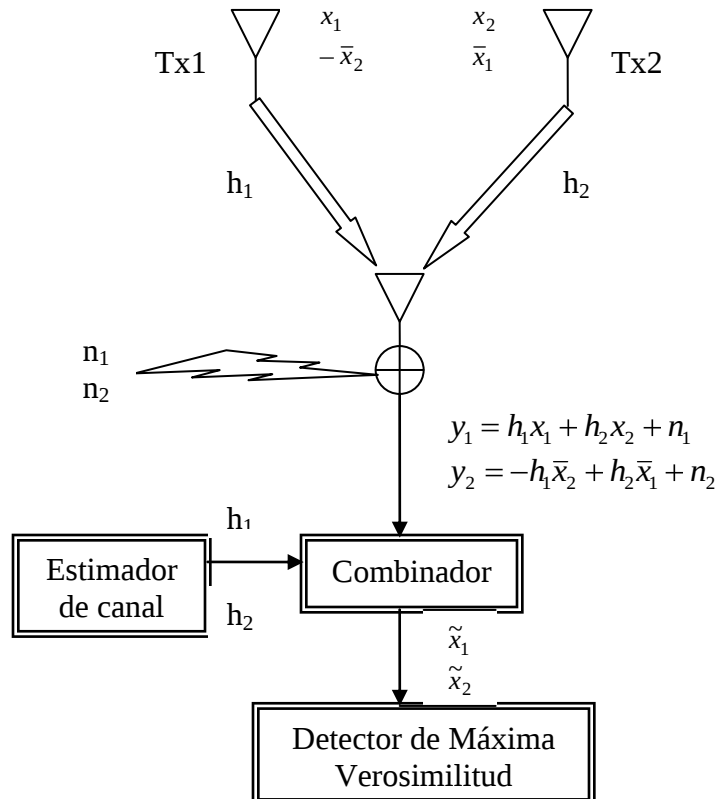


Figura 2.1. Representación de un STBC tipo G2,
con un receptor.

Si cualquiera de las trayectorias se desvanece, la otra trayectoria puede proveer de la señal x transmitida. Esto explica el porque el desarrollo del sistema teniendo dos transmisores y un receptor es mejor que el de un sistema empleando un transmisor y un receptor. Por otro lado, en el sistema convencional de un transmisor y un receptor se tiene en este solamente una trayectoria de propagación, la cual puede ser severamente atenuada por el desvanecimiento [1].

La recepción se puede realizar con un número arbitrario de receptores, sin embargo, esto incrementa la complejidad en la arquitectura del dispositivo receptor, ya que por cada receptor es necesario contar con una antena, un estimador de canal y un combinador con más entradas.

2.2 Código de Bloque Espacio Tiempo tipo G3 con un receptor

La matriz de transmisión utilizada para un Código de Bloque Espacio Tiempo tipo G3 es definida de la siguiente manera:

$$G_3 = \begin{Bmatrix} x_1 & x_2 & x_3 \\ -x_2 & x_1 & -x_4 \\ -x_3 & x_4 & x_1 \\ -x_4 & -x_3 & x_2 \\ x'_1 & x'_2 & x'_3 \\ -x'_2 & x'_1 & -x'_4 \\ -x'_3 & x'_4 & x'_1 \\ -x'_4 & -x'_3 & x'_2 \end{Bmatrix} \quad (2.12)$$

donde x_i , son los símbolos a transmitir y x'_i son el conjugado del símbolo x_i .

Al igual que en el Código de Bloque Espacio Tiempo tipo G2, en el G3, muestras de ruido $n_1, \dots, n_8$ son añadidas a la señal transmitida y los símbolos se ven afectados por la respuesta al impulso del canal h_1, h_2 y h_3 , donde h_1, h_2 y h_3 consisten en una respuesta en magnitud y fase como se mostraron en las ecuaciones (2.4) y (2.5). Así las señales son:

$$\begin{aligned} y_1 &= x_1 h_1 + x_2 h_2 + x_3 h_3 + n_1 \\ y_2 &= -x_2 h_1 + x_1 h_2 - x_4 h_3 + n_2 \\ y_3 &= -x_3 h_1 + x_4 h_2 + x_1 h_3 + n_3 \\ y_4 &= -x_4 h_1 - x_3 h_2 + x_2 h_3 + n_4 \\ y_5 &= \bar{x}_1 h_1 + \bar{x}_2 h_2 + \bar{x}_3 h_3 + n_5 \\ y_6 &= -\bar{x}_2 h_1 + \bar{x}_1 h_2 - \bar{x}_4 h_3 + n_6 \\ y_7 &= -\bar{x}_3 h_1 + \bar{x}_4 h_2 + \bar{x}_1 h_3 + n_3 \\ y_8 &= -\bar{x}_4 h_1 - \bar{x}_3 h_2 + \bar{x}_2 h_3 + n_4 \end{aligned}$$

donde $y_1, y_2, \dots, y_8$ representan las señales recibidas en el receptor.

Para la obtención de los símbolos transmitidos se utiliza el mismo método que en el código espacio tiempo tipo G2. Las señales recibidas entran a un combinador, que, contando con un perfecto estimador de canal, se multiplica por el conjugado de la respuesta al impulso del canal: h_1, h_2 y h_3 , para eliminar los efectos provocados por el canal, obteniendo en la salida del combinador:

$$\begin{aligned}\tilde{x}_1 &= \left[\sum_{j=1}^m \left(x_1^j h_{1,j}^* + x_2^j h_{2,j}^* + x_3^j h_{3,j}^* + (x_5^j)^* h_{1,j} + (x_6^j)^* h_{2,j} + (x_7^j)^* h_{3,j} \right) - x_1 \right]^2 + \left(-1 + 2 \sum_{j=1}^m \sum_{i=1}^3 |h_{i,j}|^2 \right) |x_1|^2 \\ \tilde{x}_2 &= \left[\sum_{j=1}^m \left(x_1^j h_{2,j}^* - x_2^j h_{1,j}^* + x_4^j h_{3,j}^* + (x_5^j)^* h_{2,j} - (x_6^j)^* h_{1,j} + (x_8^j)^* h_{3,j} \right) - x_2 \right]^2 + \left(-1 + 2 \sum_{j=1}^m \sum_{i=1}^3 |h_{i,j}|^2 \right) |x_2|^2 \\ \tilde{x}_3 &= \left[\sum_{j=1}^m \left(x_1^j h_{3,j}^* - x_3^j h_{1,j}^* - x_4^j h_{2,j}^* + (x_5^j)^* h_{3,j} - (x_7^j)^* h_{1,j} - (x_8^j)^* h_{2,j} \right) - x_3 \right]^2 + \left(-1 + 2 \sum_{j=1}^m \sum_{i=1}^3 |h_{i,j}|^2 \right) |x_3|^2 \\ \tilde{x}_4 &= \left[\sum_{j=1}^m \left(x_2^j h_{3,j}^* + x_3^j h_{2,j}^* - x_4^j h_{1,j}^* - (x_6^j)^* h_{3,j} + (x_7^j)^* h_{2,j} - (x_8^j)^* h_{1,j} \right) - x_4 \right]^2 + \left(-1 + 2 \sum_{j=1}^m \sum_{i=1}^3 |h_{i,j}|^2 \right) |x_4|^2\end{aligned}$$

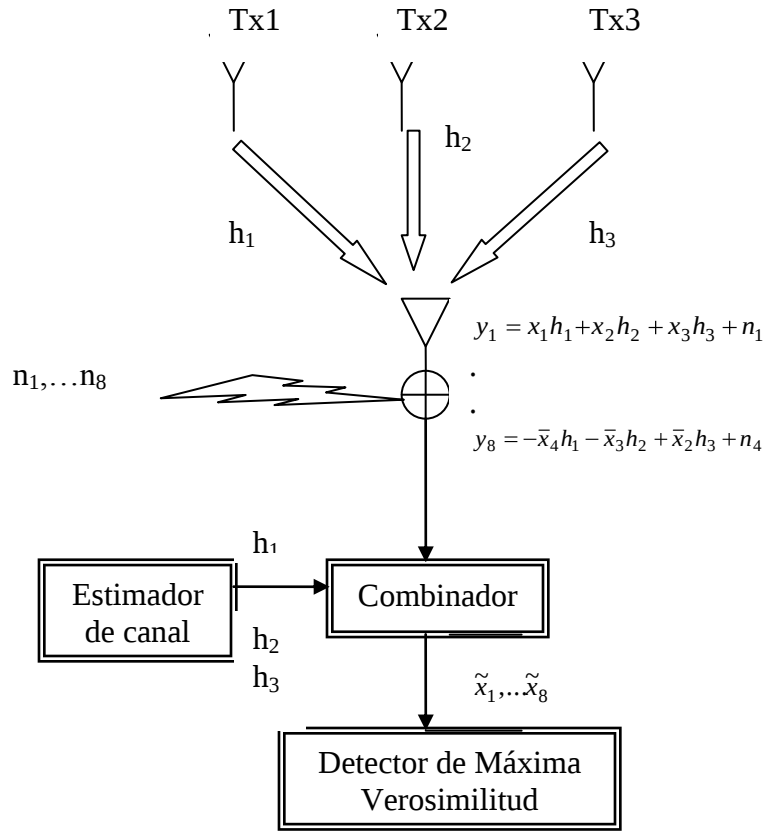


Figura 2.2. Representación de un STBC tipo G3 para un receptor.

Finalmente, los símbolos obtenidos entran al detector de máxima verosimilitud y, tomando en cuenta lo visto anteriormente en las ecuaciones (2.10) y (2.11) en donde se ve

la distancia euclidiana, se toma la decisión de cuales fueron realmente los símbolos transmitidos. En la figura 2.2 se muestra la representación de un Código de Bloque Espacio Tiempo tipo G3 con un receptor.

Para observar de una forma mas clara las diferencias que se encuentran en la forma de transmitir los Códigos de Bloque Espacio Tiempo, se muestra en la tabla 2.1 la tasa del Código de Bloque Espacio Tiempo, el número de transmisores, números de símbolos en la entrada del sistema y las ranuras de tiempo para cada uno de los códigos respectivamente.

Tabla 2.1 Tabla de diferentes Códigos de Bloque Espacio Tiempo.

Código espacio tiempo	Tasa	No. de transmisores, p	No. de símbolos en la entrada	Ranuras de tiempo, n
G2	1	2	2	2
G3	$\frac{1}{2}$	3	4	8
G4	$\frac{1}{2}$	4	4	8
H3	$\frac{3}{4}$	3	3	4
H4	$\frac{3}{4}$	4	3	4

Capítulo 3

Definiciones de los componentes utilizados para la implementación del sistema de comunicaciones con un STBC en la plataforma FPGA

Los modelos construidos para un Código de Bloque Espacio Tiempo (STBC) G2 y G3 son mostrados en bloques en la figura 3.1.

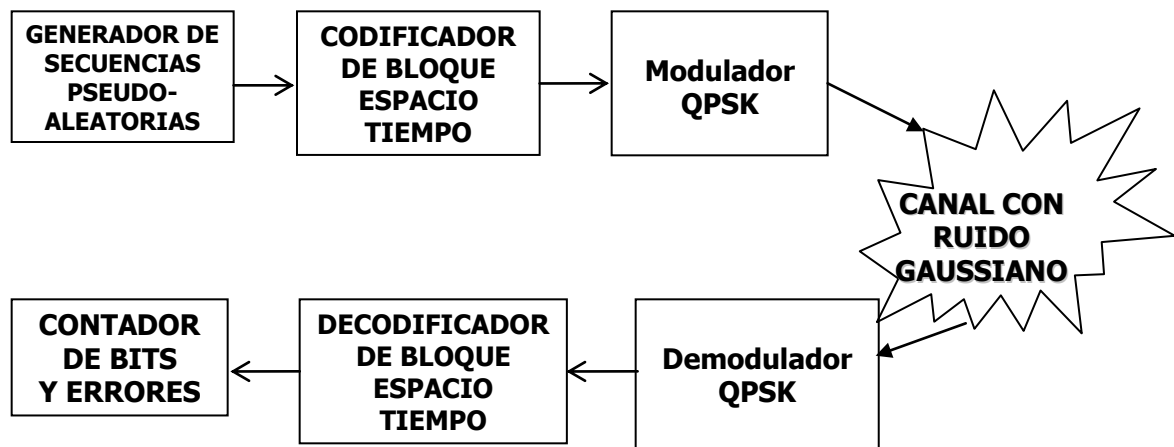


Figura 3.1. Modelo a bloques de un sistema de comunicaciones utilizando un STBC G2 y G3.

3.1 Secuencias binarias pseudo-aleatorias

Para introducir los símbolos en el sistema fue necesario utilizar una secuencia binaria. Una secuencia binaria pseudo aleatoria consiste de una secuencia independiente de

0's y 1's ocurriendo con una probabilidad de $\frac{1}{2}$. Un pseudo ruido (PN: pseudonoise) o secuencia pseudo aleatoria es una secuencia binaria periódica con una función de autocorrelación que es similar a la función de autocorrelación de una secuencia binaria aleatoria. La secuencia PN es generada usando un arreglo de registros de corrimiento con retroalimentación. La secuencia PN tiene muchas características similares a esta secuencia binaria aleatoria.

El arreglo de registros de corrimiento con retroalimentación contiene elementos de almacenaje binario y lógica retroalimentada. Las secuencias binarias son modificadas por medio de los registros de corrimiento contando con una respuesta en los pulsos de reloj. Los contenidos del registro de corrimiento son combinados lógicamente para producir la entrada a la primera etapa. Los contenidos iniciales del registro y la lógica retroalimentada determinan los contenidos sucesivos de los registros de corrimiento. Un registro de corrimiento retroalimentado es llamado lineal si la lógica retroalimentada consiste enteramente de sumadores módulo 2. Una M-ésima etapa lineal de registros de corrimiento retroalimentado genera secuencias PN de acuerdo a:

$$S_n = c_{m-1}S_{n-1} \oplus c_{m-2}S_{n-2} \oplus \dots \oplus c_1S_{n-m+1} \oplus c_0S_{n-m} \quad (3.1)$$

donde S_n es el valor de la secuencia al tiempo n , y los coeficientes c_i son valores binarios (0 o 1), $c_0=1$ y $\oplus$ indica la suma módulo 2.

Debido a que el número de distintos estados de un registro de corrimiento de m -estados es 2^m , la secuencia de estados y las salidas de las secuencias debe de eventualmente volverse periódicas con un periodo a lo mucho de 2^m . Si los registros de corrimiento contienen solo ceros a cualquier instante de tiempo, estos se mantendrán en este estado por siempre. Debido a que no se tienen estados cero y son exactamente 2^m-1 , el máximo periodo no puede exceder 2^m-1 .

Si esto lo asociamos con lo coeficientes de (3.1) obtenemos un polinomio de grado m

$$Pm(X) = X^m + c_{m-1}X_{m-1} + \dots + c_1X + c_0$$

Por lo que se puede mostrar que la secuencia $\{S_n\}$ será una secuencia de máxima longitud si y solo si $P_m(\cdot)$ es un polinomio primitivo. Un polinomio de grado m con coeficientes en el campo binario es primitivo si se divide $X^r + 1$ para r no menor que $2^m - 1$.

Ejemplo del polinomio primitivo $m=10$ $[3,10] = 1 + x^3 + x^{10}$

3.2 Modulación y demodulación

3.2.1 Modulación

La modulación es una de las operaciones más importantes en el procesamiento de señales de un sistema de comunicaciones. Este puede usarse eficientemente para acoplar una señal con las características del canal, para minimizar los efectos del ruido del canal y proveer la capacidad de multiplexar muchas señales. Aun así la mas importante función es transmitir una señal pasabajas $X(t)$ sobre un canal pasabajas centrado a f_c . Por ejemplo, podemos trasladar el espectro de $X(t)$ multiplicándolo por una portadora $C(t)$ de la forma:

$$C(t) = A \cos(2\pi f_c t + \theta)$$

donde A es la amplitud de la portadora, f_c es la frecuencia de la portadora, y θ es una constante de fase arbitraria asumiendo que es una variable aleatoria con distribución uniforme. En el intervalo $[-\pi, \pi]$ el producto (o modulado) de la señal $Y(t)$ es,

$$Y(t) = C(t) X(t) = A X(t) \cos(2\pi f_c t + \theta)$$

3.2.1.1 Modulación digital

Una importante subclase de modulación digital puede ser representada en la forma:

$$Y(t) = X_1(t) \cos(2\pi f_c t + \theta) - X_2(t) \sin(2\pi f_c t + \theta) \quad (3.2)$$

o

$$\tilde{Y}(t) = [X_1(t) + jX_2(t)]e^{j\theta}$$

donde $X_1(t)$ y $X_2(t)$ deben ser dos diferentes formas de onda de la forma

$$X_1(t) = \sum_k A_k p_1(t - kT_1 - D_1)$$

y

$$X_2(t) = \sum_k B_k p_2(t - kT_2 - D_2)$$

donde $p_1(t)$ y $p_2(t)$ son pulsos de energía finita (rectangular, rectangular filtrado, o sinc, por ejemplo). A_k y B_k son secuencias de usualmente variables aleatorias discretas independientes con tasas de símbolo de $1/T_1$ y $1/T_2$, respectivamente, y D_1 y D_2 son posibles retrasos (relativos).

3.2.1.2 Modulador QPSK

La modulación de 4 estados de fase 4PSK resulta tener una mejor eficiencia espectral (relación entre la velocidad de información en b/s y el ancho de banda necesario en Hz). En otras palabras requiere menor ancho de banda para transmitir la misma información debido a que cada nivel de fase lleva 2 bits de información.

La figura 3.2 muestra la constelación utilizada en una modulación QPSK, mientras que la figura 3.3 muestra el modulador 4PSK o QPSK constituido por dos moduladores balanceados funcionando en cuadratura (el oscilador local que alimenta a cada modulador se encuentra con una diferencia de fase de 90°). Cada modulador entrega las fases $0-180^\circ$ y $90-270^\circ$ o cual permite obtener las 4 fases resultantes por suma vectorial. Los ejes en cuadratura (ortogonales) se denominan I (*In phase*) y Q (*Quadrature*). La distribución de bits para cada fase se realiza mediante la codificación cíclica (Gray) de tal forma que entre una fase y las adyacentes a 90° solo se tiene el cambio de un bit. Entre fases a 180° se tiene el cambio de dos bits. Un error de fase entre estados adyacentes solo introduce un error de bit.

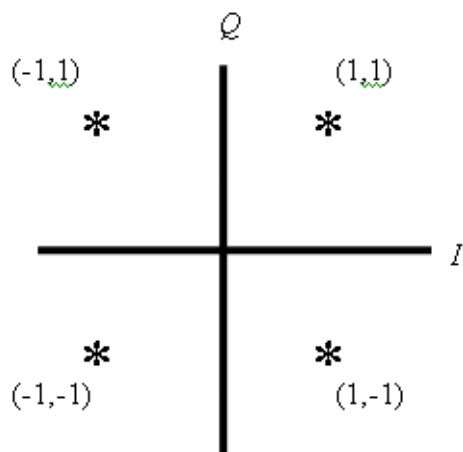


Figura 3.2 Ejemplo de una constelación I-Q utilizada en una modulación digital QPSK.

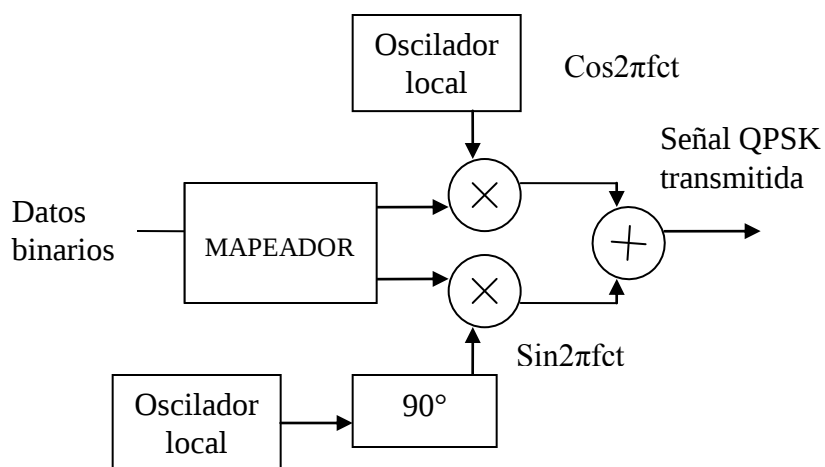


Figura 3.3 Diagrama a bloques de un modulador QPSK.

3.2.2 Demodulación

La demodulación es el proceso inverso de la modulación en el sentido que, como la modulación convierte una señal pasabajas a una portadora pasa banda, la demodulación toma una señal pasa banda y la vuelve de nuevo a una señal pasa bajas.

La demodulación es obtenida del proceso de correlación de la señal recibida con la señal del oscilador local de la forma:

$$\hat{C}(t) = 2 \cos(2\pi\hat{f}_c t + \hat{\theta})$$

donde $\hat{f}_c$ y $\hat{\theta}$ son estimados, respectivamente, de la frecuencia portadora y fase generada por la portadora recuperada, mecanismo en el receptor. Entonces, para la representación de cuadratura general en (3.2), se puede estimar $X_1(t)$ y $X_2(t)$ utilizando un demodulador de cuadratura genérica mostrado en la figura 3.4. Los filtros de predetección (LPF) muestran las condiciones de la señal. Se observa que:

$$\hat{X}_1(t) = X_1(t) \cos 2\pi[(f_c - \hat{f}_c)t + (\theta - \hat{\theta})] - X_2(t) \sin 2\pi[(f_c - \hat{f}_c)t + (\theta - \hat{\theta})]$$

$$\hat{X}_2(t) = X_2(t) \cos 2\pi[(f_c - \hat{f}_c)t + (\theta - \hat{\theta})] + X_1(t) \sin 2\pi[(f_c - \hat{f}_c)t + (\theta - \hat{\theta})]$$

Por ejemplo $\hat{X}_1(t)$ (el canal I) es recuperado un oscilador local (LO) y $\hat{X}_2(t)$ (el canal Q) es obtenido usando el LO.

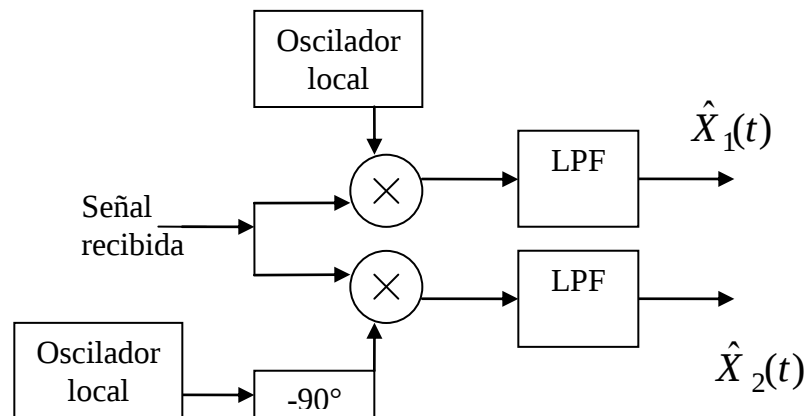


Figura 3.4. Demodulador de cuadratura genérica.

3.3 Generador de ruido con distribución Gaussiana

3.3.1 Generador de números aleatorios con distribución uniforme

Para generar números aleatorios con distribución uniforme se utilizan formulas recursivas las cuales son eficientes. Un método utilizado, es el de la formula recursiva:

$$r(k) = [(ar(k-1) + c) \text{Mod} M] \quad (3.3)$$

donde M es el módulo, $M > 0$, un valor grande entero (primo); a es el multiplicador, $0 < a < M$; c es el incremento, usualmente 1 o 0; y $x(0)$ es el valor inicial o la semilla $0 < r(0) < M$. El algoritmo en la ecuación (3.3) es ejecutado en aritmética entera. El valor de la semilla $r(0)$ es provista por el usuario y es el único valor aleatorio en la recursión dada en (3.3). La ecuación (3.3) produce una secuencia aleatoria de valores enteros en el rango de $0 \leq r(k) \leq M - 1$.

Lo obtenido en la ecuación (3.3) consiste de números enteros que forman parte de un subgrupo entre $[0, M-1]$, los cuales corresponden a una secuencia de una maquina de estados finita con un numero máximo de M estados. Así el periodo máximo de la secuencia de salida es M . La propiedad estadística de la salida del generador de números aleatorios dada por (3.3) y su periodo dependerá de los valores de a , c , y M , por lo que el diseño de un buen generador de números aleatorios debe ser con selección cuidadosa de estos parámetros. Las propiedades estadísticas de un buen generador de números aleatorios podría no ser afectado por el valor de la semilla, esta simplemente especifica el punto de inicio de la secuencia periódica de la salida.

3.3.2 Generación de variables aleatorias Gaussianas

Un método simple para la generación de números aleatorios con una función de densidad de probabilidad Gaussiana estándar ($\mu=0$ y $\sigma^2=1$) es utilizando el teorema del límite central de acuerdo a la siguiente formula:

$$f = \sum_{k=1}^{24} r(k) - 12 \quad (3.4)$$

donde $r(k)$, $k=1,2,\dots,24$ es un conjunto independiente e idéntico de variables aleatorias con distribución uniforme en el intervalo $[0,1]$. Desde que $r(k)$ tiene una media de 0.5 y varianza de 1/24, es fácil verificar que (3.4) cuenta con una media de 0 y varianza de 1.

Se puede notar que la variable aleatoria Gaussiana tiene valores en el rango de $-\infty$ a ∞ , la ecuación (3.4) produce valores de y en el intervalo *de* $[-12,12]$. [9]

Capítulo 4

Implementación del STBC tipo G2 y G3 en la plataforma FPGA

4.1 Plataforma FPGA utilizada para la implementación

Una plataforma en hardware que se ha hecho muy popular para el diseño, prototipo y validación de algoritmos de procesamiento digital de señales (DSP) es el FPGA por sus siglas en inglés Field Programmable Gate Array. Dependiendo de la familia del dispositivo, los FPGA's cuentan con elementos incrustados como multiplicadores, PLL's y procesadores completos.

Los FPGA's tienen una gran cantidad de elementos lógicos disponibles para el desarrollo y trabajo, los cuales pueden ser configurados a velocidades de reloj en el rango de 50 MHz hasta 1GHz. Debido a que el FPGA cuenta con las cualidades anteriormente mencionadas y a que las herramientas disponibles para el desarrollo de sistemas son fáciles de utilizar, los FPGA's son una excelente opción para la implementación de los Códigos de Bloque Espacio Tiempo, aún para prototipos de desarrollo comercial.

Para la implementación del sistema utilizando el Código de Bloque Espacio Tiempo se realizó en un kit de desarrollo profesional APEX para procesamiento digital de señales de la corporación de Altera. El tablero incluido en este kit tiene un dispositivo FPGA APEX20KE modelo EP20K1500EBC652-1X, dos convertidores analógico a digital, un reloj de referencia de 40 MHz, un dispositivo de configuración y acceso a todas las señales del dispositivo a través de conectores disponibles [10]

El FPGA en el tablero tiene un total de 52840 elementos lógicos disponibles para desarrollo de sistemas (equivalente a alrededor de 1.5 millones de compuertas lógicas), 442 368 bits de memoria localizados en los arreglos de bloque añadidos para la implementación

de tablas de búsqueda y memoria de propósito general, y 4 PLL's para la generación de reloj [10]. Con todas estas características el dispositivo puede ser configurado para la implementación de sistemas muy complejos.

Altera provee una herramienta de desarrollo en software para ser usado con estos dispositivos. Para el propósito de desarrollo de sistemas DSP, Altera ofrece una herramienta que se ejecuta en el software de Simulink de MatLab, llamado DSP Builder.

DSP Builder ofrece un conjunto de bloques que pueden ser usados bajo el ambiente de simulink para simular y validar un diseño. Una vez que el sistema funciona como se requiere, este sistema puede ser cambiado a un código VHDL y puede ser usado en el ambiente de Quartus II (de Altera).

La Figura 4.1 muestra la fotografía del tablero utilizado.

Quartus II ofrece una serie de herramientas de diseño como entrada esquemática o entradas de texto HDL, simulación y compilación. Después de la compilación, archivos de configuración son generados para la plataforma seleccionada, la cual puede ser usada con la herramienta de programación para configurar un dispositivo FPGA. Usando DSP Builder, el flujo del diseño del sistema implementado es presentado en la figura 4.2.



Figura 4.1 .Tablero APEX para desarrollo profesional DSP.

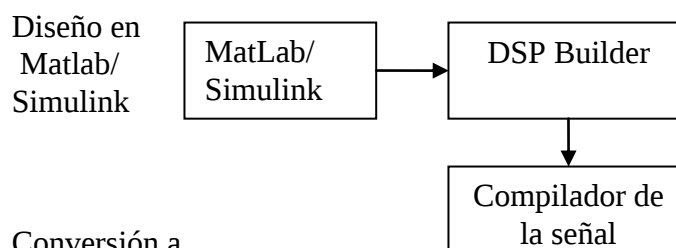


Figure 4.2. Flujo del diseño utilizando DSP Builder y Quartus II.

4.2 Desarrollo de la implementación del STBC tipo G2 y G3

Se diseñó un sistema de comunicaciones en DSP Builder de Simulink utilizando STBC con herramientas provistas por Altera.

El modelo cuenta con un módulo que genera secuencias binarias pseudo aleatorias, un codificador de bloque espacio tiempo, un modulador QPSK, un canal que genera muestras de ruido gaussiano, un demodulador QPSK, un decodificador espacio tiempo, un detector de máxima verosimilitud, un contador de bits generados para la transmisión y un contador de errores en la recepción. Los dos últimos son utilizados para obtener el BER del Código de Bloque Espacio Tiempo tipo G2 y G3.

El bloque de matriz de transmisión, el combinador y el detector de máxima verosimilitud fueron desarrollados en el lenguaje VHDL usando el software Quartus II. Un punto importante en la implementación fue el desarrollo de estos bloques realizados en

VHDL ya que facilitaron su aplicación en el sistema, sirviendo como herramientas para simulaciones e implementaciones posteriores.

Para propósitos de simulación, estos bloques fueron exportados a Simulink. Una vez verificado el sistema, el modelo completo de simulink fue convertido a VHDL. El modelo en VHDL fue sintetizado, simulado y compilado en el ambiente de Quartus II para especificar el dispositivo y la asignación de pins. Una vez compilado, fue programado en el FPGA para verificar su funcionamiento en Hardware.

Para el modelo implementado, el generador de secuencias binarias pseudo aleatorias se utiliza como la fuente del sistema, proporcionando bits aleatorios a la salida de cada generador. Para la implementación de este generador se utilizó 10 bloques flip-flop's como registros de corrimiento para obtener un generador con longitud de 10 (valores de longitud obtenidos de [9]). Cada uno de estos generadores nos proporcionan 1 bit aleatorio a la salida y debido a que una modulación QPSK fue utilizada para la implementación del sistema, cada símbolo esta compuesto por dos bits. Así que para obtener el símbolo se utilizó un bus de conversión de dos bits; en el caso del STBC G2 fue necesaria la implementación de 4 generadores para obtener dos símbolos, mientras que para el STBC G3 fueron 8 generadores los implementados para proporcionar 4 símbolos según lo necesitado en la matriz de transmisión.

Para la habilitación de los flip-flop's en el generador de secuencias binarias pseudos aleatorias se conectó un contador y un decodificador como entradas de reloj. Para el STBC G2 fue utilizado un contador módulo 40 y un decodificador a 39 mientras que para el STBC G3 fue utilizado un contador módulo 160 y un decodificador a 159, con la finalidad de que la salida del generador durara el tiempo suficiente para que se diera la entrada de los símbolos al sistema en las diferentes ranuras de tiempo.

Una XOR proporcionó la suma módulo 2, combinando lógicamente los contenidos del registro de corrimiento, utilizada a la salida del tercer y décimo flip-flop, retroalimentando el generador y obteniendo el siguiente polinomio primitivo mencionado en el capítulo 4: $m=10$ $[3,10] = 1+x^3+x^{10}$.

Un multiplexor fue utilizado en el generador de secuencias binarias pseudo aleatorias para obtener el inicio de la secuencia en un instante dado.

La parte encargada de llevar el tiempo de referencia indicando en qué ranura de tiempo se encuentra el sistema, esta compuesta por un contador módulo 20, conectado a un decodificador a 19, este a su vez conectado a un contador módulo 2 para el caso del STBC G2, y un contador módulo 8 para el caso del STBC G3. Lo que se logra con este arreglo es controlar que cada ranura de tiempo esté compuesta por 20 muestras, para cada caso del STBC.

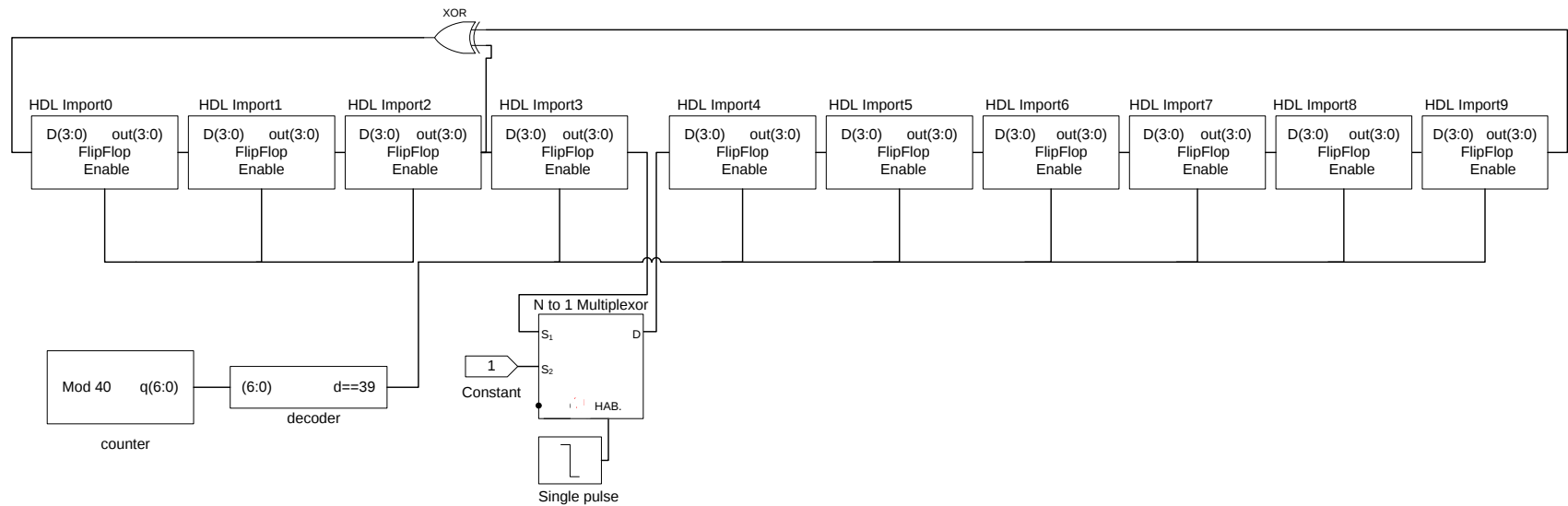


Figura 4.3 Generador de secuencias binarias pseudo-aleatorias para un STBC G2 y G3.

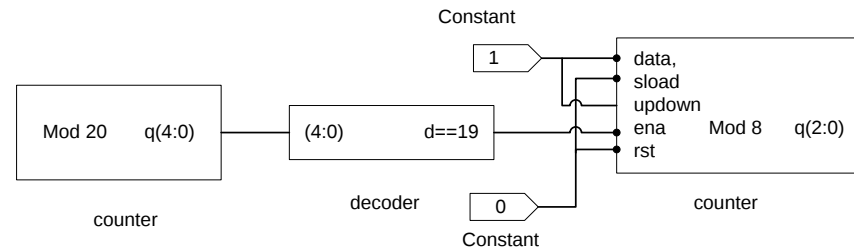


Figura 4.4 Control de las ranuras de tiempo utilizado en la implementación del STBC G2 y G3.

Así en el codificador, dependiendo de la ranura de tiempo en la que se encuentre el sistema, son seleccionados los símbolos o los conjugados de estos para ser enviados a través de las antenas disponibles según la matriz de transmisión. Básicamente, este bloque es un mapeador de símbolos que genera los componentes I-Q para cada caso presentado en la matriz de transmisión.

Debido a que son utilizadas dos antenas transmisoras para el Código de Bloque Espacio Tiempo G2, dos moduladores I-Q son requeridos, sin embargo para el Código de Bloque Espacio Tiempo G3, tres moduladores I-Q son requeridos. Las señales portadoras para los moduladores son generadas con tablas de búsqueda (Look Up Table: LUT) y un contador. Una señal coseno y una señal seno son generadas para proveer las portadoras de referencia In-phase (En fase) y Quadrature (Cuadratura), como osciladores. Para esto elementos de memoria (Embedded Array Blocks) fueron usados para la implementación de las LUT's de los osciladores. Estos osciladores fueron implementados con 12 bits de resolución y 20 muestras por periodo. El sistema fue simulado de acuerdo a las características del tablero. Una frecuencia de 10MHz fue utilizada, obtenida de un generador externo debido a que el dispositivo FPGA no cuenta con tal frecuencia. Esto proporciona un total de 20 muestras por período, produciendo una frecuencia portadora de 500 kHz.

Las señales portadoras y la salida del mapeador son conectadas a multiplicadores digitales obteniendo la componente "I" y la componente "Q". Sumando ambas componentes, la modulación I-Q es obtenida para generar la transmisión de los símbolos. Para facilitar la implementación, las componentes "I" y "Q" seleccionadas para cada símbolo son representadas con +1 o -1.

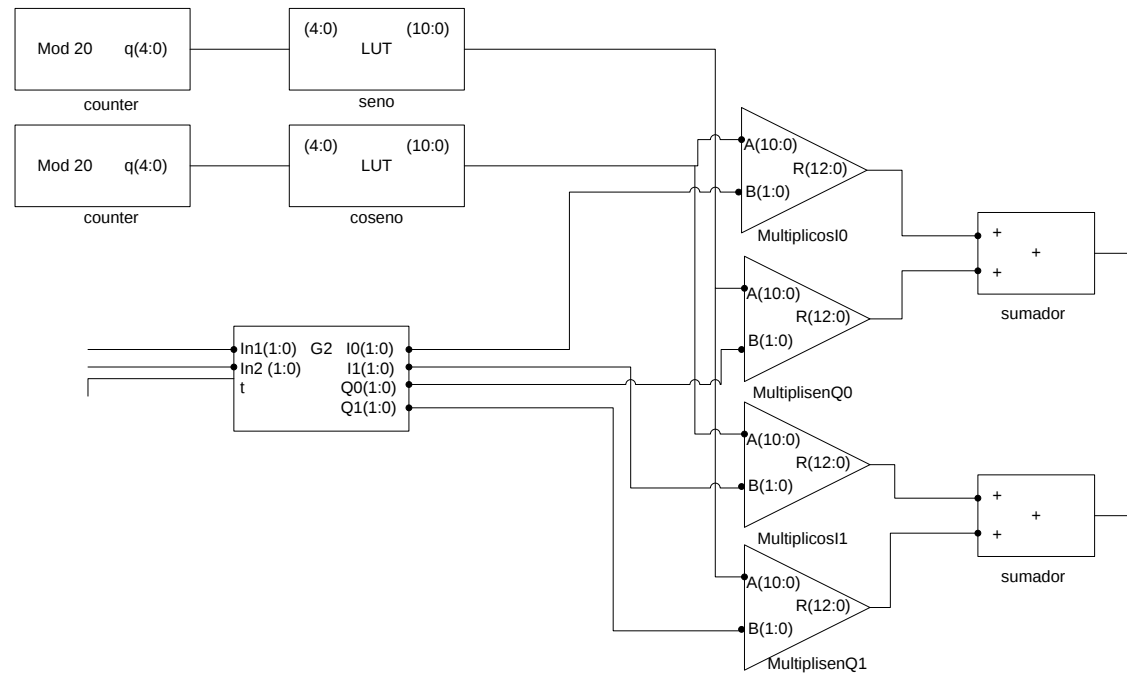


Figura 4.5 Modelo de transmisión de un codificador STBC G2.

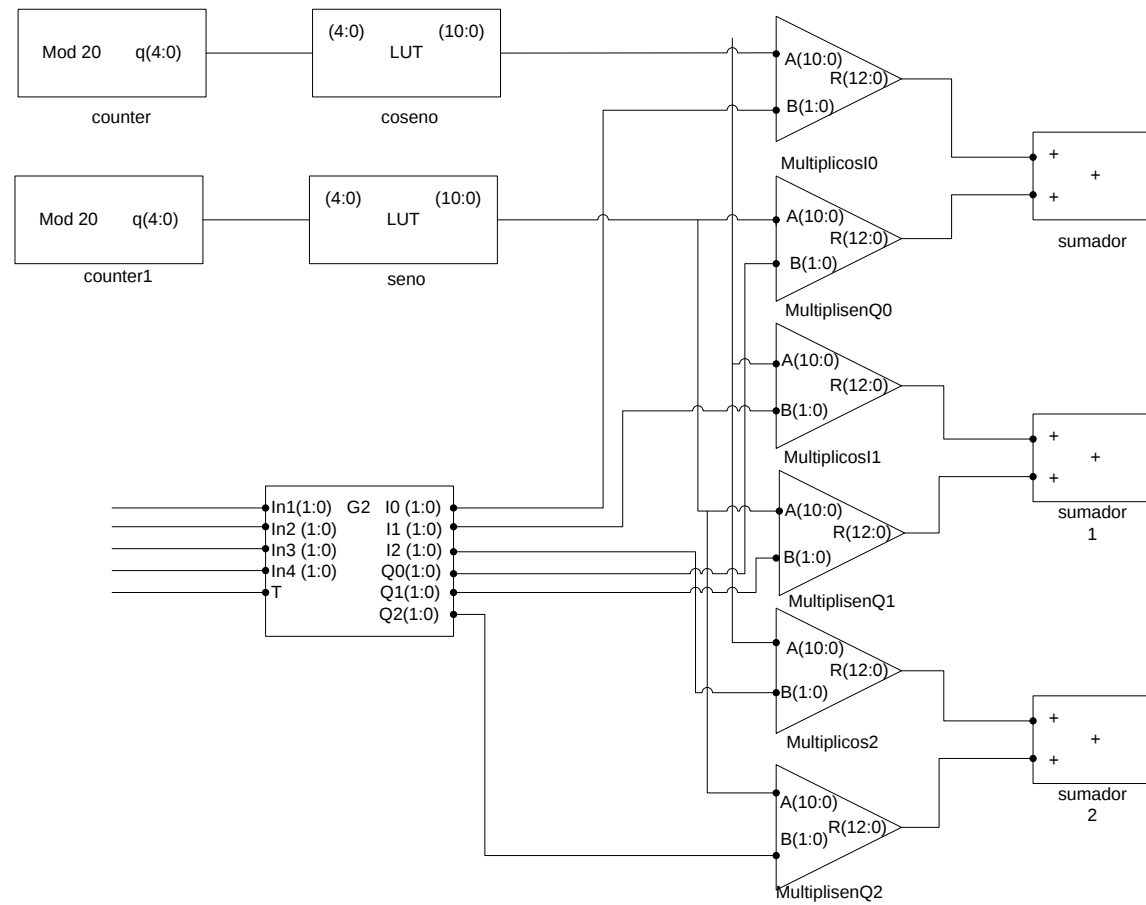


Figure 4.6 Modelo de transmisión de un codificador STBC G3.

El canal con ruido Gaussiano fue implementado con un generador de números aleatorios con distribución uniforme el cual utiliza la siguiente fórmula recursiva:

$$r(k) = [ar(k-1) + c] \bmod M \quad (3.3)$$

en donde el valor de M fue de 251, y los valores asignados a “ c ” y “ a ” dependieron del generador en el que se estuvo trabajando.

Como se muestra en la figura 4.7 el generador cuenta con un multiplexor que permite el inicio. La secuencia a la entrada es multiplicada por una ganancia dada por el valor de “ a ”, y se suma a esto el valor de “ c ”. Al aplicar la operación módulo es necesario dividir el valor obtenido del proceso anteriormente mencionado entre el valor de M , por lo que es utilizado un bloque de ganancia de $1/M$ para realizar la división. Posterior a esto se extraen solo valores enteros, por lo que un bus de conversión de 10 bits fue utilizado. Lo obtenido es multiplicado por el valor de M y al resultado anterior de la operación módulo se le resta el valor resultante de la multiplicación por M , obteniendo así el módulo y llegando finalmente a la retroalimentación del sistema.

Se implementó 12 generadores de variables aleatorias con distribución uniforme, para diferentes valores de “ a ”, “ c ” y semilla.

Para la generación de números aleatorios con una función de densidad de probabilidad Gaussiana se utilizó la siguiente fórmula:

$$f = \sum_{k=1}^{12} r(k) - 1600000$$

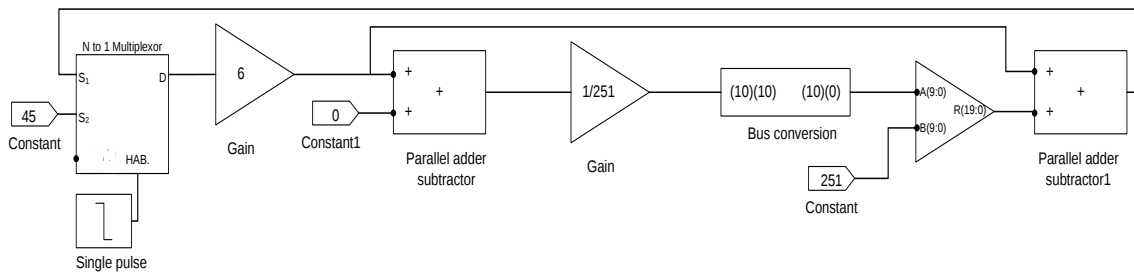


Figura 4.7 Generador de números aleatorios con distribución uniforme.

Por lo que se aplicó un sumador de 12 entradas, en las cuales son conectados los 12 generadores de números aleatorios con distribución uniforme, con el fin de que la suma de variables con distribución uniforme, según el teorema del límite central, nos proporcione una señal con distribución Gaussiana. A la salida del sumador se resta 1600000, valor con el cual se obtuvo una media igual a 0. Para obtener diferentes niveles de potencia de ruido fue utilizada una LUT, que utilizando un bloque multiplicador, el valor de la LUT y el valor dado por el generador de números aleatorios con distribución Gaussiana, permite variar estos valores, y siendo el usuario quien seleccione el nivel de potencia de ruido con el cual se desea trabajar.

La tabla 4.1 muestra los valores utilizados de la semilla, “a” y “c”, para los diferentes generadores de números aleatorios. Esto se logró por medio de entradas las cuales se encontraban en el tablero en forma de dip-switch, con la finalidad de poder evaluar el sistema a diferentes valores de E_b/N_0 (Energía por bit/Potencia de ruido).

La tabla 4.2 muestra los valores en la LUT del G2 y del G3 para obtener los valores de E_b/N_0 de 0 a 5 dB. El valor de 0 dB se obtuvo de experimentación, en el caso del STBC G2 este valor fue de $z=1/30$ y para el G3 fue de $z=1/43.4$. A partir de estos valores se utilizó la siguiente formula:

$$W = \frac{z}{1.2589}$$

donde W es el siguiente valor dado en la LUT para el E_b/N_0 siguiente.

El receptor es solo un bloque sumador en el cual entran las señales enviadas y el ruido en las diferentes ranuras de tiempo. Para el caso del STBC G2 se utilizaron dos sumadores, uno para las señales enviadas y otro para agregar el ruido; para el caso del STBC G3 solo fue utilizado un solo sumador para las señales y el ruido.

La parte demoduladora tanto para el sistema con el Código de Bloque Espacio Tiempo tipo G2 y G3 se utilizó un bloque correlacionador con resolución de 28 bits.

Tabla 4.1 Valores dados a la semilla, a y c de los 12 generadores.

Generador	Semilla	a	C
1	45	6	0
2	30	30	1
3	100	44	0
4	20	19	0
5	26	37	1
6	45	24	1
7	64	18	0
8	40	29	1
9	56	37	0
10	23	46	1
11	12	43	0
12	37	42	1

Tabla 4.2 Valores en la LUT del G2 y del G3 para obtener los valores de E_b/N_0 de 0 a 5 dB.

E_b/N₀	Valores en la LUT STBC G2	Valores en la LUT STBC G3
0 dB	1/30	1/43.40
1 dB	1/37.76	1/54.60
2 dB	1/47.12	1/68.25
3 dB	1/58.87	1/85.25
4 dB	1/73.5	1/106.5
5 dB	1/91.87	1/133.12

Debido a que se utilizó una modulación I-Q fue necesario utilizar dos correlacionadores para obtener la demodulación de la componente I y la componente Q. Las dos entradas de este bloque corresponden a la señal en el receptor y la señal del oscilador correspondiente, creada en la parte transmisora. Las dos señales obtenidas entran a un bloque de ganancia de $1/20$ para el STBC G2, mientras que para el STBC G3 es un bloque de $1/40$, obteniendo finalmente la demodulación.

Por motivos de limitación en resolución de los bloques posteriores a la demodulación, fue necesario utilizar 2 bloques de conversión de bus, limitando la resolución a 20 bits siendo la resolución límite de 51 bits.

Una vez obtenidas las señales de la demodulación, la componente I y Q, entran al bloque decodificador de bloque espacio tiempo o combinador, en donde son aplicadas las ecuaciones para la decodificación. Esta parte del sistema, al igual que el mapeador cuenta con un bloque que se utiliza como el tiempo de referencia para proporcionar la ranura de tiempo en la que se encuentra.

Las salidas $\tilde{x}_1, \tilde{x}_2$ para el caso del código espacio tiempo tipo G2 y $\tilde{x}_1, \tilde{x}_2, \tilde{x}_3, \tilde{x}_4$ para el caso del código espacio tiempo tipo G3 obtenidas del decodificador, entran al detector de máxima verosimilitud, el cual toma la decisión de cuales fueron los símbolos recibidos. A la salida del detector es conectado un Flip-flop, con la finalidad de obtener los símbolos para el instante correcto de tiempo. Los flip-flops para el caso del STBC G2 se habilitaron con un contador módulo 40 conectado a un bloque decodificador a 39, y en el caso del STBC G3 con un contador módulo 160 conectado a un bloque decodificador 159.

Como se mencionó anteriormente, los bloques de decodificación, detector de máxima verosimilitud y flip-flop's fueron creados en Quartus II, en el lenguaje VHDL.

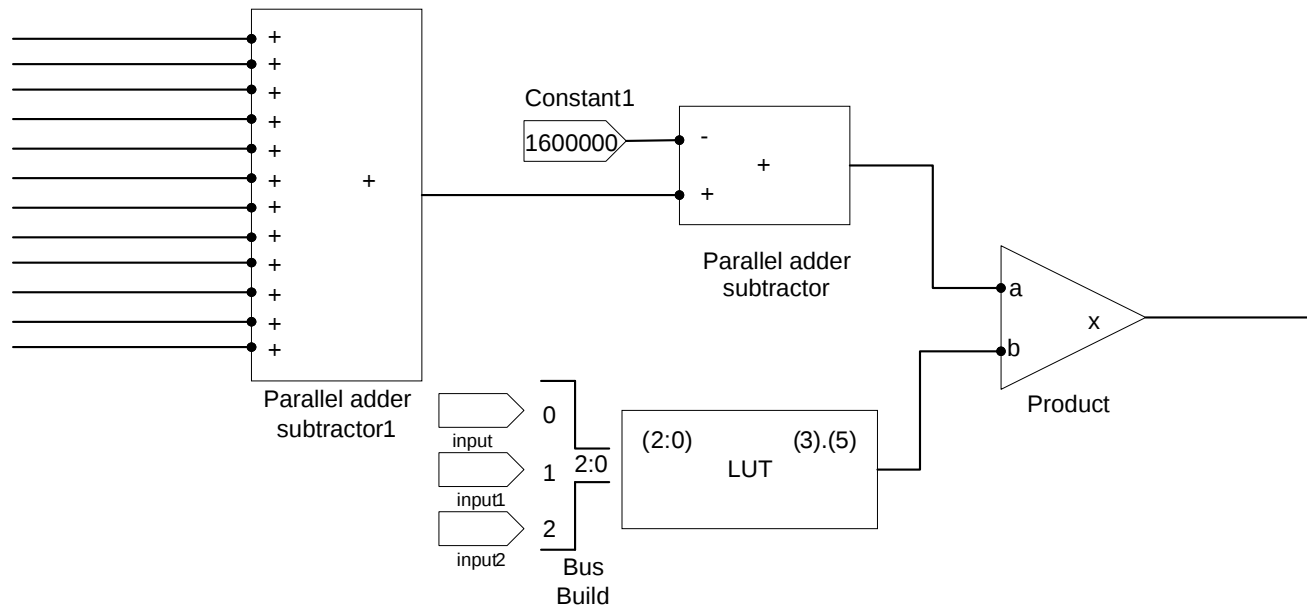


Figura 4.8 Generador de números aleatorios con distribución Gaussiana y seleccionador de valor de ruido.

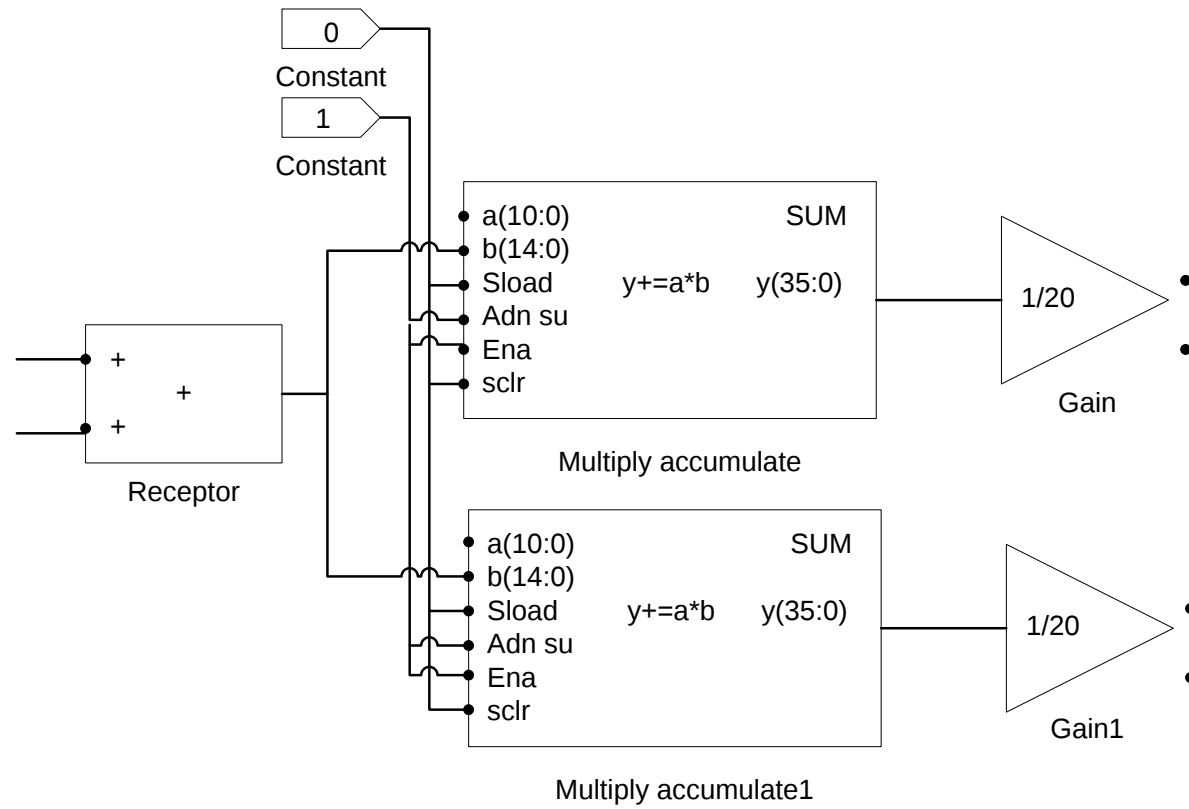


Figura 4.9 Receptor y demodulador QPSK.

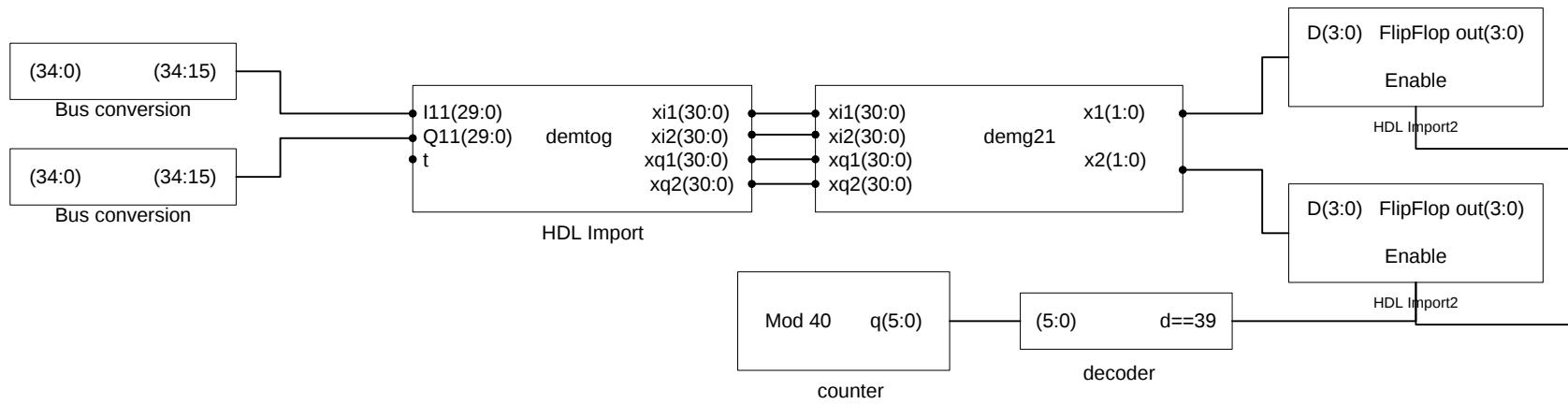


Figura 4.10 Decodificador STBC G2.

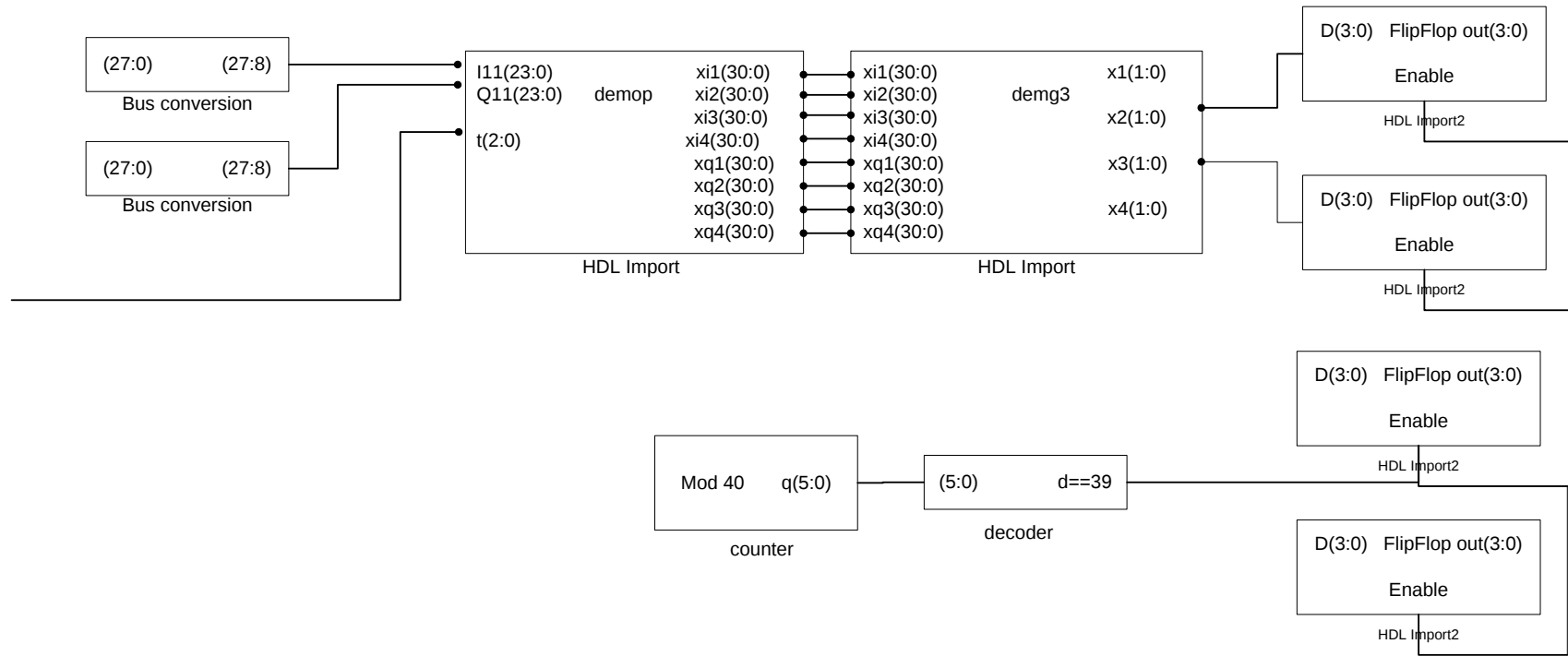


Figura 4.11 Decodificador STBC G3.

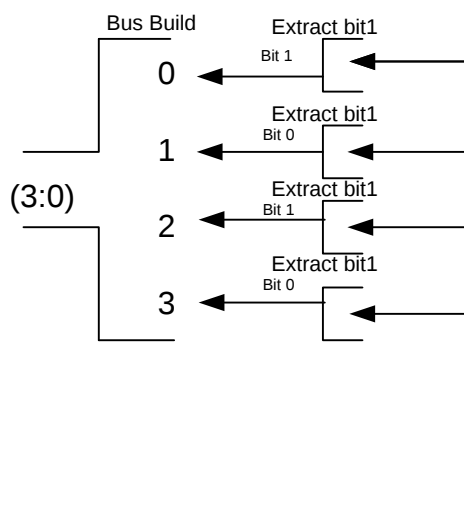


Figura 4.12 Extracción de los bits de los símbolos a la salida del sistema y creación de un bus para un STBC G2.

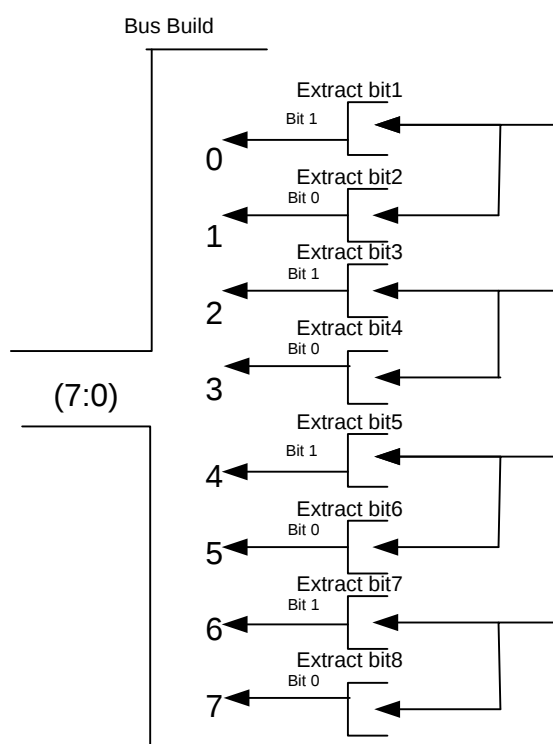


Figura 4.13 Extracción de los bits de los símbolos a la salida del sistema y creación de un bus para un STBC G3.

En el contador de errores fueron extraídos los bits de cada símbolo creado en la entrada del sistema, así como en la salida, y posteriormente se creó un bus con cada uno de los bits extraídos. Para el caso del STBC G2 fue creado un bus de 4 bits, mientras que para el STBC G3 fue creado un bus de 8 bits. Al bus de entrada se conectó un retraso, siendo un retraso de 40 para el STBC G2 y un retraso de 160 para el STBC G3, con la finalidad de que el bus de entrada y de salida se encontrara en fase.

Después de aplicar el retardo, es conectado a una XOR junto con el bus de salida, obteniéndose un 1 lógico sólo para aquellos valores en los que los datos del bus de entrada y de salida difieran.

Nuevamente la extracción de cada uno de los bits fue requerida para el conteo de los errores encontrados. Por razones de limitación en los parámetros en cuanto a la resolución soportada por los bloques del sistema y para visualización del conteo, fue utilizado un bloque decodificador de DSP Builder de 17 bits a un valor de 131071 para el STBC G2 y uno de 20 bits a un valor de 65536 para el STBC G3, con el fin de detener tanto el conteo de los bits transmitidos como el de errores en el sistema cuando se llegara al valor dado en el bloque decodificador.

Para esto, como la salida del bloque decodificador es un 1 cuando se llega al valor esperado, fue conectada una NOT a la salida de este bloque y el resultado enviado a la entrada de compuertas AND's conectadas a los habilitadores de cada uno de los contadores de bits y errores del sistema. Para el STBC G2 y G3 fueron utilizados 4 y 8 contadores respectivamente de 20 bits sin signo módulo 1048576.

En la otra entrada de las compuertas AND se conectan los bits extraídos para el conteo de errores, obteniendo el conteo siempre y cuando el conteo de bits transmitidos no llegue al valor del bloque decodificador.

La salida de los contadores son enviadas a un sumador, conectado posteriormente a una ganancia de $1/40$ para el STBC G2 y $1/160$ para el STBC G3, y finalmente son extraídos los bits y conectados a una salida.

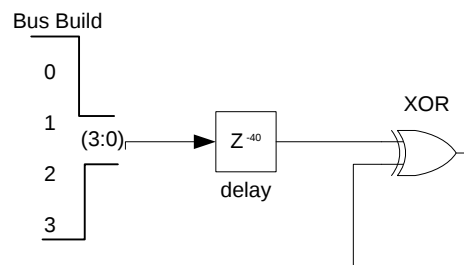


Figura 4.14 Bus de entrada, retraso y comparación de bus entrada y salida utilizado para el STBC G2.

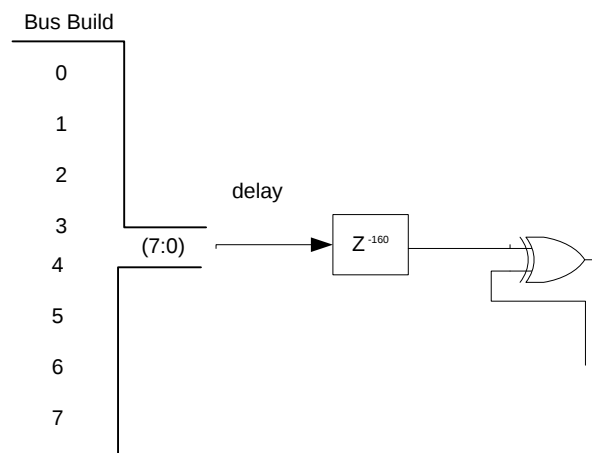


Figura 4.15 Bus de entrada, retardo y comparación de bus entrada y salida utilizado para el STBC G3.

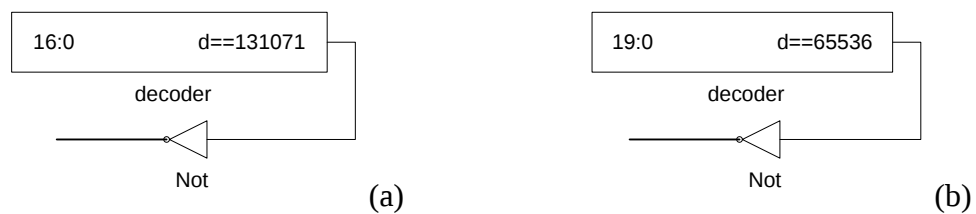


Figura 4.16 Bloques decodificadores utilizados para el conteo de bits y errores , (a) para el STBC G2, (b) para el STBC G3.

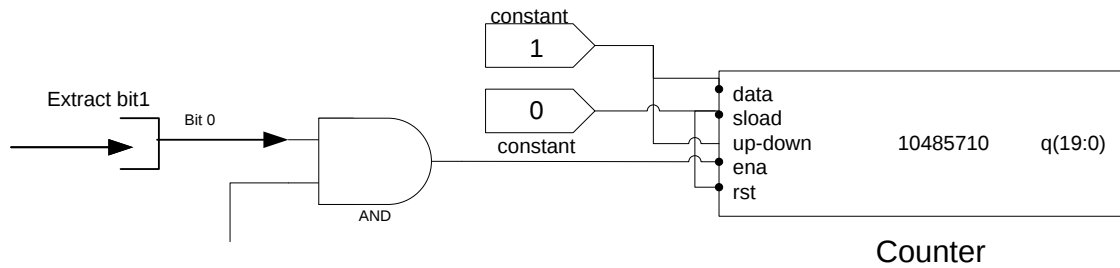


Figura 4.17 Componentes utilizados en el conteo de bits y errores del STBC G2 y G3.

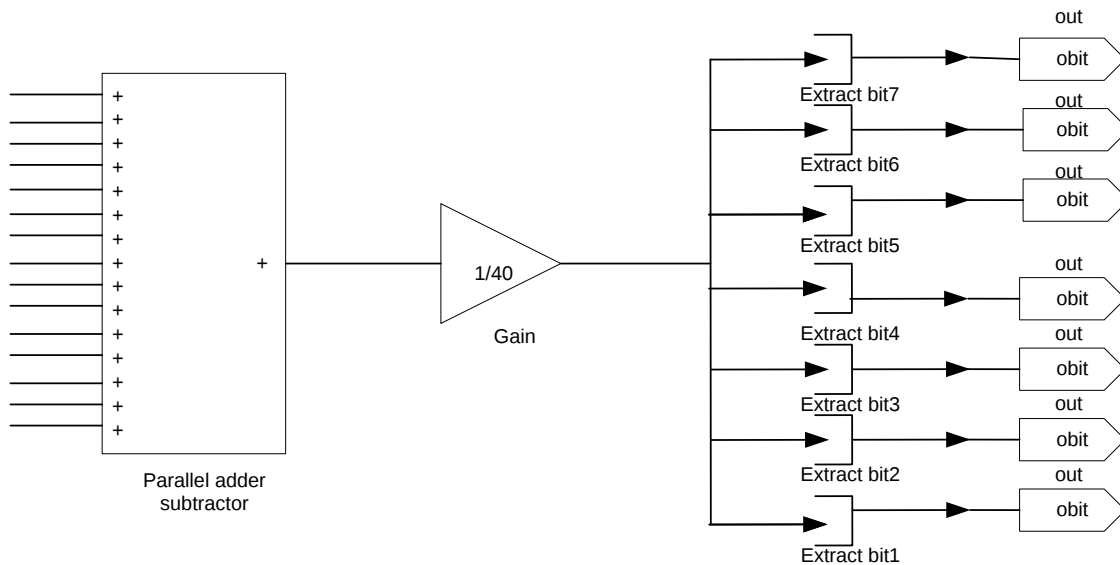


Figura 4.18 Bloques de suma , ganancia, extracción de bits y salida de la parte contadora de bits transmitidos y errores para el STBC G2 y G3.

Para el conteo de bits transmitidos se utilizó casi el mismo proceso que para el conteo de errores, solo que en este conteo no fue necesario comparar el bus de entrada y salida, sino simplemente se extrajeron los bits del bus de entrada. Estos bits fueron enviados a una de las entradas de las compuertas AND's, mientras que en las otras entradas fue conectado el valor del bloque decodificador, las salidas de estas compuertas fueron conectadas a los habilitadores de los contadores. Los valores obtenidos son sumados y el

resultado multiplicado por una ganancia que depende del STBC que se utiliza. Finalmente son extraídos los bits para enviarse a las salidas del sistema.

Para poder visualizar tanto el conteo de errores, como el conteo de bits transmitidos, fueron puestos un total de 32 LEDS en un proto board; 16 LED's para el conteo de bits transmitidos y los otros 16 LED's para el conteo de errores. Estos LED's fueron unidos a las salidas del sistema con un cable plano observándose el conteo por medio de LED's.

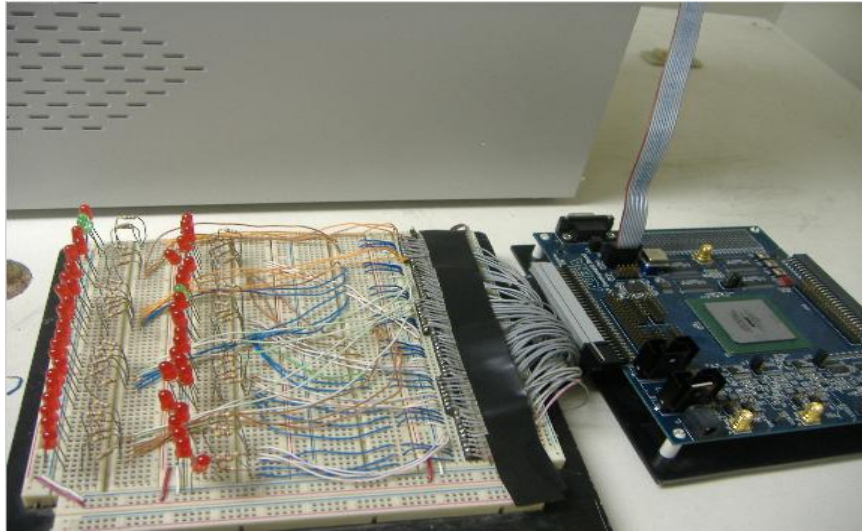


Figura 4.19 Tablero APEX con proto board conectado mostrando los LED's para el conteo de bits transmitidos y errores en el sistema.

Capítulo 5

Resultados de la implementación del STBC tipo G2 y G3 en la plataforma FPGA.

En la tabla 5.1 se presenta una lista de los recursos utilizados, donde solo una pequeña cantidad fue requerida para la implementación del sistema tanto STBC G2 y G3.

Tabla 5.1 Recursos requeridos para la implementación del sistema.

	Total de elementos en el FPGA	STBC G2	STBC G3
Total de elementos lógicos	51 840	5 765 (11%)	9 090 (18%)
Total de pins	488	53 (11%)	53 (11%)
Total de bits de memoria	442 368	5 312 (1%)	848 (0.19%)
Total de PLL's	4	0	0
Fmax del reloj	100 MHz	22.27 MHz	12.14 MHz

Las siguientes figuras dan las señales obtenidas en cada una de las etapas del sistema, ayudando a visualizar el comportamiento de los bloques utilizados. Para esto fue utilizado el símbolo x_1 del STBC G2 y G3.

La figura 5.1 muestra la señal coseno para la portadora I, mientras que la figura 5.2 la señal seno para la portadora Q.

En la figura 5.3 encontramos la señal obtenida de un generador de bits aleatorios. El valor de la señal es de un bit y se puede apreciar que los valores se encuentran en el rango de 0 y 1 a través de todo t .

La figura 5.4 nos muestra el símbolo aleatorio x_1 resultante del bus. Debido a que para cada símbolo se utilizaron 2 bits, los valores que puede tomar este símbolo varían en el rango de 0 a 3.

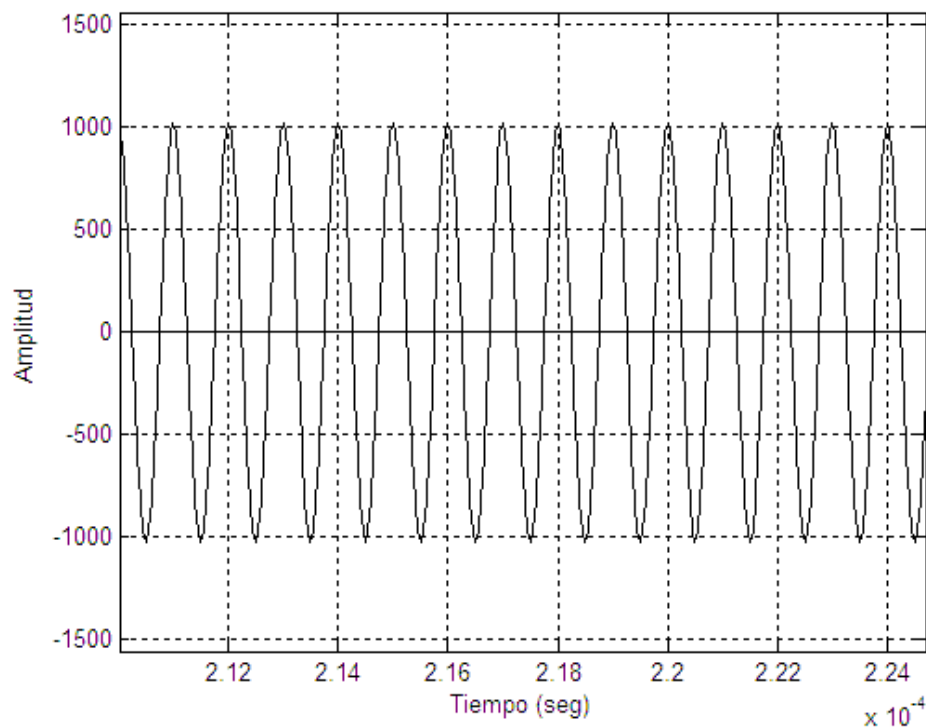


Figura 5.1 Señal coseno de referencia (Portadora I).

La figura 5.6 muestra el mapeo de la componente Q del símbolo x_1 , obtenido del bloque mapeador. En esta figura se puede mostrar que al igual que en la figura 5.5, los valores de +1 y -1 obtenidos tras el mapeo, en este caso para la componente Q, son representados en la figura con el valor de 1 y 3 respectivamente.

La señal de la componente I es mostrada en la figura 5.7, la cual es el resultado de la multiplicación de la señal coseno por la señal obtenida tras el mapeo de la componente I. La señal de la componente Q se muestra en la figura 5.8, siendo esta el resultado de la multiplicación de la señal seno por la señal obtenida tras el mapeo de la componente Q.

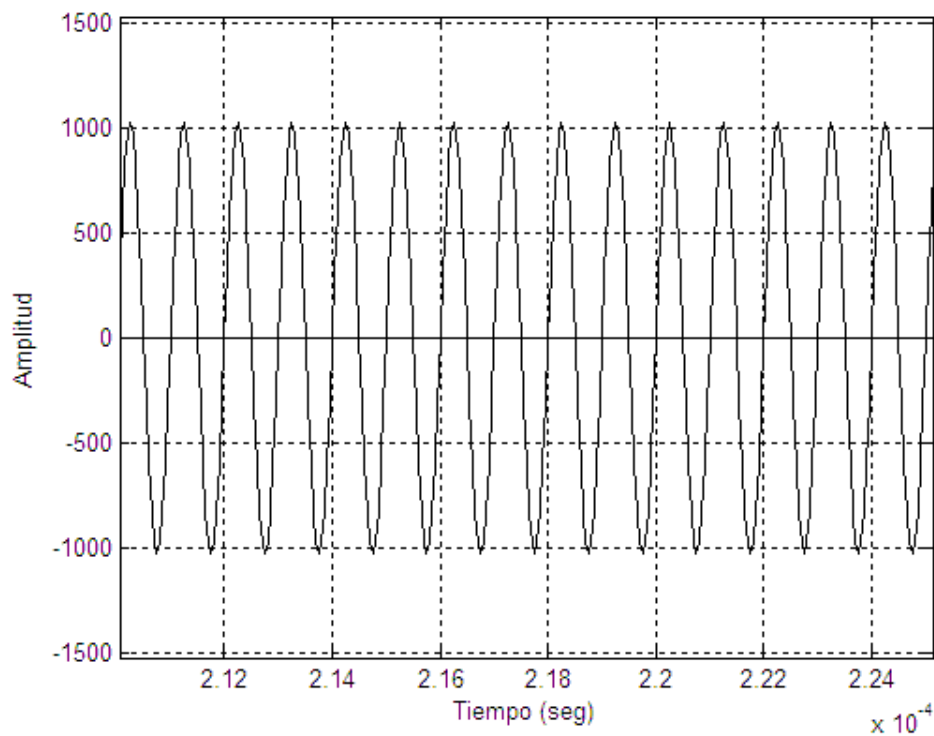


Figura 5.2 Señal seno de referencia (Portadora Q).

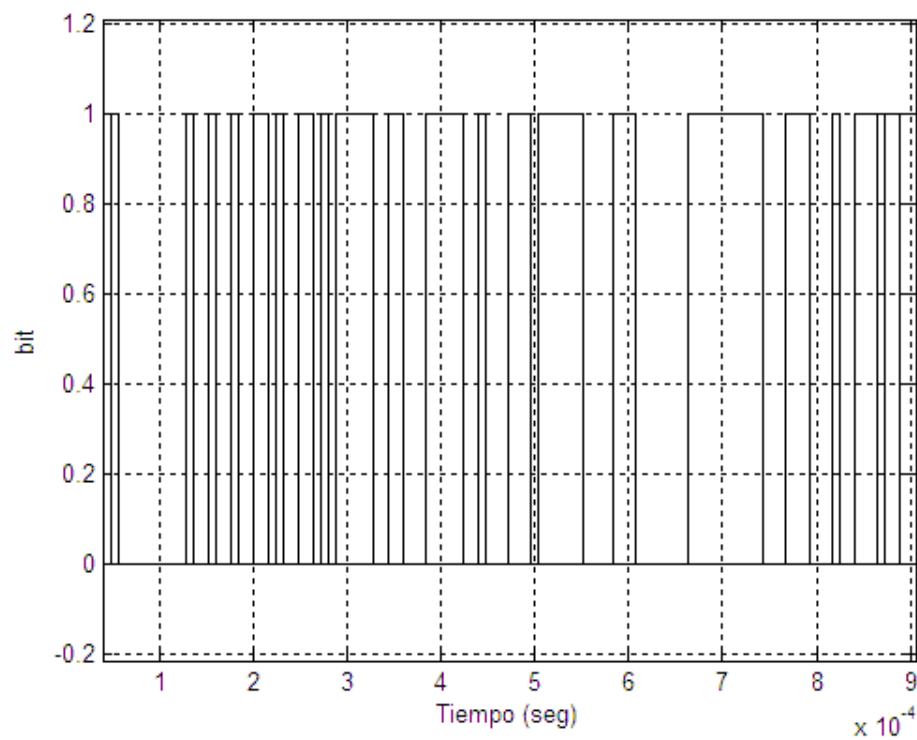


Figura 5.3 Señal de un generador de bits aleatorios.

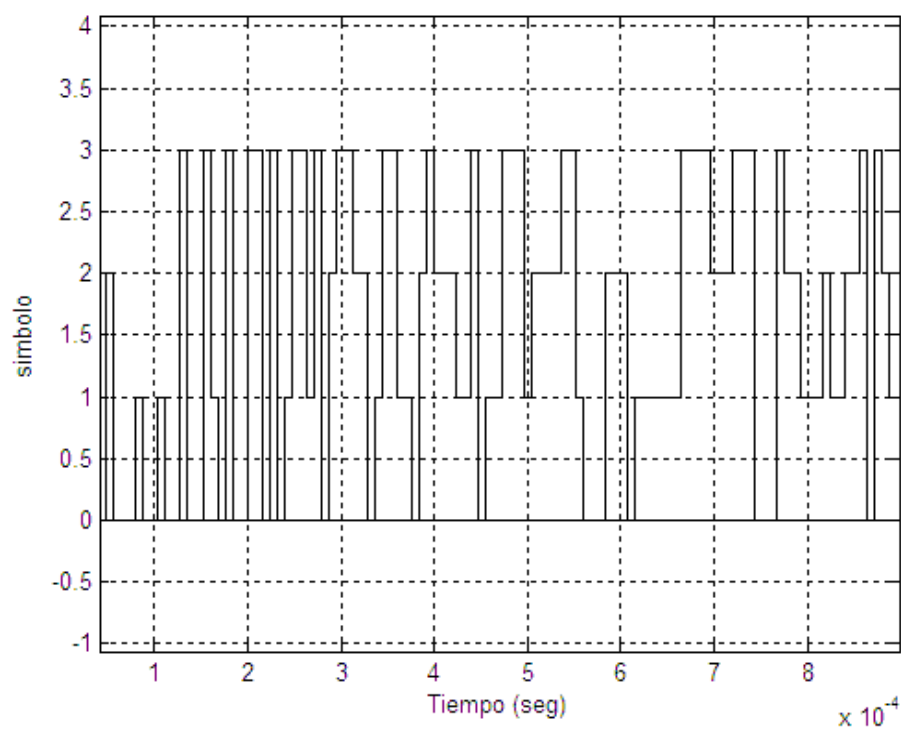


Figura 5.4 Señal del símbolo aleatorio x_1 generado en el sistema.

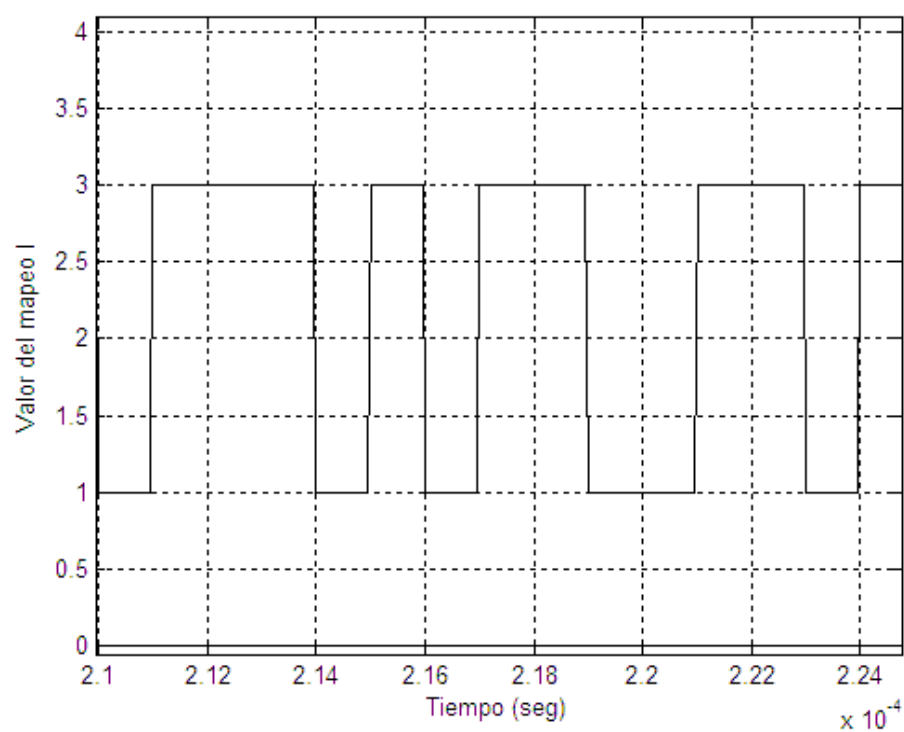


Figura 5.5 Señal obtenida del mapeo de la componente I.

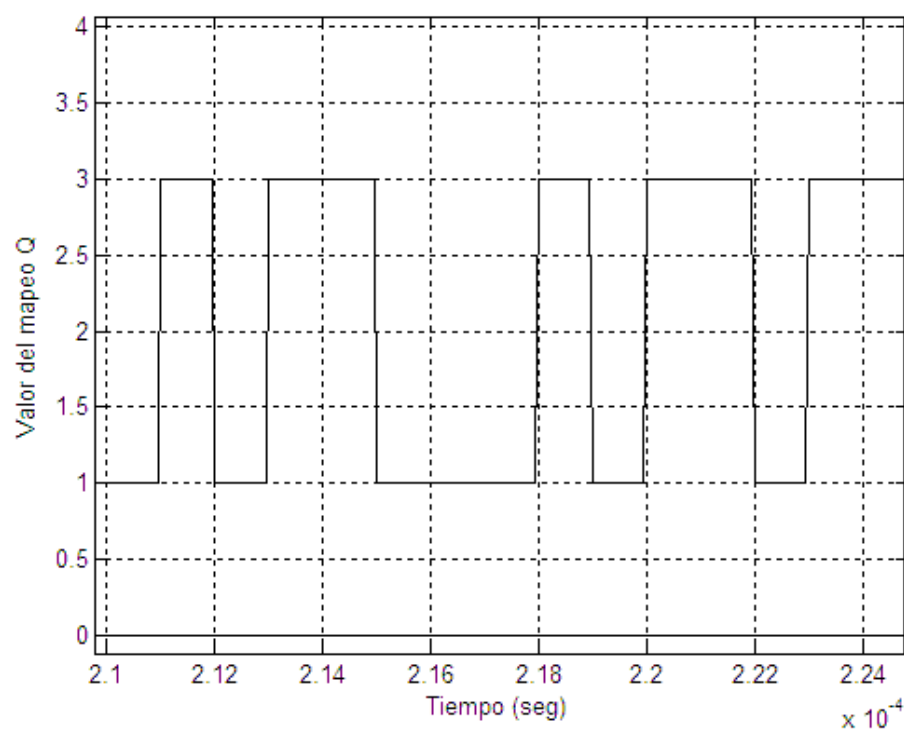


Figura 5.6 Señal obtenida del mapeo de la componente Q.

La modulación I-Q es mostrada en la figura 5.9. Se observa la suma de la señal de la componente I con la componente Q, mostrando la modulación I-Q, con sus respectivos cambios de fase en la señal, dependiendo estos cambios, del símbolo que es enviado a través de esta señal moduladora. Para propósitos de visualización solo se muestra la señal enviada a través de una sola antena transmisora.

La señal resultante del bloque que genera el ruido con distribución Gaussiana es mostrado en la figura 5.10. El ruido que se muestra en la figura es para obtener un E_b/N_0 de 3 dB.

En la figura 5.11 se observa el histograma que muestra la distribución Gaussiana con la que trabaja el generador de números aleatorios.

La señal que es obtenida en el receptor se muestra en la figura 5.12. En la cuál se puede observar la suma del ruido con las señales enviadas en las antenas transmisoras, haciendo que la señal se distorsione como se observa en la en la figura 5.12.

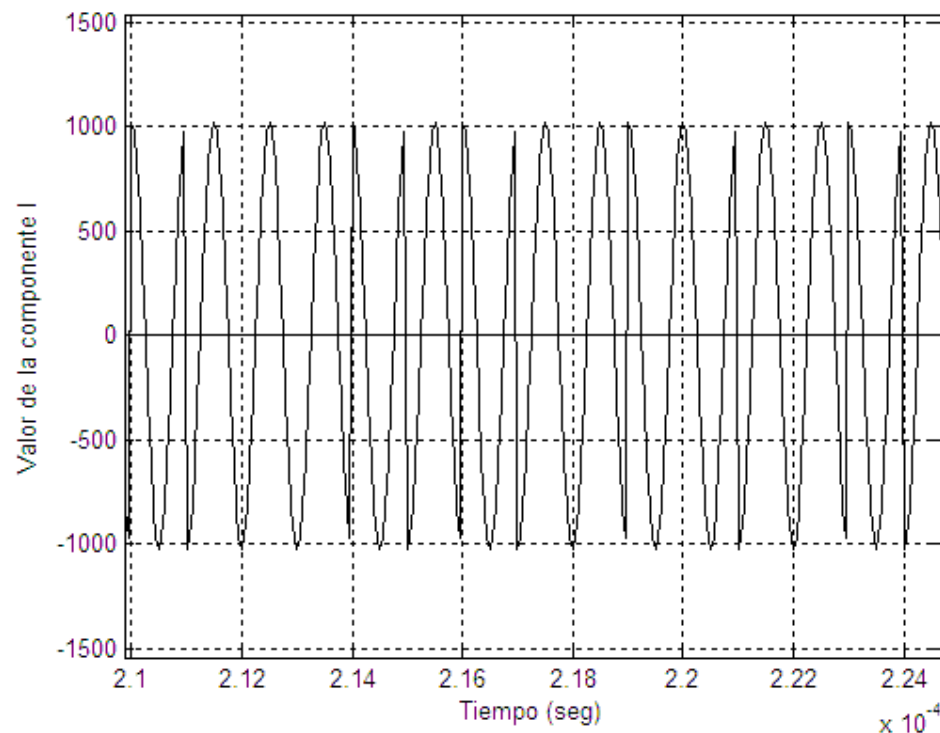


Figura 5.7 Señal de la componente I.

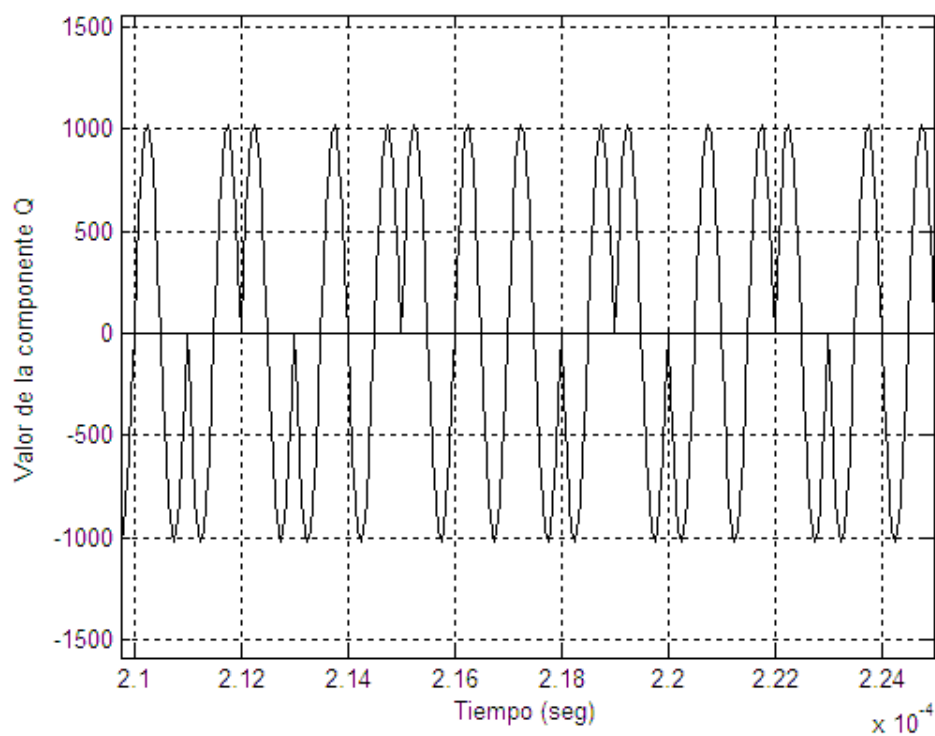


Figura 5.8 Señal de la componente Q.

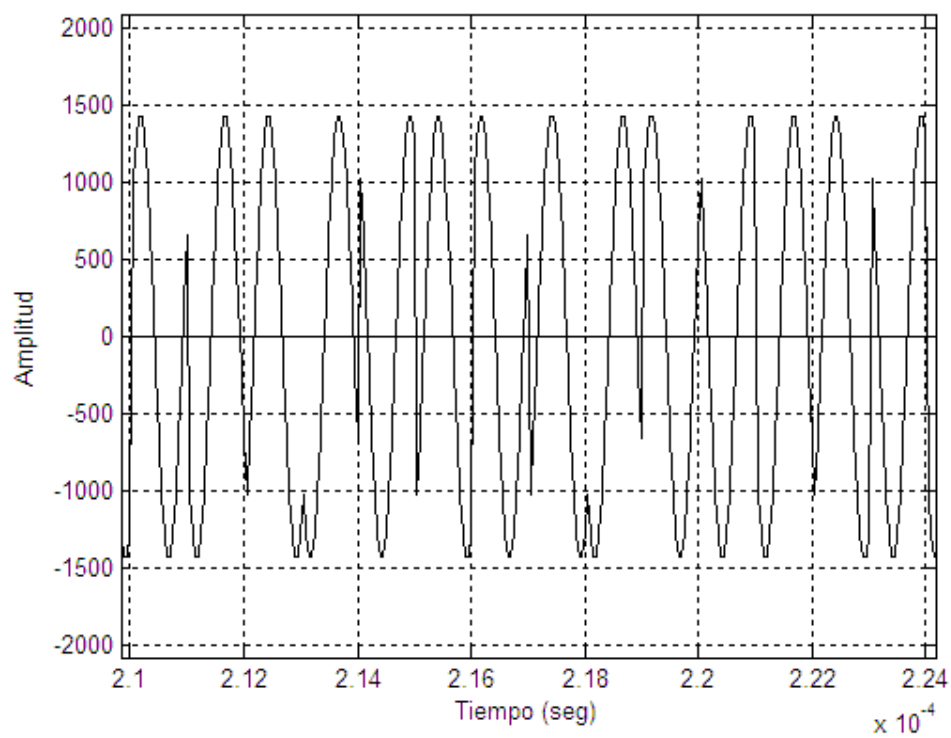


Figura 5.9 Modulación I-Q.

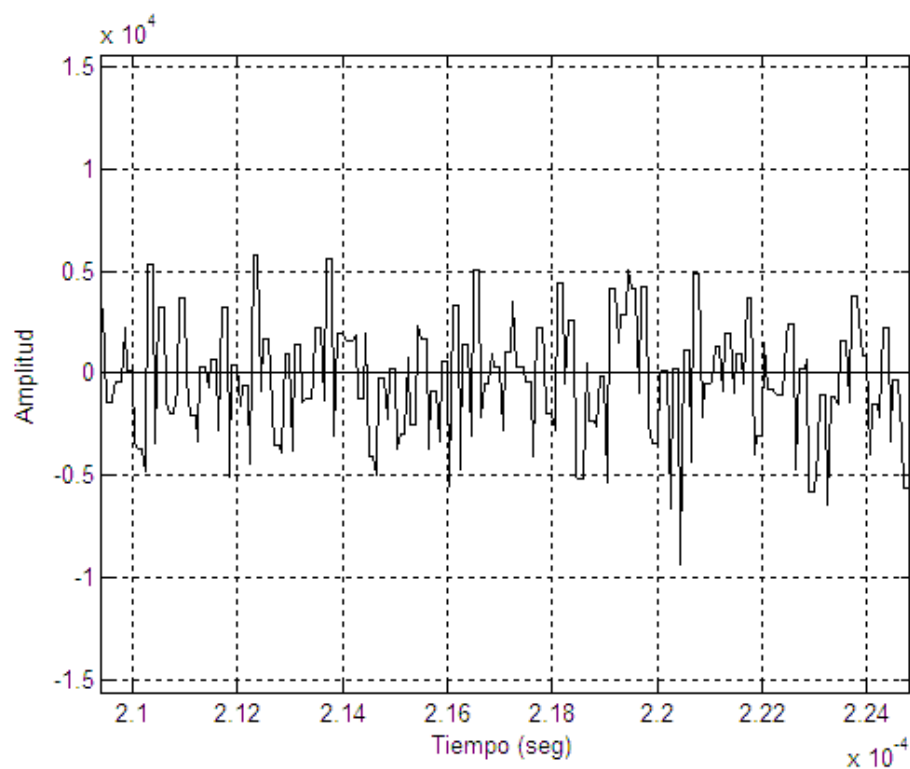


Figura 5.10 Ruido con distribución Gaussiana.

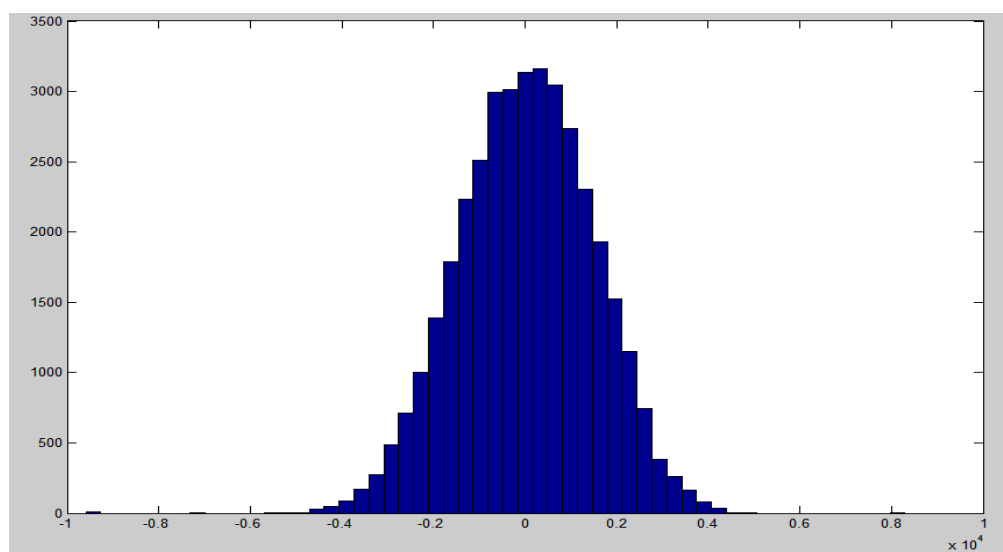


Figura 5.11 Histograma con distribución Gaussiana del generador de números aleatorios.

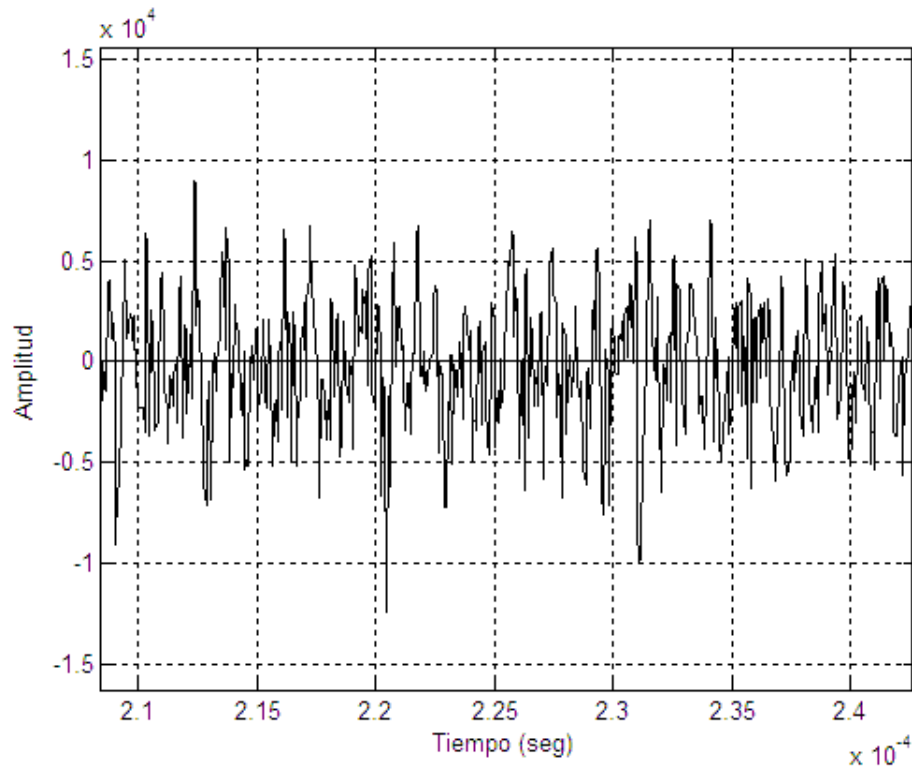


Figura 5.12 Señal en el receptor.

En la figura 5.13 se muestra la señal resultante del bloque de demodulación de la componente I, es decir la señal obtenida tras la correlación de la portadora I con la señal recibida en el receptor. La figura 5.14, muestra la señal resultante del bloque de demodulación de la componente Q, es decir la señal obtenida tras la correlación de la portadora Q con la señal recibida en el receptor.

El posible valor del símbolo x_1 de la componente I del bloque combinador se muestra en la figura 5.15, mientras que el posible valor del símbolo x_1 de la componente Q del bloque combinador se muestra en la figura 5.16.

A la salida del bloque de máxima verosimilitud y después de la utilización de los flip-flops es obtenido el símbolo resultante mostrado en la figura 5.17. Como se observa, los valores de este símbolo recibido son parecidos a los del símbolo enviado solo que con cierto desfase y con una que otra diferencia debida a los errores en la señal.

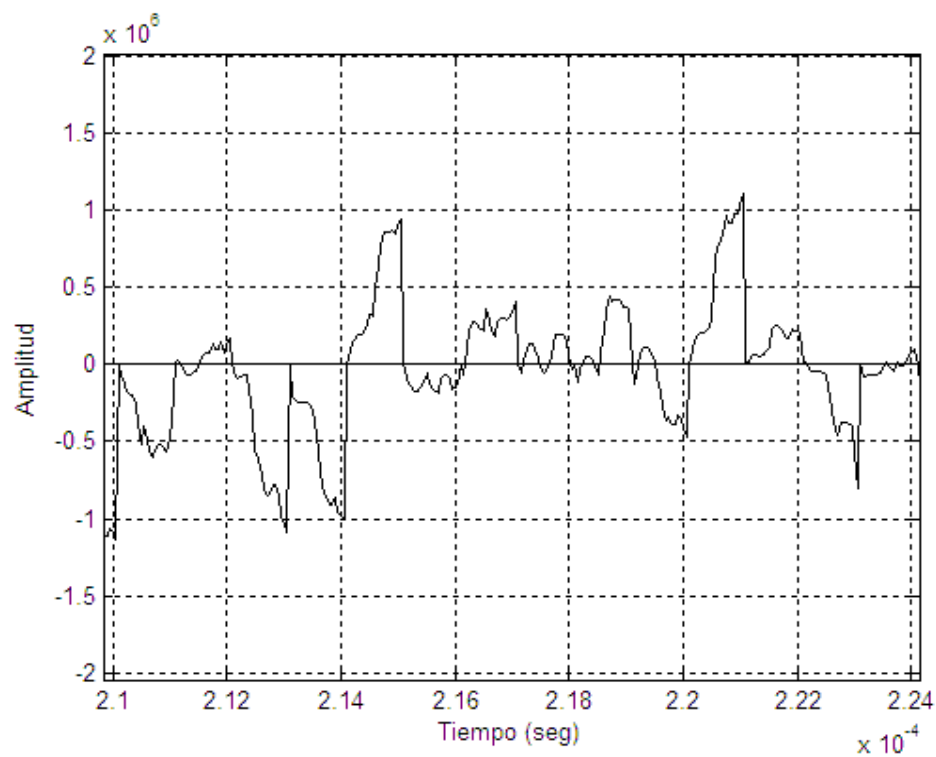


Figura 5.13 Señal de la demodulación de la componente I.

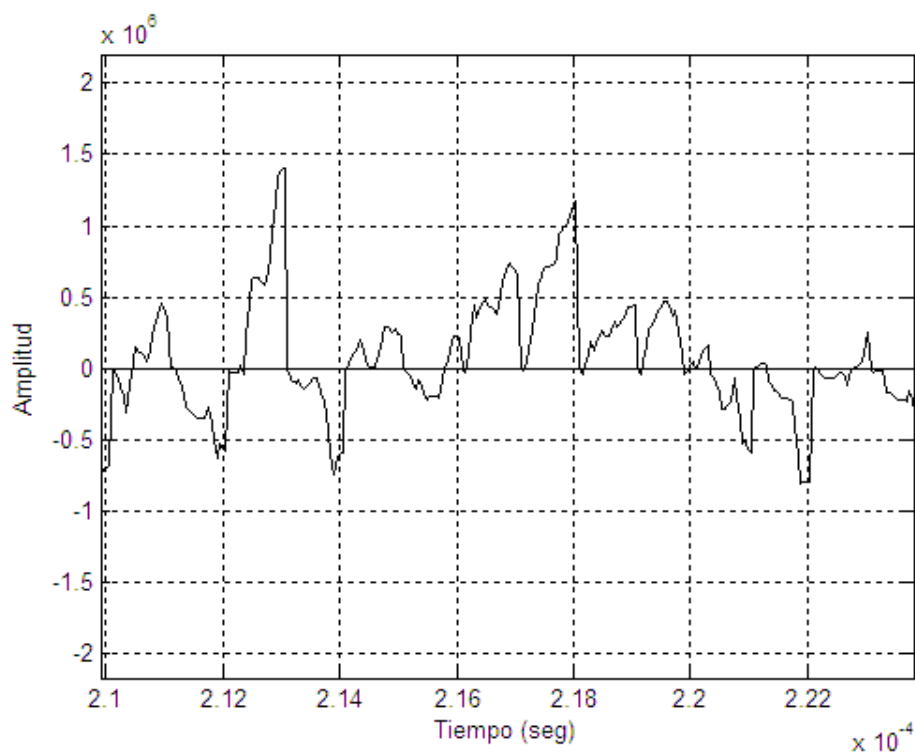


Figura 5.14 Señal en la demodulación de la componente Q.

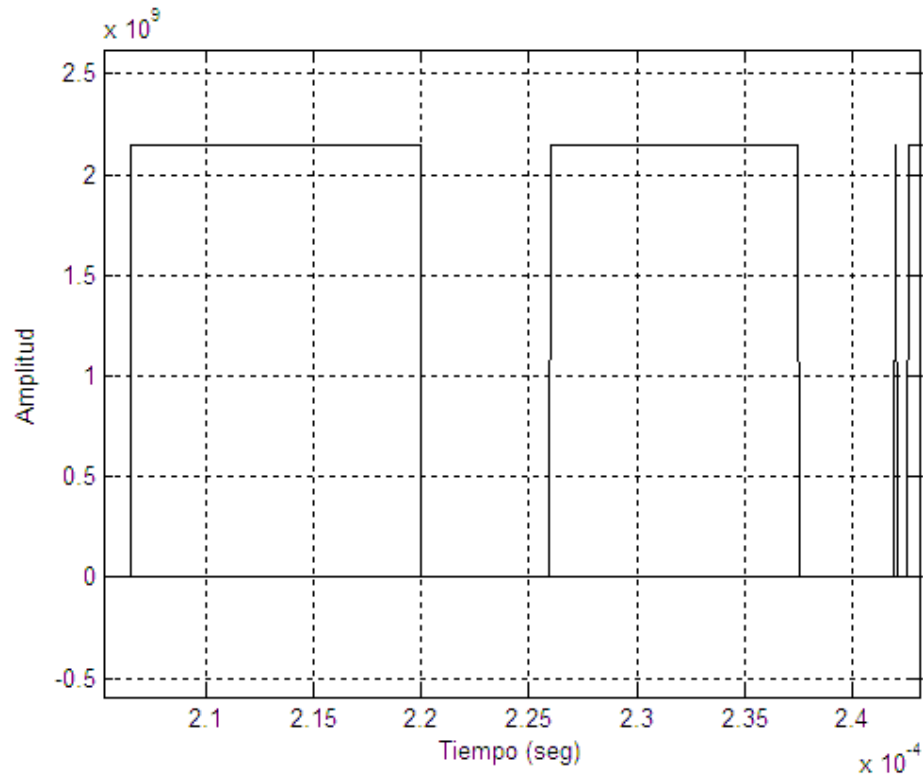


Figura 5.15 Posible valor de x_1 obtenido de la componente I.

Para la evaluación del sistema se realizó la simulación en MatLab de un Código de Bloque Espacio Tiempo G2 y G3 con un canal con ruido Gaussiano, teniendo un E_b/N_0 de 0 a 5 dB, tardando esta simulación aproximadamente 24 horas para la obtención de resultados. También se obtuvieron resultados de la implementación en el FPGA los cuales fueron obtenidos instantáneamente. Los resultados son mostrados en la figura 5.18. En estos resultados se puede observar que el comportamiento del STBC tanto en simulación como en la implementación son similares, comprobando que la implementación si puede llevarse a cabo de forma confiable. Se tiene mejor desempeño en la simulación, sin embargo, se pudieran realizar cambios en la implementación de el bloque correspondiente a el ruido de el canal, para así cambiar el ruido y llegar a valores mas parecidos a los de la simulación.

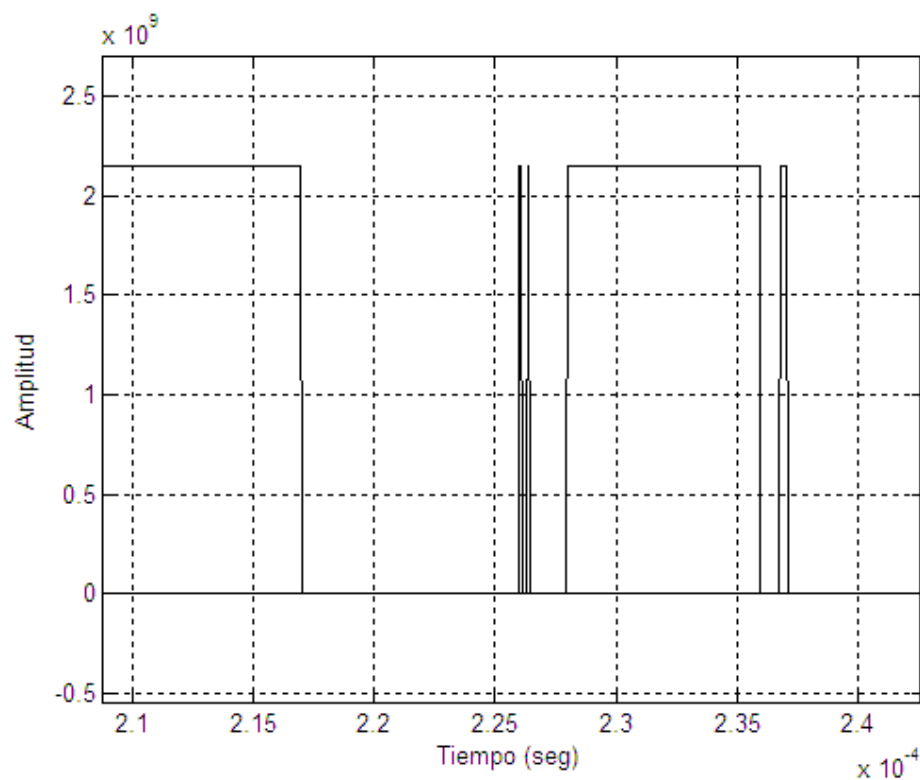


Figura 5.16 Posible valor de x_1 obtenido de la componente Q.

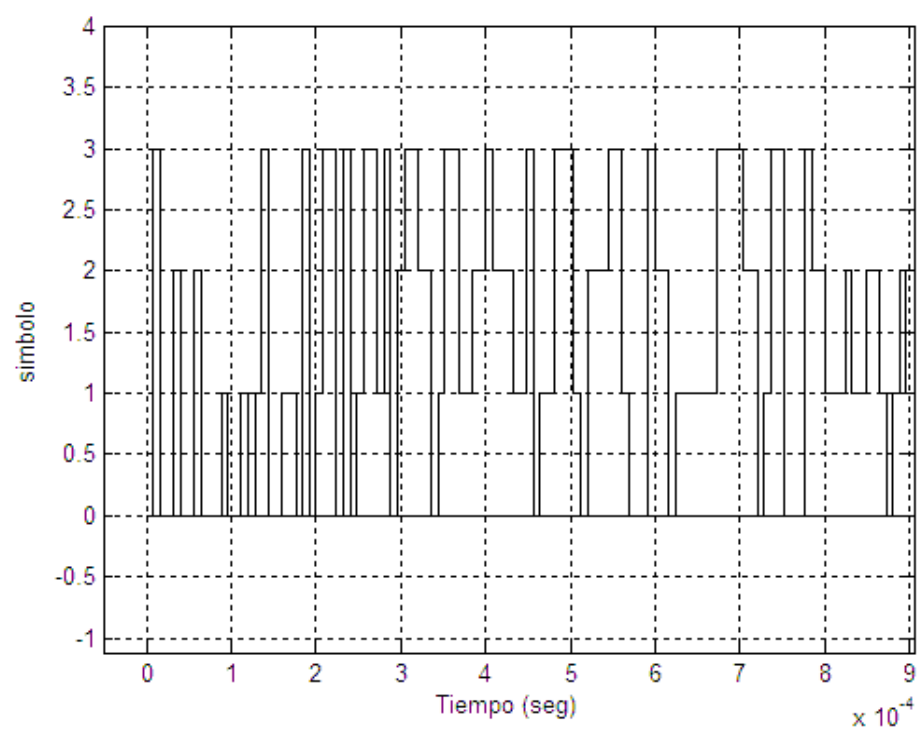


Figura 5.17 Valores del símbolo x_1 recibido.

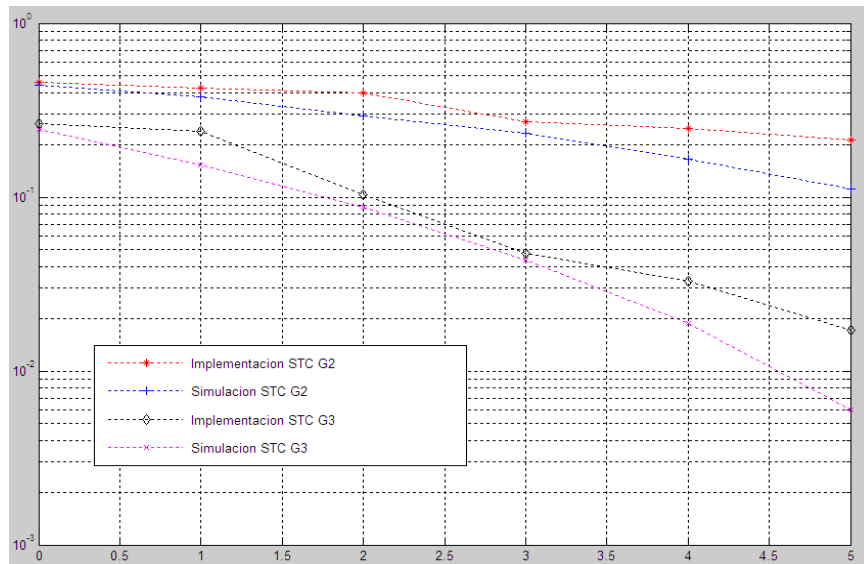


Figura 5.18 Resultados obtenidos de la simulación e implementación de un STBC G2 y G3 para un E_b/N_0 de 0 a 5 dB.

Capítulo 6

Conclusiones y trabajo futuro

6.1 Conclusiones

En este trabajo de tesis se implementaron y evaluaron los Código de Bloques Espacio-Tiempo tipo G2 y G3 (STBC) utilizando un dispositivo FPGA de la compañía Altera. En este capítulo final se presenta un resumen de esta investigación y se describen algunas posibles futuras áreas de investigación.

Para evaluar los STBC, se diseñó e implementó un sistema de comunicaciones completo en la plataforma FPGA, incluyendo el transmisor, receptor y el canal de comunicación. De los resultados obtenidos, se observó que al aplicar este tipo de códigos en el escenario de comunicaciones propuesto, disminuye la tasa de error de bits (BER) por E_b/N_0 en un 35% con respecto a cuando no se utilizan códigos STBC. Lo anterior se debe a que los STBC aprovechan el fenómeno de múltiples trayectorias que se generan en el canal de comunicaciones, minimizando el número de bits erróneos ocasionado por los desvanecimientos.

Del análisis de los resultados se establece que al aplicar Códigos Espacio-Tiempo en un sistema de comunicaciones inalámbricos se podrá incrementar la capacidad de las redes móviles, atendiendo a un mayor número de usuarios simultáneos con una calidad de

servicio aceptable. En este mismo sentido, con la evolución hacia futuros sistemas de comunicaciones móviles como los de Tercera o Cuarta generación, utilizar códigos Espacio-Tiempo es una alternativa viable que permitirá incrementar el tráfico de información, lo anterior es deseable para la transmisión de servicios de multimedia tales como; datos, voz y video de manera simultánea.

Utilizar sistemas electrónicos reconfigurables (FPGA) permite acelerar el proceso de obtención de resultados de una simulación. Para el caso de simular Códigos de Bloques Espacio Tiempo que requieren de modelos complejos, los tiempos de procesamiento en una computadora personal utilizando MatLab se vuelven demasiado largos, incluso de días dependiendo de la cantidad de información que se desea utilizar en la simulación. Lo que limita en la cantidad de transmisores y receptores que se desean incluir en el modelo de análisis. Con el uso de herramientas reconfigurables, como las que se utilizaron en este trabajo, el tiempo de obtención de resultados es casi de inmediato, permitiendo modelar y simular escenarios más complejos.

Sin embargo, dentro de las limitaciones que se encontraron durante la implementación del modelo en el FPGA se pueden mencionar, la frecuencia de operación y la resolución del dispositivo. Por ejemplo, para las implementaciones que se realizaron en este trabajo la frecuencia de operación máxima fue de 4 MHz, por lo que fue necesario utilizar un generador externo para trabajar con frecuencias de 10 MHz. Otra de las limitantes de este dispositivo es la resolución, ya que en el dispositivo no excede de los 51 bits, por lo que todos los componentes involucrados en el diseño del sistema de comunicaciones tienen que programarse con esa misma resolución.

6.2 Trabajo Futuro

El campo de la codificación de Bloque Espacio Tiempo (STBC) tiene un amplio espectro de oportunidades de investigación y obviamente no se consideraron todos los aspectos relevantes durante el desarrollo de este trabajo de investigación, a continuación se discutirán algunos problemas abiertos relevantes que garantizan líneas de investigación futura.

- Aplicar la metodología de diseño e implementación propuesta en este trabajo para evaluar otros código de bloque espacio tiempo más complejos, tales como, el STBC-G4, el cual utiliza un arreglo de 4 antenas transmisoras y requiere de 4 símbolos en su matriz de transmisión y 8 ranuras de tiempo; el código STBC-H3, éste utiliza un arreglo de 3 antenas transmisoras, 3 símbolos para la transmisión de información y 4 ranuras de tiempo, o los códigos H4 que a diferencia de los códigos H3 éstos requieren de un arreglos de 4 antenas transmisoras. También se pueden incluir arreglos de antenas en la parte del receptor.
- Implementar la metodología de diseño de este trabajo en alguna otra plataforma tales como microcontroladores, compuertas lógicas o en cualquier otra familia FPGA las cuales soporten las necesidades de frecuencia, memoria y elementos lógicos que requieran los distintos STBC.
- Incorporar al diseño e implementación, algún otro tipo de desvanecimientos tales como; sombreado, múltiples trayectorias o interferencia de otras tecnologías inalámbricas. Lo anterior permitirá evaluar los códigos STBC en un entorno de comunicaciones más real.

6.3 Resultados de la tesis

De la realización de esta tesis se escribieron dos artículos. El primero llamado "Codificación espacio tiempo aplicado en sistemas de radiodifusión de audio digital" que fue presentado en el 1er. CISCE 2006 en donde se habla de los STBC y las ventajas que puede ofrecer. El segundo artículo "On the implementation of a Space Time Block Coded Transmitter in an FPGA platform " presentado en el Wíreless Telecommunications Symposium en Mayo del 2008 en Pomona Ca., USA. el cual describe la etapa transmisora de un STBC implementado en la plataforma FPGA.

Un tercer artículo se encuentra en proceso para ser enviado al Reconfig'08 donde se presenta todo el sistema de comunicaciones utilizando STBC implementado en la plataforma FPGA.

Bibliografía

- [1] [Lajos Hanzo](#), [T. H. Liew](#), [B. L. Yeap](#), “Turbo Coding, Turbo Equalisation and Space-Time Coding for Transmission over Fading Channels”, WILEY, IEEE, 2002, p.p. 395-443.
- [2] David Gesbert, Mansoor Shafi, Da-Shan Shiu, Peter J. Smith, and Ayman Naguib, “From theory to practice: an overview of MIMO Space-time coded wireless systems”, IEEE journal on selected areas in communications, vol. 21, no. 3, april 2003 281, Tutorial paper.
- [3] M Baghaie AI, S Kuo, I V McLoughlin, “FPGA implementation of space-time block coding systems”, IEEE 6th CAS Symp. on Emerging Technologies: Mobile and Wireless Comm., Shanghai, China, May 3 I-June 2,2004.
- [4] Peter J. Green, Desmond P. Taylor, ”Implementation of a High Speed Four Transmitter Space-Time Encoder using Field Programmable Gate Array and Parallel Digital Signal Processors”, Proceedings of the Third IEEE International Workshop on Electronic Design, Test and Applications (DELTA’06).
- [5] Patrick Murphy, Feifei Lou, Ashutosh Sabharwal, J . Patrick Frantz, ”An FPGA Based Rapid Prototyping Platform for MIMO Systems”, 0-7803-8104-1/03/\$17.00 02003 IEEE.
- [6] Jen-Chi Huang, Ming-Huei Chen, and Jong-Jy Shy, “Implementation of the Turbo-TCM and Space-Time Code Modulation with FPGA in Transceiver”, 0-7803-7300-6/02 \$17.00 0 2002 IEEE

[7] Andres Cicuttin, Maria Liz Crespo, Alexander Shapiro, Nizar Abdallah; "A block-based open source Approach for a reconfigurable Virtual Instrumentation Platform using FPGA Technology"; Proceedings of the 2006 IEEE International Conference on Reconfigurable Computing and FPGA's ReConFig 2006, p.p. 39-46.

[8] Jacob A. Bower, David B. Thomas, Wayne Luk, Oskar Mencer; "A reconfigurable simulation framework for financial computation "; Proceedings of the 2006 IEEE International Conference on Reconfigurable Computing and FPGA's ReConFig 2006, p.p.30-38.

[9] [Michel C. Jeruchim](#), [Philip Balaban](#), [K. Sam Shanmugan](#), "Simulation of Communication Systems: Modeling, Methodology and Techniques", second edition, Oct 31, 2000, p.p. 373-375, 383-384, 386-389, 433-439, 457-460.

[10] User Guide, APEX DSP Development Board (Professional Version) Data Sheet, Altera Corporation, September 2001, v1.0 First publication.

