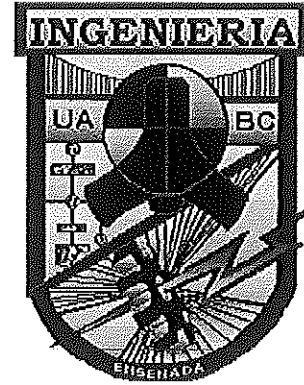
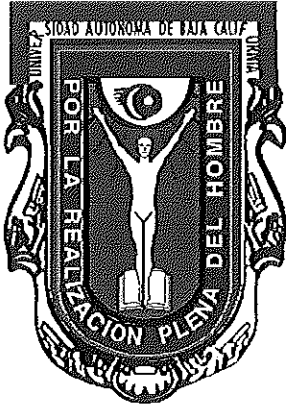


UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA



ESCUELA DE INGENIERÍA UNIDAD ENSENADA

**Implementación de un sistema de adquisición de imágenes para Astronomía
basado en un CCD tipo científico KAF 0400L.**

**TESIS PROFESIONAL QUE PARA OBTENER EL TÍTULO DE
INGENIERO EN ELECTRÓNICA.**

**Presenta:
Raúl Campos Mendoza.**

DIRECTOR DE TESIS

M.C. Salvador Zazueta.

Ensenada B.C., marzo de 1999.

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

ESCUELA DE INGENIERÍA

IMPLEMENTACIÓN DE UN SISTEMA DE ADQUISICIÓN DE IMÁGENES PARA ASTRONOMÍA BASADO EN UN CCD TIPO CIENTÍFICO KAF 0400L.

TESIS PROFESIONAL QUE PARA OBTENER EL TÍTULO DE INGENIERO EN ELECTRÓNICA.

Presenta:
Raúl Campos Mendoza.

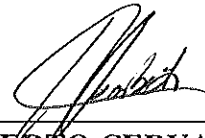
APROBADA POR :



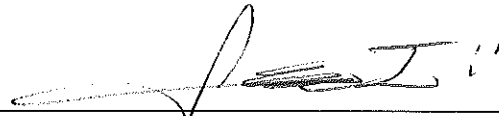
M.C. SALVADOR ZAZUETA
Director de Tesis



M.C. J. DE JESÚS ZAMARRIPA T.
Sinodal Propietario



M.C. HUMBERTO CERVANTES DE A.
Sinodal Propietario



M.C. IVAN NIETO HIPOLITO
Sinodal Propietario



ING. JUAN DE DIOS SÁNCHEZ L.
Sinodal Propietario

Ensenada B.C., marzo de 1999.

DEDICATORIA:

En una dedicatoria muy especial para la mujer que me ayudo a ser lo que ahora soy y que nos quiere mucho.....

Gracias... “Pollillo”

A mi hermano en el que encuentro un pilar fundamental para mi vida y al que quiero mucho.

A mi tío José al que considero un padre por su apoyo incondicional en todas mis decisiones.

AGRADECIMIENTOS:

En especial para mi asesor de tesis Salvador Zazueta, por su paciencia y apoyo durante la realización de éste trabajo.

A mis padres Arcelia Mendoza y Miguel Campos por ayudarme durante mis estudios.

A mi novia Patty por su apoyo y comprensión en el desarrollo de este trabajo y de mis proyectos personales.

A la mama de Karina por apoyarme en la carrera.

A mis compañeros y maestros de la carrera, en especial para Víctor (Gradilla), ya que su ayuda fue fundamental. Para Oscar V. por escucharme y ayudarme; al Víctor (Vic) por soportarme durante la carrera (Thanks!).

A mis compañeros de trabajo, en particular a la línea de Betty, Bubba y Digitales, Y muy en especial para Dolores L., Yany, Erika, Fela y Sonia (Las doñitas), Martha, Patty y los Tech's: El Fer, El Pepe y el Negro (que no lo menciono), por seguir la novela de mi tesis !ah y los malditos (Luis y Marco) y su pupilo (Ponchito).

Y a todos mis amigos que no los menciono pero los tengo presentes.

Y por su puesto.....

GRACIAS A DIOS POR BRINDARME ESTA OPORTUNIDAD.....

CONTENIDO.

TEMA:

PAGINA:

<i>Lista de figuras</i>	<i>i</i>
<i>Lista de tablas</i>	<i>iii</i>
 <i>INTRODUCCION</i>	 <i>iv</i>
 <i>I. SISTEMA DE ADQUISICION DE IMAGENES BASADO EN UN CCD.</i>	 <i>1</i>
<i>I.1 Introducci3n</i>	<i>1</i>
<i>I.2 Descripci3n de la electr3nica de adquisici3n</i>	<i>2</i>
<i>I.3 Arquitectura electr3nica de un sistema de adquisici3n de im3genes</i>	<i>4</i>
<i>I.3.1 Microprocesador como elemento central</i>	<i>5</i>
<i>I.3.2 Secuenciador como elemento central</i>	<i>6</i>
<i>I.3.3. Computadora como elemento central</i>	<i>8</i>
<i>I.4 Descripci3n del sistema electr3nico de adquisici3n</i>	<i>10</i>
 <i>II. ELEMENTOS DEL SISTEMA</i>	 <i>11</i>
<i>II.1 Dispositivo CCD</i>	<i>11</i>
<i>II.1.1 Adquisici3n de cargas</i>	<i>12</i>
<i>II.1.2 Transporte de cargas</i>	<i>16</i>
<i>II.1.2.1 Trasanferencia de tres-fases</i>	<i>18</i>
<i>II.1.2.2 Trasanferencia de cuatro-fases</i>	<i>19</i>
<i>II.1.2.3 Trasanferencia de dos-fases</i>	<i>19</i>

II.1.3 Estructura de salida	22
II.2 Electrónica de CCD	25
II.2.1 Generación de voltajes de polarización	26
II.2.2 Generación de las fases de reloj	30
II.2.3 Circuito doblecorrelacionado	33
II.2.3.1 Sujetador	34
II.2.3.2 Muestreo doble analógico	35
II.2.3.3 Muestreo doble digital	39
II.2.3.4 Doble integración	39
II.2.3.4.1 Amplificador	42
II.2.4 Conversión Analógica/Digital	44
II.2.5 Circuitería de Interfaz	46
III. PROGRAMA PRINCIPAL	48
III.1 Introducción	48
III.2 Organización	48
IV. IMPLEMENTACION, PRUEBAS, PROTOTIPOS Y CIRCUITOS	
IMPRESOS	51
IV.1 Introducción	51
IV.2 Prototipo de laboratorio	51
IV.3 Circuitos impresos	52
IV.3.1 Elaboración de circuitos impresos	53
IV.4 Descripción del montaje de prueba	54
IV.4.1 Pruebas de laboratorio	56

<i>V. ESPECIFICACIONES TÉCNICAS</i>	<i>59</i>
<i>V.1 Principales características de CCD KAF-0400L</i>	<i>59</i>
<i>V.1.1 Amplificador de salida</i>	<i>59</i>
<i>V.1.2 Especificaciones generales</i>	<i>60</i>
<i>V.1.3 Respuesta espectral</i>	<i>61</i>
<i>V.2 Puerto Paralelo</i>	<i>62</i>
<i>VI. CONCLUSIONES Y TRABAJO A FUTURO.....</i>	<i>63</i>
<i>VII. APÉNDICE</i>	<i>65</i>
<i>VIII. BIBLIOGRAFÍA</i>	<i>69</i>

LISTA DE FIGURAS.

	PÁGINA
Figura 1.1 Salida típica de un CCD	4
Figura 1.2 Arquitectura basada principalmente en el microprocesador	6
Figura 1.3 Arquitectura basada principalmente en el secuenciador	7
Figura 1.4 Arquitectura basada principalmente en la computadora	8
Figura 2.1 Corte transversal de una celda MOS	13
Figura 2.2 Pozos formados debido a que las compuertas están separadas	16
Figura 2.3 Acoplo de pozos de voltaje	17
Figura 2.4 Transferencia de tres fases	18
Figura 2.5 Transferencia de dos fases	20
Figura 2.6 Diagrama de voltajes y señales comunes en funcionamiento monofase	20
Figura 2.7 Sección de cruce de un CCD (KAF-0400L) de 2 fases	22
Figura 2.8 Etapa de Salida	23
Figura 2.9 Señal de salida del CCD	24
Figura 2.10 Diagrama de conexión a bloques	26
Figura 2.11 Amplificador para voltajes positivos > de 3 V	28
Figura 2.12 Amplificador para voltajes negativos < de 3 V	29
Figura 2.13 Amplificador para voltajes positivos < de 3 V	29
Figura 2.14 Secuencia de fases $\phi V1$ y $\phi V2$	31
Figura 2.15 Secuencia de fases $\phi H1$ y $\phi H2$	32

	PÁGINA
Figura 2.16 Secuencia de temporización para el KAF 0400L	32
Figura 2.17 Circuito de conmutación	33
Figura 2.18 Circuito sujetador	35
Figura 2.19 Diagrama de un circuito muestreo doble analógico	37
Figura 2.20 Una variación de muestreo doble analógico	38
Figura 2.21 Circuito muestreo doble integración	40
Figura 2.22 Secuencia de temporización de un circuito de doble integración ...	41
Figura 2.23 Acoplo con capacitor	43
Figura 2.24 Diagrama del amplificador diferencial	44
Figura 2.25 Diagrama a bloques de la interfaz	46
Figura 2.26 Secuencia de temporización de señales de control	47
Figura 4.1 Tarjetas alambradas por el método de enrollado.....	52
Figura 4.2 Tarjeta de circuito impreso del CDS.....	54
Figura 4.3 Diagrama a bloques del montaje de pruebas para el sistema.....	55
Figura 4.4 Fotografía del prototipo implementado.....	56
Figura 4.5 Señal de salida del CCD Kodak 0400L.....	57
Figura 4.6 Imagen del patrón de prueba obtenida por el CCD	58
Figura 4.7 Imagen obtenida por el CCD	58
Figura 5.1 Respuesta espectral	61

LISTA DE TABLAS.

	PÁGINA
Tabla 2.1. Tabla de voltajes de alimentación para el CCD.....	27
Tabla 2.2. Especificaciones del convertidor LTC 1410.....	45
Tabla 2.3. Relación de mandos de ejecución.....	47
Tabla 4.1. Equipo utilizado en el prototipo del sistema.....	55
Tabla 5.1 Amplificador de salida CCD Kodak 0400L	60
Tabla 5.2. Datos generales del CCD Kodak 0400L	60
Tabla 5.3. Distribución de terminales del puerto paralelo	62

INTRODUCCION.

EL OBJETIVO PRINCIPAL DE ESTA TESIS ES EL DISEÑO, DESARROLLO E IMPLEMENTACION DE UN SISTEMA DE ADQUISICION DE IMAGENES ASTRONOMICAS EMPLEANDO UN CCD (DISPOSITIVO ACOPLADO POR CARGA) DE TIPO CIENTIFICO KAF-0400L.

De igual manera el trabajo es planteado con el propósito de cubrir las características de los sistemas de captación de imágenes astronómicas de manera sencilla y elemental, además de aprovechar las características de comportamiento del CCD que se está utilizando para este trabajo. Por otra parte queda como un punto de partida para diseños posteriores que se plantean realizar dentro del OAN (Observatorio Astronómico Nacional), de esta manera se seguirá avanzando dentro de este campo, el cual constituye una herramienta muy útil para la Astronomía.

En el presente trabajo se describe el diseño, desarrollo e implementación del sistema de adquisición de imágenes con el CCD KAF_0400L, dividiéndose el reporte escrito de la siguiente forma:

En el **Capítulo I** se describe la arquitectura de un sistema de adquisición de imágenes basado en un CCD.

A continuación, en el **Capítulo II** se desglosan los elementos que componen el sistema y las elecciones de diseño hechas para este trabajo así como la descripción de cada uno de ellos.

En el **Capítulo III** se describe el programa principal de manejo del CCD, así como cada una de las opciones.

Posteriormente en el **Capítulo IV** se reporta las pruebas realizadas en el sistema implementado.

En el **Capítulo V** se presentan algunos datos técnicos del CCD y el puerto paralelo utilizados en este trabajo.

Finalmente en el **Capítulo VI** se reportan las conclusiones y se plantea el trabajo a futuro en las experiencias obtenidas.

I. SISTEMA DE ADQUISICIÓN PARA IMÁGENES BASADO EN UN CCD.

I.1. INTRODUCCIÓN.

En su afán por entender el universo que nos rodea, los astrónomos buscan instrumentos cada vez más poderosos para la observación y/o obtención de información que ayude en el estudio de nuestro entorno. Hoy los progresos en los campos de la óptica, materiales, computación y electrónica permiten construir telescopios e instrumentos más sofisticados y eficientes. Cada campo es complejo y son disciplinas separadas que se unifican para lograr grandes avances tecnológicos de diseño e ingeniería.

La revolución de la microelectrónica de las últimas décadas no ha sido ignorada por la astronomía, en especial para los dispositivos detectores de imágenes, que son de gran ayuda a esta área de estudio. Dentro de los dispositivos detectores de imágenes se encuentra el grupo de los que tienen la capacidad de integrar el espacio y el tiempo la cantidad total de luz que incide sobre ellos y dentro de este grupo se encuentra el dispositivo acoplado por carga (CCD), uno de los dispositivos con las mejores características de trabajo para la captación de imágenes hasta ahora.

Tales dispositivos están siendo rápidamente favorecidos en aplicaciones científicas, militares, máquinas de visión industrial, procesamiento de imágenes entre otras.

En la captación de imágenes; las cámaras basadas en estos dispositivos ofrecen alta resolución, alta sensibilidad, tamaño pequeño, bajo consumo de energía y fácil vinculación para el control por computadora y manejo de datos.

Los trabajos que se han realizado con este dispositivo son muy diversos con lo que respecta a la captación de imágenes, pero en específico para el área de Astronomía se realizan con menor frecuencia y en nuestro país en muy pocas partes se desarrollan cámaras basadas en este tipo de tecnología.

En el laboratorio de Electrónica del OAN se han realizado a la fecha trabajos con CCDs para la adquisición de imágenes, por lo que se cuenta con un respaldo de experiencia en la utilización de estos dispositivos dentro de esta institución.

I.2. DESCRIPCIÓN DE LA ELECTRÓNICA DE ADQUISICIÓN.

Con los avances de la tecnología en CCD, se ha incrementado la resolución a bajos costos de manufactura, creciendo fuertemente dentro de la industria electrónica de las imágenes. De cualquier manera algunas características de los CCDs se mantienen sin cambio, como el nivel de señal de salida muy bajo y fuentes de ruido inherentes. Además, el incremento de la resolución y el aumento de la velocidad de lectura de estos dispositivos, determinan los requerimientos para la electrónica de control y adquisición subsecuente.

El CCD es el elemento central de un sistema de adquisición para imágenes. La señal de salida del CCD es un nivel variable de “cargas” en un “pixel” y esto da como resultado una típica forma de onda escalonada de niveles de voltaje DC (figura 1.1). Esta señal de salida también contiene un voltaje DC de polarización, que es de orden de varios volts. Seguido a esto se requieren otras operaciones para acondicionar y digitalizar la señal de información tales como el muestreo doble correlacionado, amplificación ajuste y conversión A/D.

Las etapas de acondicionamiento de la señal del CCD (figura 1.1) se puede desglosar como sigue:

- 1) Para mantener la relación necesaria entre la información del pixel y la línea de referencia, es necesario un circuito sujetador que se sitúa usualmente en la primera etapa de acondicionamiento de la señal del CCD.
- 2) La siguiente etapa es usada como un circuito específico de reducción de ruido para sistemas basados en CCD: El muestreador doble correlacionado. Este circuito compara 2 muestras de voltaje con una diferencia de tiempo muy pequeña. Conceptualmente el CDS (muestreador doble correlacionado) es un amplificador diferencial en tiempo, este toma muestras separadas de la señal de entrada y saca la diferencia entre estas.

- 3) La siguiente etapa es la de ganancia de voltaje, que podría ser un amplificador de control de ganancia automático, o una etapa de ganancia fija con ajuste de offset.
- 4) La señal resultante del amplificador se conectará con el convertidor A/D seleccionado según las necesidades del diseño.

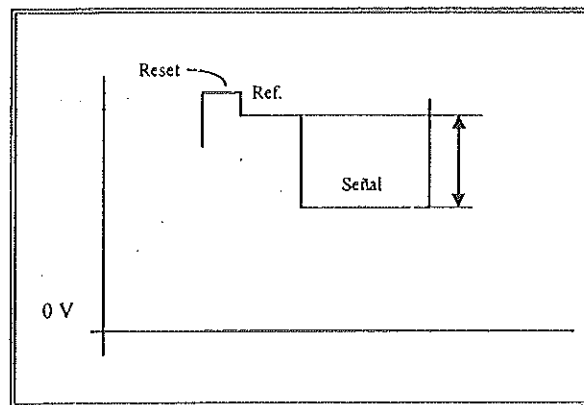


Figura 1.1. Salida típica de un CCD.

I.3. ARQUITECTURA ELECTRÓNICA DE UN SISTEMA DE ADQUISICION DE IMAGENES.

Estos son sistemas diseñados especialmente para captación de imágenes, y exigen diseños muy rigurosos especialmente en aplicaciones astronómicas, requiriendo electrónica tecnológicamente avanzada o compleja. Los sistemas convencionales están por lo general dentro de una estructura propuesta por el estándar de televisión de manera que unas de las principales diferencias de los sistemas dedicados a Astronomía son la rapidez de conversión y la resolución del convertidor A/D que se utiliza. Debido a que la resolución de 8 bits impuesto por el estándar de TV es insuficiente para los niveles de

señal tan bajos obtenidos en este tipo de aplicaciones es necesario un diseño cuidadoso de la electrónica de control y adquisición haciendo énfasis en la reducción del ruido.

Sin un análisis muy profundo, daremos una revisada a algunos tipos de arquitectura para cámaras de CCD que pueden ser utilizadas en astronomía.

I.3.1. MICROPROCESADOR COMO ELEMENTO CENTRAL.

En esta primera arquitectura, (ver figura 1.2), el elemento básico es una memoria adicional o memoria reflejo, a la cual se le manda la señal digitalizada del CCD. Una vez que la memoria tiene la imagen digitalizada es leída por la computadora sin tener que hacer circuitería adicional para acceder a las localidades de memoria donde se encuentra la información.

La lectura de la información se logra vía comunicación serial (RS232) o mediante comunicación paralelo. La interfaz al igual que la memoria son manejadas por el microprocesador. Esto es manejado por el microprocesador que contiene una memoria dinámica, dispositivos de interfaz y una programación de operación. Una ventaja de esta arquitectura es que la cámara puede ser controlada con cualquier computadora que tenga una interfaz estándar.

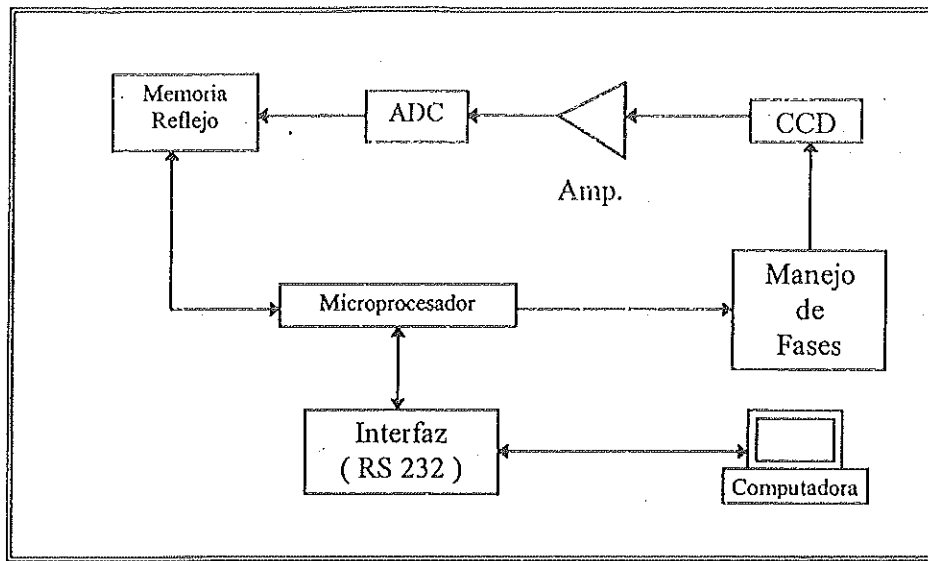


Figura 1.2. Arquitectura basada principalmente en el microprocesador.

La otra ventaja de esta arquitectura es la memoria reflejo independiente de la computadora, con esto podemos diseñar un sistema, en el cual la imagen sea examinada por la computadora mientras la siguiente exposición es obtenida.

1.3.2. SECUENCIADOR COMO ELEMENTO FUNDAMENTAL.

En esta arquitectura se mantiene la filosofía de la memoria reflejo (figura 1.3), explicada en la primer arquitectura, pero aquí, esta es leída por la computadora vía un enlace no estándar. Podemos cambiar de computadora, si se desea, pero tendremos que modificar la interfaz, lo cual no necesariamente es un problema. La cual puede ser muy rápida, eliminando la principal desventaja de la arquitectura anterior, que es la velocidad de lectura.

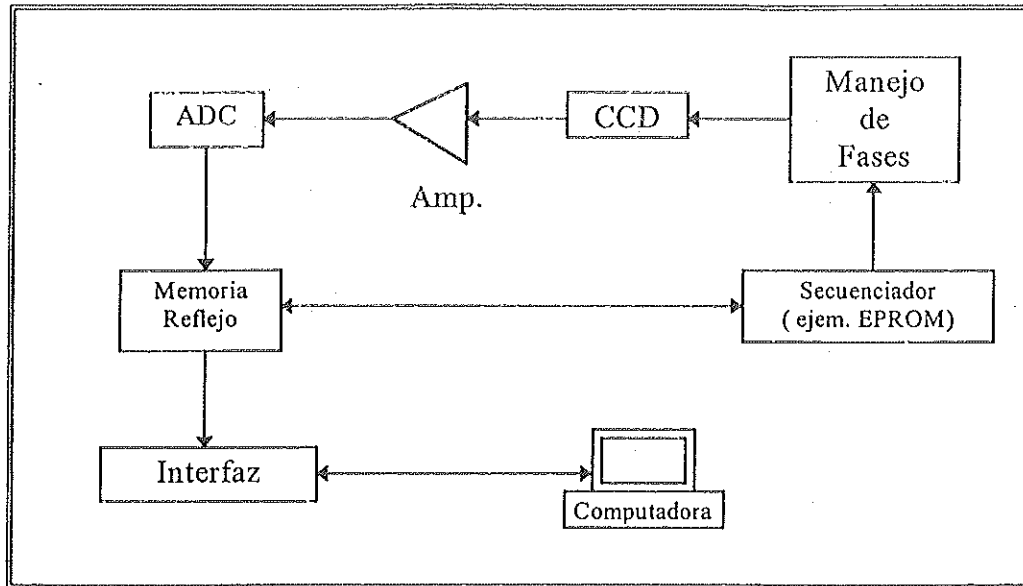


Figura 1.3. Arquitectura basada principalmente en el secuenciador.

Si requerimos funciones como tiempo de integración variable o varias señales de fases de reloj, el diagrama electrónico llega a ser complicado con esta arquitectura. Un excelente camino para simplificar la electrónica es la utilización de una EPROM, PAL o cualquier otro circuito que pueda crear una secuencia de comandos para mandar al CCD. Al mandar direcciones dentro de un ducto (señales de control) que conecten a las entradas de control del circuito de secuencia de comandos, podemos crear señales de reloj dentro del mismo circuito. Solo que para cambiar la secuencia de temporización, necesitaremos cambiar la programación del circuito utilizado, quitando versatilidad al circuito para posibles modificaciones posteriores.

Otro camino para hacer un poco más flexible esta arquitectura es reemplazar el circuito secuenciador por una memoria RAM ó EEPROM donde el contenido pueda ser reemplazado por la computadora. O de igual manera, podemos utilizar temporizadores

que puedan ser programados en cascada. Con una buena programación, estos circuitos pueden producir una secuencia de fases de reloj relativamente compleja sin ser costosa.

I.3.3. COMPUTADORA COMO ELEMENTO CENTRAL.

Con esta arquitectura (ver figura 1.4) la imagen digitalizada es transferida directamente a la memoria de la computadora central, por medio de un canal DMA (Acceso Directo a Memoria) o a través de un circuito de entrada/salida paralelo (PIO, Periférico de entrada/salida). Una desventaja de esta arquitectura es que es muy dependiente del tipo de computadora que sea utilizada. Por otro lado, los problemas de transferencia son simplificados con respecto a las arquitecturas anteriores, por que el elemento intermedio, la memoria espejo, es eliminada. Liberarnos de la memoria espejo resulta benéfico por que esto de alguna manera aumenta la probabilidad de problemas y aumenta costos.

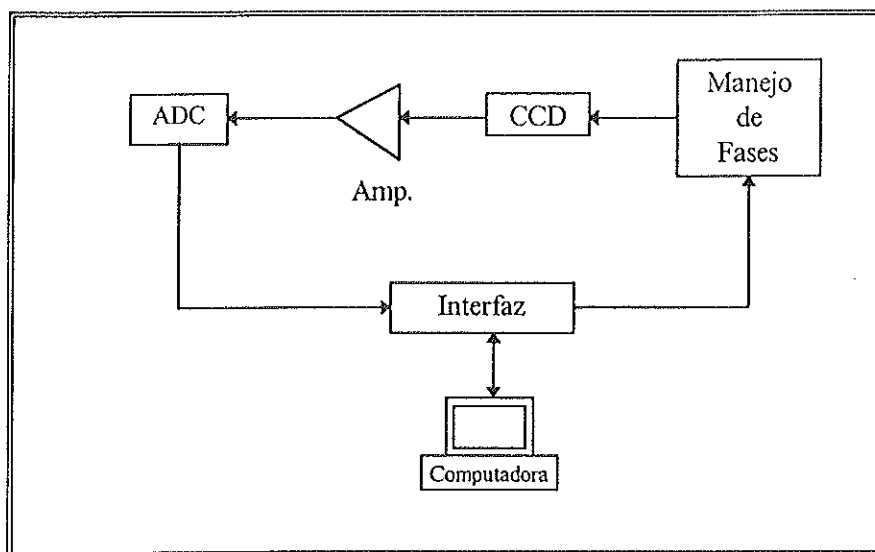


Figura 1.4. Arquitectura basada principalmente en la computadora.

Esta arquitectura es la más fácil de poner en práctica. Esta también ofrece gran flexibilidad debido a que la computadora genera las fases por medio de programación. La operación del CCD puede ser adaptada a diferentes situaciones con tan solo cambiar unas cuantas líneas del programa, lo cual es rápido y menos costoso que alambrar circuitos o modificar un programa de un dispositivo EPROM, PAL o cualquier otro. Otro punto a notar de esta arquitectura, es la velocidad de lectura de la cual es dependiente de la computadora que se utilice. El tiempo de lectura de salida no es muy crítico, debido a los tiempos "prolongados" de integración comúnmente utilizados en astronomía (excepto en observaciones solares y en algunos planetas). Otros factores los cuales podrían limitar la velocidad de lectura son innegablemente los tipos de ruidos los cuales disminuyen con una velocidad baja de digitalización. De manera que tendremos que gastar en retardos de tiempo considerables para reducir el ruido, según el tipo de computadora que se utilice.

Para el sistema que se desarrolla en este trabajo se adopta básicamente la arquitectura anteriormente descrita (computadora como elemento central), solo que se han hecho algunos cambios de acuerdo a las necesidades y el planteamiento de diseño. Esta será explicada a detalle durante el desarrollo del trabajo.

I.4. DESCRIPCION DEL SISTEMA ELECTRONICO DE ADQUISICION.

La electrónica asociada con un detector CCD puede ser organizada dentro de varios grupos de la siguiente manera:

1. Generación de voltajes de polarización para el CCD y electrónica asociada.
2. Generación de formas de reloj.
3. Amplificación de la señal de vídeo proveniente del CCD.
4. Conversión de la señal analógica a digital (A/D).
5. Interfaz con la computadora.

El CCD se ha conectado a una computadora compatible con IBM PC, mediante una interfaz diseñada para conectarse a un puerto paralelo estándar. También se ha manufacturado una fuente de alimentación múltiple y una tarjeta conmutadora de voltaje, para proporcionar los voltajes de operación para el CCD.

La adquisición de información acerca de las imágenes capturadas por el CCD se hacen ayudados mediante un programa elaborado para este fin, el cual funciona en una computadora personal 486 DX.

II. ELEMENTOS DEL SISTEMA.

II.1. DISPOSITIVO CCD.

EL CCD original fue diseñado para almacenar y transferir información analógica en forma de paquetes de cargas eléctricas dentro de una estructura de semiconductor. Las cargas son almacenadas en sitios que usualmente están compuestos de capacitores MOS (Metal Oxide Semiconductor). De estos pueden acumularse de cientos a miles dentro de un solo encapsulado de silicio. Estos sitios son acoplados por circuitería de transferencia lo que hace posible mover una carga en un orden secuencial, hacia un punto donde ésta puede ser medida.

Los CCDs tienen varias aplicaciones: Memoria, líneas de retardo, correlacionadores y detectores ópticos. Esta última es la característica más interesante para este trabajo. En un detector fotosensitivo con registro CCD, las cargas eléctricas son creadas por medio del efecto fotoeléctrico. Los sitios de almacenamientos son fotoelementos sensibles a la luz, ellos están organizados en arreglos lineales o en arreglos matriciales.

II.1.1. ADQUISICION DE CARGAS.

La adquisición de cargas es una de las tres funciones básicas de la arquitectura del CCD; las otras dos son: Transporte de cargas y estructura de salida, las cuales se describirán más adelante.

La mayoría de las superficies del encapsulado esta cubierta con celdas cuadradas y pequeñas muy próximas entre sí casi tocándose. Cada una de estas celdas, las cuales son llamadas fotositios o “pixeles” tienen la capacidad de convertir la luz que incide sobre ellas en una señal eléctrica. El integrado entonces es un detector fotosensitivo.

Los fotoelementos se encuentran expuestos directamente a las partículas de luz (fotones) que inciden del cielo. El arreglo de fotoelementos es lo suficiente grande que la cantidad de iluminación incidente sobre los fotoelementos no es uniforme, llenando unos más que a otros conforme el tiempo pasa. Una vez que se detiene la exposición a la luz por medio de un obturador, mediremos el nivel de cargas en cada uno de los fotoelementos para formar un mapa de iluminación del arreglo.

Estas cargas son colectadas dentro del integrado por medio de paredes potenciales creadas en cada uno de los fotoelementos debido a voltajes inducidos en las líneas de reloj del registro vertical ($\phi V1$, $\phi V2$) véase figura 2.14. Estas mismas líneas son utilizadas para implementar el mecanismo de transporte. La cantidad de carga colectada en cada fotoelemento depende en forma lineal del nivel de iluminación y el tiempo de

exposición, y en forma no lineal de la longitud de onda, hasta que la capacidad de potencial del pozo sea excedida.

Los fotoelementos están formados por capacitores MOS. Un capacitor MOS esta compuesto de un substrato semiconductor dopado y cubierto por una capa aislante (Oxido de Silicio, SiO_2), colocado dentro de un electrodo metálico, también llamado compuerta (ver figura 2.1). El oxido aislante es una delgada capa de silicio de alrededor de diez micrómetros de espesor. El electrodo metálico es un depósito de aluminio o silicio policristalino altamente dopado para ser un conductor.

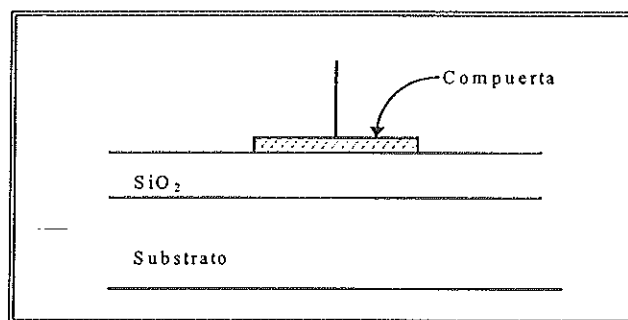


Figura 2.1. Corte transversal de una celda MOS.

La capa de óxido de silicio forma una estructura aislante MOS (dieléctrico) y forma un capacitor. El capacitor MOS almacena cargas eléctricas debido a todo un mecanismo del comportamiento de los elementos que componen a este. Un átomo de silicio tiene ocupada su capa de valencia por 4 electrones. Cada par de electrones de valencia se asocian con pares de átomos de sus vecinos para formar una rejilla cristalina. Este es el principio de enlace covalente. En el caso del silicio cristalino, 8 electrones podrían completar la capa de valencia. Si impurezas trivalentes (un átomo trivalente tiene 3

electrones en su capa extrema) son introducidas dentro de la rejilla, cada átomo impuro introduce solo 3 electrones, y estos serian solo 7 electrones en la capa exterior. Entonces un “hueco” es creado. Este hueco es causado por la ausencia de un electrón y debido a esta deficiencia decimos que el semiconductor es dopado tipo P (un electrón menos). La otra variante, semiconductores tipo N son dopados con átomos pentavalentes los cuales tienen 5 electrones en la banda de valencia (es decir un electrón mas).

El dopaje de silicio tipo P es el caso más frecuente para los CCDs, pero el dispositivo que se utiliza en este trabajo es en base a tecnología NMOS. Es decir el dopaje del silicio es tipo N. Esta tecnología permite fabricar de manera segura pequeños fotoelementos. Esto también contribuye a un arreglo de fotoelementos más reducidos y ayuda a disminuir la corriente “oscura” sin comprometer la capacidad de carga. La corriente “oscura” muy baja de este dispositivo hace que pueda ser utilizado en aplicaciones de imágenes con baja luminosidad.

En un detector de imágenes tipo CCD, la inyección de carga es hecho mediante el efecto fotoeléctrico. Cuando un fotón penetra dentro del silicio, este transmite la energía a los átomos del cristal y rompe los enlaces covalente para producir un par electrón-hueco (o simplemente electrones). Este par es separado por un campo eléctrico prevaleciendo alrededor de un capacitor MOS parcial, y el portador minoritario (electrón) es atraído hacia la interface Si-SiO₂. Como los fotoelectrones son producidos bajo la influencia de la luz, una inversión de la capa es creada bajo la compuerta del capacitor MOS. Dos puntos deben ser notados:

1. El número de electrones producido es proporcional al número de fotones incidentes. El voltaje de compuerta debe ser constante durante la exposición. Esta duración es análoga a la el tiempo de exposición fotográfico y es llamado tiempo de integración.
2. Si varios capacitores MOS son colocados juntos, la imagen óptica formada es discreta. Podemos decir que esta ha sido muestreada o cuantificada. La imagen óptica es por lo tanto transformada en una imagen electrónica. La resolución esparcida es determinada por el tamaño de los fotoelementos.

Un fotoelemento es típicamente de 9 a 30 μ m de largo. Para evitar problemas que son muy difíciles de resolver durante la reducción de datos, especialmente es fotometría, el CCD debe tener un fotoelemento cuadrado. La mayoría son para aplicaciones de televisión tienen fotoelementos rectangulares, haciendo estos menos utilizables para astronomía.

El CCD también tiene pequeñas secciones al empiezo y al final de cada segmento vertical que se encuentra cubiertos y producen una "obscuridad óptica". Estos fotoelementos tendrán el voltaje representativo al negro. Algunos circuitos de imagen usan estos como fotoelementos de referencia para el ajuste de la señal de offset.

II.1.2. TRANSPORTE DE CARGAS.

El arreglo CCD esta configurado dentro de múltiples registros de corrimiento vertical y usualmente un registro de corrimiento horizontal ambos requiriendo diferentes patrones de control.

La transferencia de cargas es básicamente el mismo principio para el registro vertical y el horizontal, solo cambian las señales de control. Para entender mas a detalle la transferencia de cargas se analizará dos capacitores MOS colocados uno a lado del otro, con los voltajes de compuerta V_1 y V_2 respectivamente. (analizando el movimiento del registro vertical). Si las compuertas están separadas, dos pozos de voltaje se forman separados por una barrera. (Figura 2.2).

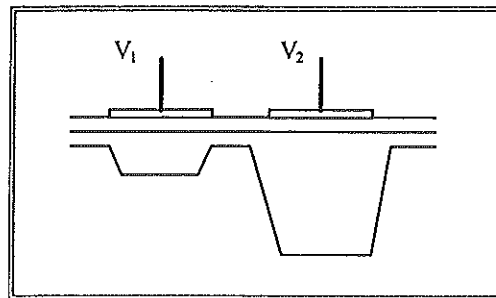


Figura 2.2. Pozos formados debido a que las compuertas están separadas.

Para una distancia integrada de alrededor de un micrón, el voltaje de barrera desaparece y se crea una zona de comunicación. Cuando esta situación ocurre, se crea un aclopo capacitivo entre las dos celdas MOS. (figura 2.3)

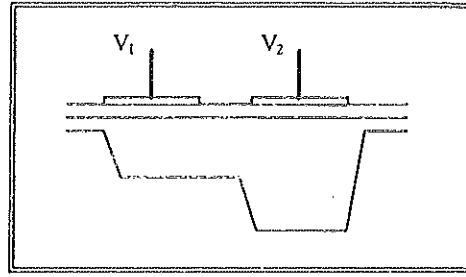


Figura 2.3. Acoplo de pozos de voltaje.

La idea de hacer capacitores MOS contiguos para comunicar pozos de voltaje es básica para el mecanismo de transferencia de cargas. En efecto, aplicado un voltaje variable a los capacitores vecinos, es posible transferir paquetes de carga poco a poco. Las señales de control aplicadas a los electrodos son secuenciales y son llamadas señales de reloj.

Varios electrodos pueden ser sistemáticamente arreglados para que varios paquetes de carga sean transferidos simultáneamente a lo largo del registro CCD. Un grupo de electrodos con un enlace eléctrico común es llamado fase. Cada fase es manejada por una señal de reloj distinta. La secuencia de temporización debe ser cuidadosamente ajustada (para optimizar elementos como la velocidad, el número de señales de reloj para manejar al mismo, el faseo relativo de los relojes, etc.) para cada tipo de dispositivo. Algunas formas de reloj recomendadas por el fabricante pueden ser modificadas para una aplicación en especial (como en el caso de Astronomía). Un completo entendimiento del funcionamiento de los dispositivos es obviamente esencial antes de hacer adaptaciones o modificaciones.

Existen varios métodos de transferencia, y generalmente difieren por el número de fases envueltas.

II.1.2.1. TRASFERENCIA DE TRES-FASES.

El principio de transferencia de tres-fases se encuentra ilustrado en la figura 2.4, la cual nos ayudara a analizar el funcionamiento. En la figura 2.4a, un voltaje de pozo profundo es producido bajo el electrodo 1 por un voltaje de polarización. Las cargas entonces son acumuladas bajo este electrodo. En la fig. 2.4b, el electrodo 2 es polarizado progresivamente (reloj en "alto") mientras que al mismo tiempo el electrodo 1 es despolarizado (reloj en "bajo"). Entonces las cargas fluyen de 1 a 2. La misma operación es reproducida entre los electrodos 2 y 3. Nótese que el último electrodo separa dos paquetes consecutivos de cargas, previniendo cualquier mezcla de información.

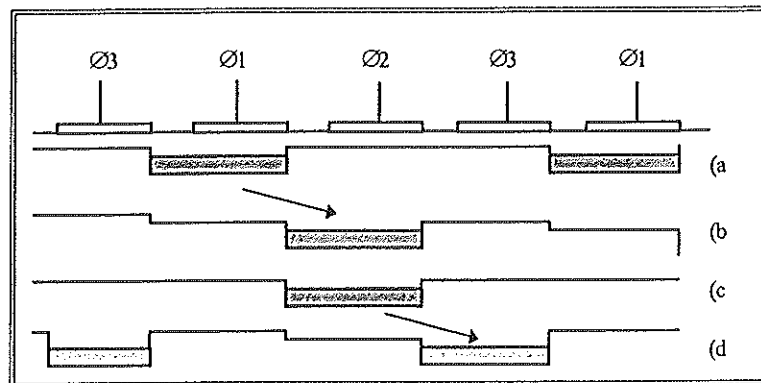


Figura 2.4. Transfrecencia de tres fases.

II.1.2.2. TRANSFERENCIA DE CUATRO-FASES.

En la transferencia de cuatro-fases, se encuentra una doble barrera de voltaje entre dos paquetes de carga consecutivos. Esta técnica previene cualquier riesgo de que el flujo de carga se regrese cuando los relojes no son faseados óptimamente. La transferencia de cuatro fases es usualmente usada cuando se requiere altas velocidades de lectura, típicamente para velocidades de reloj mas altas que 10Mhz.

Registros de tres o cuatro fases son llamados no-direccionales porque la dirección de los paquetes de carga están colocados en orden secuencial con respecto a las señales de reloj y no por la estructura propia de los registros. La dirección de la transferencia en el CCD puede ser cambiada al modificar la secuencia de temporización del reloj.

II.1.2.3. TRANSFERENCIA DE DOS FASES.

En el caso de una de una transferencia doble, la dirección de la transferencia de carga es indeterminada. Para resolver este problema, cada celda capacitiva es formada por un electrodo hecho asimétricamente através de una diferencia en el espesor o el dopaje. Esta estructura induce un voltaje de pozo que es asimétrico (figura 2.5). La dirección de desplazamiento se determina por la forma particular del electrodo.

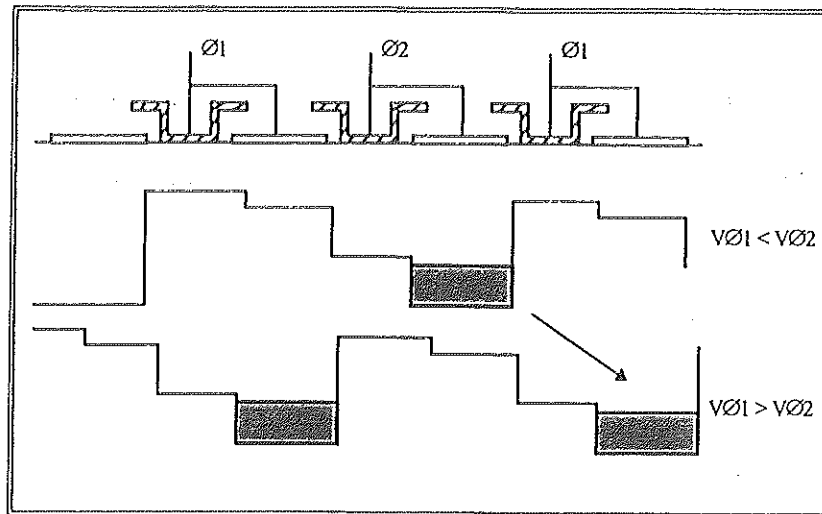


Figura 2.5. Transferencia de dos fases.

Una variación de la transferencia con un electrodo asimétrico consiste en mantener una fase para un nivel intermedio, mientras el voltaje aplicado a la otra fase varía en ambos lados de este nivel (vea la figura 2.6). Entonces se dice que el CCD está trabajando en un modo monofásico. La ventaja de este método es la simplicidad con la cual es transportada la carga a la salida, pero el funcionamiento es promediado en términos de la cantidad de cargas transferidas en un paquete.

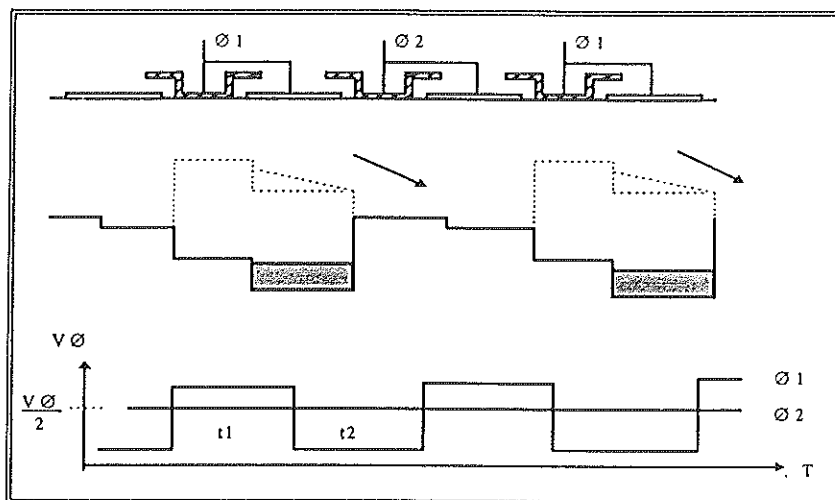


Figura 2.6. Diagrama de voltajes y señales comunes en funcionamiento monofase.

Otra variación es la transferencia de fase virtual monofásica. La asimetría del campo eléctrico produce resultados de una implantación iónica de espesor variable.

El componente utilizado para este trabajo (CCD KAF-0400L) esta construido con una técnica de dos fases. La carga integrada es transportada a la salida en un proceso de dos pasos. Las columnas de carga son primero recorridas línea por línea dentro del CCD horizontal. Y las "líneas" de carga son recorridas a la salida pixel por pixel. Referiendonos al diagrama de temporización la integración de carga esta funcionando con $\phi V1$ y $\phi V2$ sostenidas en bajo (véase fig. 2.16). La transferencia horizontal empieza cuando $\phi V1$ esta puesta en alto causando que las cargas de las compuertas $\phi V1$ y $\phi V2$ se cambien bajo la compuerta $\phi V1$. Entonces $\phi V1$ y $\phi V2$ invierten sus polaridades causando que los paquetes de carga se derramen bajo la compuerta $\phi V2$ del siguiente pixel. El flanco de subida de $\phi V2$ también transfiere la primera línea de carga del horizontal. Una transición de la segunda fase coloca los paquetes de carga bajo el electrodo $\phi V1$ del siguiente pixel. La secuencia completa cuando $\phi V1$ es sostenida en bajo mientras el horizontal lee la salida de la primera línea de carga usando una temporización de reloj complementario tradicional (usando las terminales $\phi H1$ y $\phi H2$) como se muestra en la misma figura 2.16. La temporización del registro vertical en este sentido es conocida como modo de acumulación de temporización. El flanco de caída de $\phi H2$ forza un paquete de carga hacia la compuerta de salida (OG) dentro del nodo de salida (difusión flotante) para ser censado fuera del encapsulado. El ciclo se repite hasta que todas las líneas son leídas.

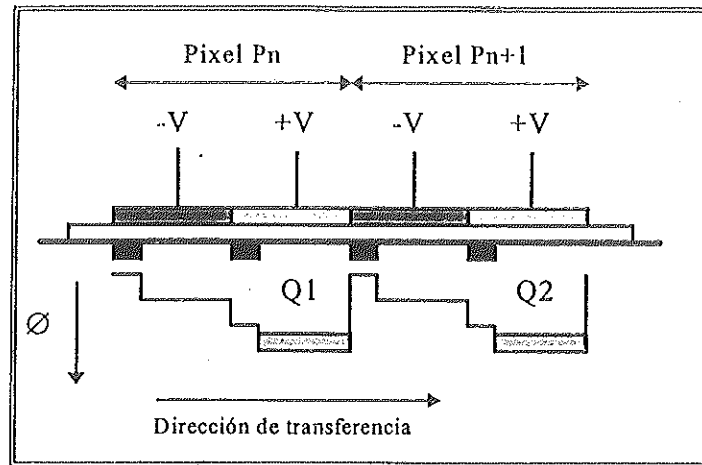


Figura 2.7. Sección de cruce de un CCD (KAF-0400L) de 2 fases.

II.1.3. ESTRUCTURA DE SALIDA.

La función de la etapa de salida es convertir los paquetes de carga recibidos del registro horizontal a un voltaje medible en la terminal de salida del CCD. La figura 2.8 muestra un diagrama simplificado de la etapa de salida de un registro del dispositivo de dos fases. Esta etapa es llamada *diodo flotante*. El principio está basado en precargar un diodo el cual actúa como un capacitor (C_s) a un nivel de referencia. Entonces el capacitor es parcialmente descargado por un paquete de cargas de lectura. La diferencia de voltaje entre la etapa final del diodo y el valor de precarga es linealmente proporcional a la cantidad de cargas contenida en un paquete. Es decir la cantidad de carga potencial está determinada por la expresión $DV = DQ / C_s$, y un valor típico para el capacitor (C_s) es de 0.1pF a 0.5pF. La carga genera un voltaje a través del capacitor C_s , representando la intensidad de luz para cada fotoelemento en particular. Dos transistores MOSFET

configurados como un amplificador seguidor se encuentran en el nodo de salida para reforzar el voltaje de carga.

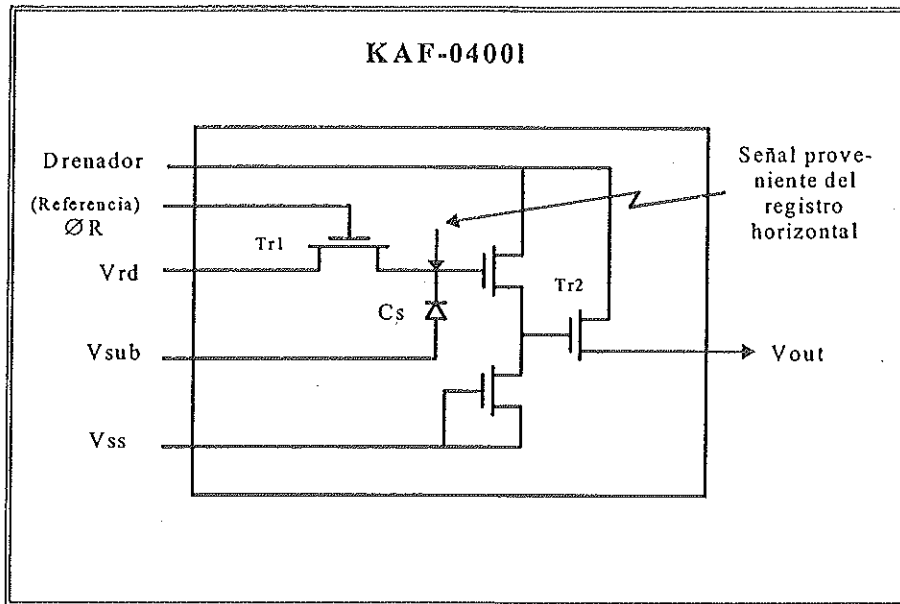


Figura 2.8. Etapa de Salida.

Analizando a detalle la etapa de salida obtenemos lo siguiente: Como se puede observar en la figura 2.9, el voltaje de salida es una serie de pasos de voltaje DC. Un período para obtener un pixel es compuesto de tres diferentes niveles (1) El “reset”, (2) El nivel de referencia, (3) y el “nivel de pixel”.

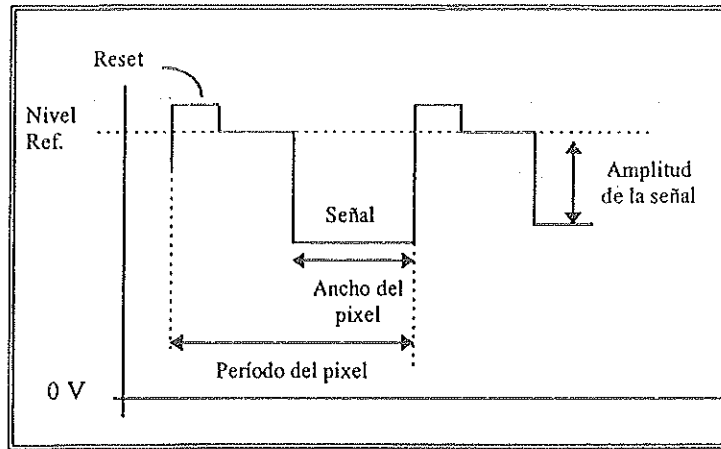


Figura 2.9. Señal de salida del CCD.

La secuencia de salida empieza con el “reset”. En un instante t_1 , La señal ϕ_R (señal de reset) es conmutada a un nivel alto. Esta señal hace que el transistor Tr_1 conduzca y precargue el capacitor C_s al voltaje V_{DR} (voltaje de drenado del el reset del transistor). El voltaje de “reset” puede ser relativamente alto en comparación con los demás voltajes presentados en la terminal de salida. En un instante t_2 , el interruptor tr_1 es cerrado debido a que ϕ_R se va nivel bajo, lo cual aísla el capacitor. Note que en este momento el nivel de precarga es modificado siguiendo la presencia de una capacitancia parásita (C_p) en el transistor (reset parásito), como resultado de un acoplo capacitivo através del MOSFET. Después de caer el voltaje debido a este comportamiento el capacitor reflejara el nivel de voltaje de referencia en la terminal de salida. En un tiempo t_3 , una vez que el capacitor ha sido restablecido, la terminal ϕ_{H2} es conmutada a nivel bajo, liberando cargas del paquete para ser leída en la salida del capacitor y causando una alteración en el voltaje de esta terminal. La variación en el voltaje (DV) registrada en un t_3 através del transistor seguidor Tr_2 es la señal deseada. El diodo se vuelve a poner al voltaje de referencia, y el siguiente paquete de carga puede ser leído.

La relación entre el número de electrones contenidos en un paquete y la variación de voltaje correspondiente es:

$$DV = q N (G / Cs)$$

Donde:

DV = La variación en voltaje entre el nivel de referencia y el nivel de señal (en volts).

q = La carga del electrón (1.6×10^{-19} Coulomb).

N = El número de electrones por paquete.

G = La ganancia en el amplificador integrado.

Cs = La capacitancia del diodo de salida (en Farads). La capacitancia tiene un valor típico de una decena de un pico Farad.

La diferencia en voltaje ($DV_{\text{parásito}}$) entre el nivel de precarga y el nivel de referencia esta en función de la amplitud de la señal $\varnothing R$:

$$DV_{\text{parásito}} = \varnothing R (Cp / (Cp + Cs))$$

II.2. ELECTRONICA DEL CCD.

El tipo de CCD utilizado para este trabajo determina la circuitería electrónica, de manera que a continuación se describe la circuitería diseñada para el KAF-0400L.

Esta circuitería tiene la ventaja de ser adaptada con relativa facilidad para otros CCDs similares a este. La electrónica relacionada para el buen funcionamiento del CCD se divide en varios grupos de manera siguiente:

1. Circuito independiente del CCD.
2. Generación de voltajes de polarización.
3. Generación de fases de reloj.
4. Circuito doble correlacionado.
5. Conversión Analógica – Digital.
6. Circuitería de interfaz.

La conexión entre estas etapas se presenta en la siguiente figura (figura 2.10):

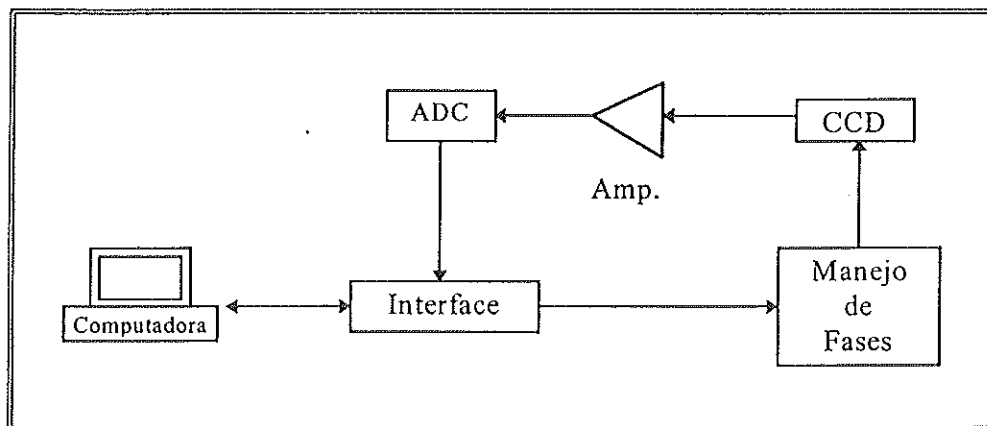


Figura 2.10. Diagrama de conexión a bloques.

II.2.1. GENERACIÓN DE VOLTAJES DE POLARIZACIÓN.

De la fuente de la computadora se encuentran disponibles varios voltajes, los cuales son creados por una fuente de poder conmutada que opera a 100KHz aproximadamente. Los conmutadores inducen una cantidad considerable de ruido de alta frecuencia en los voltajes de salida. Este ruido no afecta a la computadora pero si afecta a los circuitos de ganancia del CCD. Por esta razón deben de estar separados los voltajes de la computadora de los voltajes del dispositivo, y así evitar valores de lectura erróneos.

Los voltajes requeridos para el funcionamiento del CCD KAF 0400L se encuentran en la siguiente tabla:

VSUB	Substrato	0.0 V
VDD	Fuente de amp. de salida	15.0 V
VSS	Regreso del amp. de salida.	0.7 V
VRD	Reset del drenador	10.0 V
OG	Compuerta de salida	3.0 V
GUARD	Guard Ring/LOD	7.0 V
ØV1	Reloj vertical - Fase 1	-8.0 V
ØV2	" " - Fase 2	0.5 V
ØH1	Reloj horizontal - Fase 1	-4.0 V
ØH2	" " - Fase 2	6.0 V
ØR	Reloj del reset	-2.0 V 3.0 V

Tabla 2.1. Tabla de voltajes de alimentación para el CCD.

Los voltajes son divididos en dos grupos para su generación. En el primer grupo colocamos los voltajes mayores a 3 V y menores de -3 V. Para producir estos voltajes

partimos de una referencia de voltaje de 2.5 V (LM 336-2.5), y por medio de amplificadores operacionales amplificamos este voltaje para cada uno de los voltajes requeridos, incluyendo los voltajes para las fases.

El circuito básico para la generación de cada uno de los voltajes requeridos es el siguiente:

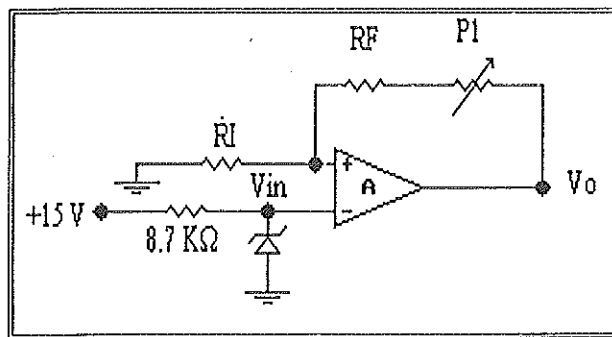


Figura 2.11. Amplificador para voltajes positivos > de 3 V.

De manera que se toma la siguiente formula para aproximar el voltaje de salida:

$$V_o = (1 + (R_f + P1/2) / R_i)$$

Donde el potenciómetro (P1) sirve para ajustar el voltaje de salida al valor deseado. Los voltajes generados con este método son los siguientes: 15.0 V, 10.0 V, y 6.0 V.

Para generar el voltaje de 3.0 V, primero se pasa el voltaje de 2.5 V por un divisor de voltaje, del cual tomaremos un voltaje de 1.5 para colocarlo a la entrada del amplificador. La utilización del divisor de voltaje se hace debido a que la configuración del amplificador no inversor su ganancia mínima es unitaria.

Para generar los voltajes negativos, el amplificador utilizado se encuentra en una configuración de amplificador inversor (figura 2.12). Donde básicamente es el mismo proceso que para los voltajes positivos.

$$V_o = -V_{in} (R_F + P1/2) / R_I$$

Los voltajes generados son los siguientes: -8.0 V y -4.0 V. Para generar el voltaje de -2.0 V se utiliza el voltaje generado por el divisor de voltaje.

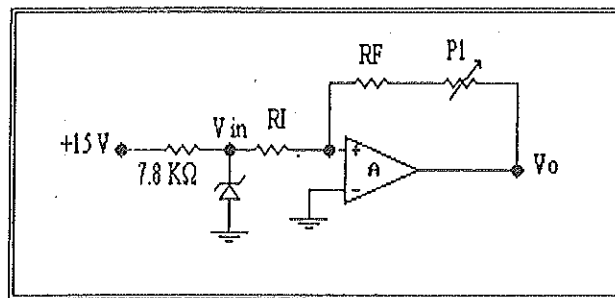


Figura 2.12. Amplificador para voltajes negativos < de 3 V.

En el segundo grupo colocamos los voltajes menores a 3.0 V, es decir los voltajes de 0.5 V, 0.7 V y 2.0 V. Para producir estos voltajes se toma como referencia la caída de voltaje de un diodo polarizado con un voltaje negativo que es alrededor de -0.7 V, dando como resultado el siguiente circuito (ver figura 2.13).

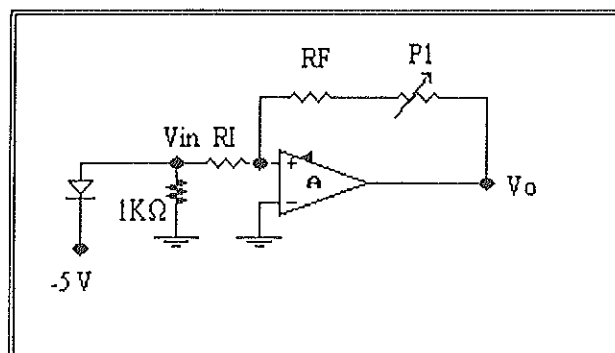


Figura 2.13. Amplificador para voltajes positivos < de 3 V.

El voltaje de referencia es amplificado por medio de amplificadores operacionales para obtener cada uno de los voltajes antes mencionados. Básicamente la operación del amplificador es similar a la del circuito de la figura 2.12 solo que la referencia de voltaje cambia. La configuración del amplificador es inversora debido a que este presenta una ganancia menor que uno.

Para el voltaje de -2.0 V se utiliza la configuración no inversora alimentado con la referencia de -0.7 V quedando prácticamente la misma configuración que la presentada en la figura 2.11 solo que con diferente referencia de voltaje.

El diagrama eléctrico de esta etapa se puede observar en el diagrama 1 en el apéndice, además de incluir en este los voltajes de alimentación para la circuitería TTL y demás circuitos de las etapas restantes.

II.2.2. GENERACIÓN DE FASES DE RELOJ.

Las formas de onda del reloj son una secuencia de ordenes directas para el CCD con las que ejecuta una integración y lee una etapa de salida. Esta secuencia puede ser gráficamente representada por una serie de niveles altos y bajos en función del tiempo.

La secuencia de temporización es usualmente definida en las hojas de datos de quienes manufacturan estos dispositivos. Solo que a diferencia de los estándares de televisión, en

aplicaciones astronómicas se establecen frecuencias de lectura o temporización diferentes.

Para hacer funcionar el CCD (KAF 0400L), se tienen que crear las siguientes señales de temporización:

1. Fases $\phi V1$ y $\phi V2$. Estas fases controlan los renglones de pixeles del CCD. Al recorrer un renglón hacia el registro horizontal, todos los renglones restantes son recorridos una posición hacia el mismo sentido. Por lo tanto es creada una secuencia de pulsos de $\phi V1$ y $\phi V2$ para recorrer todos los renglones del dispositivo (ver figura 2.14).

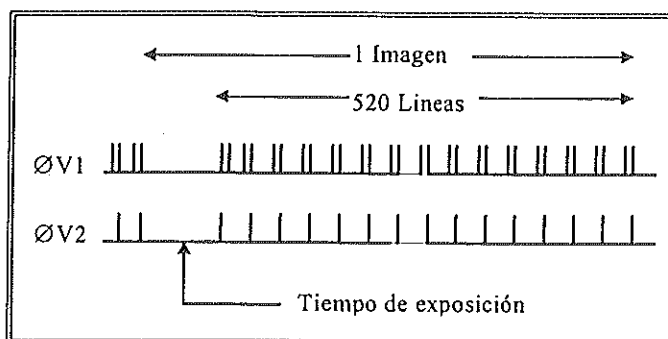


Figura 2.14. Secuencia de fases $\phi V1$ y $\phi V2$.

2. Fases $\phi H1$ y $\phi H2$. Estas fases secuenciales transfieren los paquetes de carga del registro horizontal a la etapa de salida (figura 2.15). Mientras que $\phi H1$ se mantiene en bajo $\phi H2$ se mantiene en alto y viceversa.

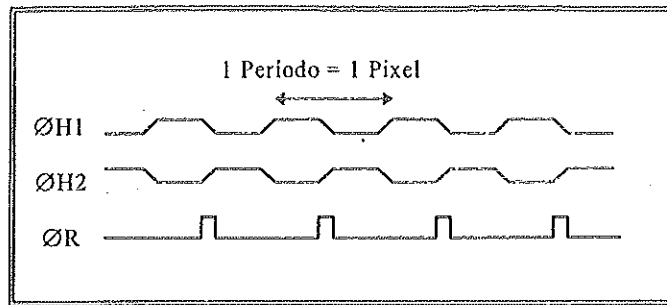


Figura 2.15. Secuencia de fases $\varnothing H1$ y $\varnothing H2$.

3. Fase $\varnothing R$. Esta fase controla la precarga del diodo de salida. La duración de $\varnothing R$ en estado alto es siempre de menos duración que las otras fases de reloj (ver figura 2.15).

En la figura 2.16 se muestra la temporización característica para el CCD utilizado.

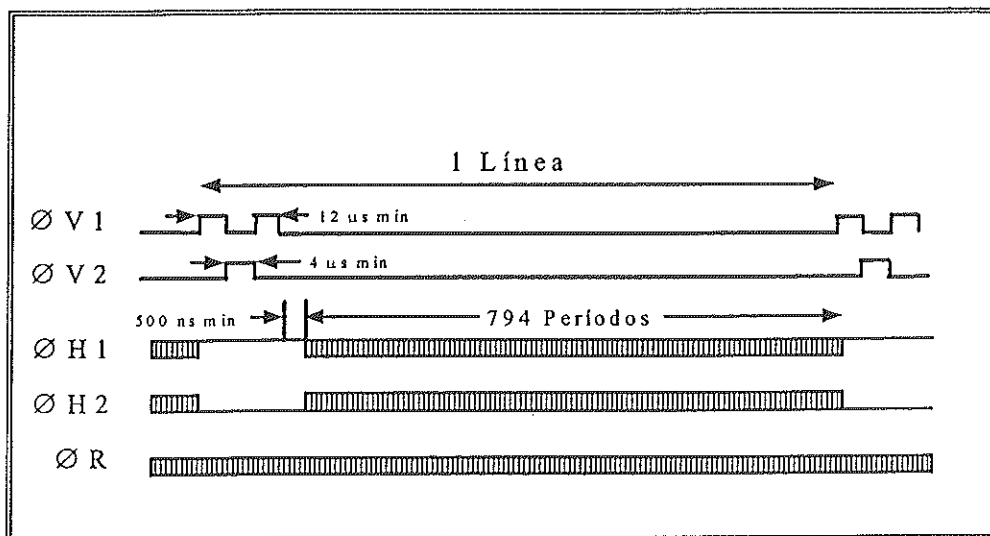


Figura 2.16. Secuencia de temporización para el KAF 0400L.

Las fases son generadas con ayuda de señales provenientes de la computadora (por medio de programación), estas señales se conectan al circuito que conmuta entre un valor de voltaje y otro. El circuito de conmutación básicamente es igual para todas las fases, ver figura 2.17.

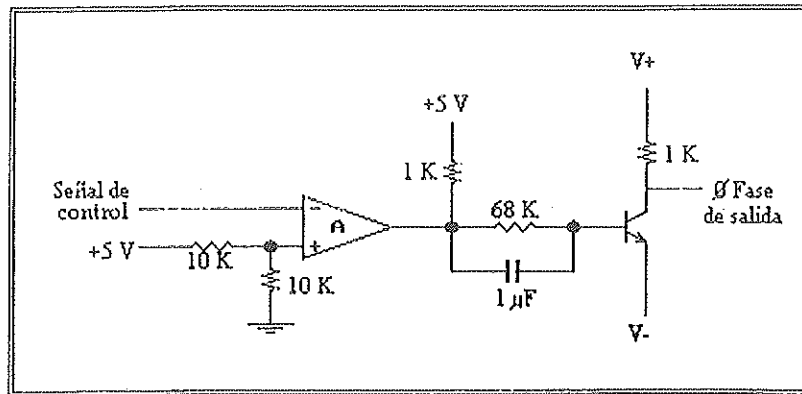


Figura 2.17. Circuito de conmutación.

El circuito está diseñado para conmutar a estado alto cuando la señal de control sea mayor a 2.5 V y viceversa. El esquemático de la etapa de conmutación de fases se encuentra en el diagrama 2 en el apéndice.

II.2.3. CIRCUITO DOBLE CORRELACIONADO.

Después de que un paquete de carga es leído (digitalizado), el capacitor de difusión flotante es restablecido antes de que el siguiente paquete de carga pueda ser leído. Dentro del capacitor aparecerá una cantidad de carga desconocida que permanecerá dentro de este en el siguiente reset como una fluctuación de voltaje.

El muestreo doble correlacionado (CDS) asume que la fluctuación de voltaje en el nivel de reset y la señal de vídeo es igual. Es decir, el reset y las señales de vídeo están correlacionadas en tiempo, ambas teniendo la misma fluctuación.

EL CDS puede ser implementado analógicamente por un circuito de sujeción, con un procesador de línea de retardo o por algunos otros circuitos, como se mostrará más adelante. Cuando es implementado digitalmente, es requerido un convertidor analógico-digital de alta velocidad que opere mucho más rápido que la velocidad de salida de un pixel. Las limitaciones del ADC pueden limitar también la utilización del CDS en algunas aplicaciones.

A continuación se analizarán cuatro técnicas de muestreo doble correlacionado: sujetador, muestreo doble analógico, muestreo doble digital y doble integración.

II.2.3.1. SUJETADOR.

El circuito de sujeción se muestra en la figura 2.18. Cuando el nivel de referencia se presenta, el interruptor I es cerrado, cargando el capacitor C. En este punto la señal del circuito esta colocada a un potencial de tierra. Como el interruptor esta abierto, la señal de salida se mantiene en este nivel. Cuando el nivel de la señal en el interruptor cambia, el capacitor transmite la diferencia de nivel entre la referencia y el nivel de señal (los voltajes AC pasan con facilidad através de los capacitores, esto dependiendo del valor de capacitancia y la frecuencia de AC). Para el siguiente pixel, el interruptor es nuevamente cerrado, restableciendo en el capacitor con el nivel de referencia existente, esto después de un pequeño retraso.

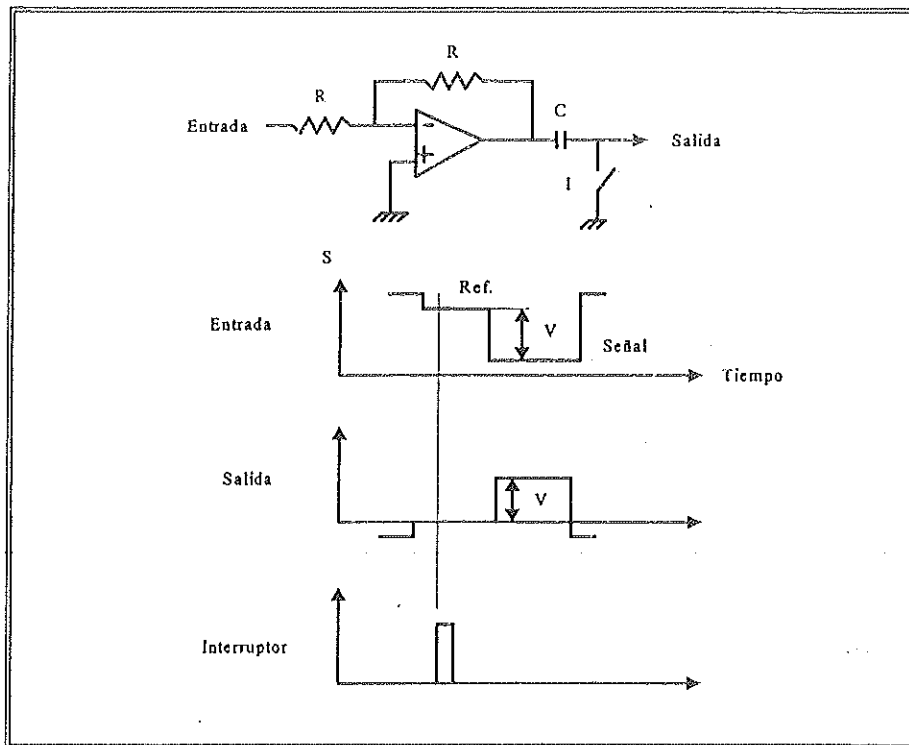


Figura 2.18. Circuito sujetador.

Esta solución es simple y eficiente en teoría, pero en la práctica es mucho más complicada. En resumen, el nivel de referencia puede ser referenciado a tierra solo con una precisión limitada y el resultado de la diferencia puede variar con la amplitud de la señal, una condición intolerable para nuestros propósitos.

II.2.3.2 MUESTREO DOBLE ANALOGICO.

La principal característica del muestreo doble analógico es el circuito de muestreo y retención. El circuito detecta el valor de una señal a un preciso momento (muestreo) y retienen el valor en memoria (retención) hasta la siguiente muestra. El circuito de

muestreo y retención tiene una entrada donde se conectará la señal para ser procesada, una salida donde se leerá el voltaje memorizado y una entrada digital que permite decidir el tiempo de retención. Cuando el circuito de muestreo y retención es controlado para tomar una muestra, el voltaje de salida sigue fielmente las variaciones de la señal aplicada a la entrada. Cambiando el comando crea una retención: la señal de salida se mantiene constante e igual al valor de la señal de entrada en el instante que se cargo.

Un circuito de muestreo y retención es esencialmente implementado con un interruptor analógico controlado por una señal de mando, un capacitor que mantiene la señal cuando el interruptor esta abierto y amplificador operacional con alta impedancia de entrada.

Para aplicaciones en CCD las siguientes características de un circuito de muestreo y retención son las siguientes:

1. Tiempo de adquisición. Este es el período de tiempo que necesita el capacitor para ser cargado a un valor idéntico al de la entrada. Esto ocurre en la fase de muestreo después de la retención.
2. Tiempo de retención. Este es el período efectivo que el interruptor se mantiene abierto. Este período no es constante (puede ser variable). Cuando la entrada es altamente variable introduce errores en la muestra.

3. Error de carga. Durante la retención, la capacitancia entre el interruptor causa un retardo de transmisión, este retardo introduce ruido y un corrimiento en la señal. Las oscilaciones atrapadas también aparecen dentro de la señal de salida. Debido a los retardos, corrimientos y oscilaciones atrapadas, la señal es utilizable después que ha sido estabilizada.
4. Variación de carga. El voltaje de la salida varía durante el período de retención debido a fugas en el capacitor y el interruptor. Esta variación es lineal con respecto al tiempo. A mayor capacitancia para retención, más bajas son las variaciones que ocurren. La variación de carga es también referida a pérdidas en la memorización o razón de drenado.

El doble muestreo requiere por lo menos de dos circuitos de muestreo y retención y un amplificador operacional (figura 2.19). La señal de vídeo es amplificada y mandada a dos circuitos mustreadores. Un circuito toma una muestra y retiene el voltaje de referencia V_1 y el otro toma una muestra y retiene el voltaje V_2 . Los voltajes V_1 y V_2 son comparados dentro del amplificador operacional el cual produce la diferencia entre estos dos.

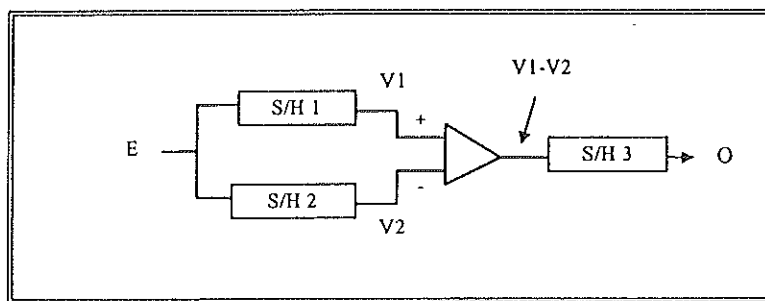


Figura 2.19. Diagrama de un circuito muestreo doble analógico.

Un tercer circuito de muestreo y retención puede seguir de la etapa diferencial para retener el voltaje a un nivel constante durante la conversión analógica-digital.

Una variación del circuito doble muestreador es usar un solo circuito de muestreo y retención para producir la diferencia como en la figura 2.20. Aquí la amplitud del nivel de referencia es retenida previamente con un circuito muestreador y la salida es conectada a una de las entradas del amplificador. La salida del amplificador permanentemente presenta la diferencia entre el nivel de señal y el nivel de referencia. El muestreador a la salida del amplificador llega a ser indispensable para poner la diferencia durante la conversión A/D.

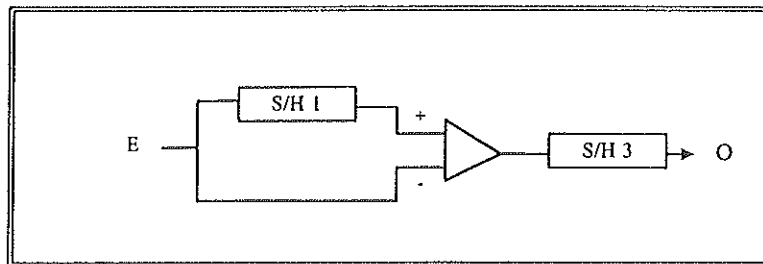


Figura 2.20. Una variación de muestreo doble analógico.

La desventaja de la segunda configuración comparada con la primera es la no-simetría que puede causar un retardo en una de las trayectorias. Pero esto puede no ser problema si el corrimiento es constante.

II.2.3.3. MUESTREO DOBLE DIGITAL.

El muestreo doble digital se basa en digitalizar la señal de vídeo 2 veces por cada pixel, una vez durante el nivel de referencia y otra vez durante el nivel de señal. La diferencia es determinada digitalmente dentro de la computadora. Este es un método simple, aunque siempre es necesario utilizar un circuito de muestreo-retención para poner el voltaje a digitalizar.

El mayor problema con este método es la generación del ruido de cuantificación. Este ruido ocurre por que ambas muestras son cuantificadas con un valor finito y la comparación de estos en el procesamiento produce un error de redondeo. Para reducir este ruido debemos realizar un sobre-muestreo (digitalizar a mayor bits de palabra de lo necesario), o tener un amplificador de ganancia para que la cuantificación de ruido sea lo suficiente legible cuando sea comparado.

II.2.3.4. DOBLE INTEGRACION.

Una alternativa para el muestreo doble analógico es la doble integración. La técnica de doble integración (ó doble rampa) opera en el plano voltaje-tiempo. La idea básica es implementando la integración de las dos entradas, una entrada desconocida (V_a) y la otra conocida como el voltaje de referencia (V_{ref}).

Después de que la señal de vídeo ha sido amplificada es conectada al integrador (ver figura 2.21) por medio de un amplificador seguidor y a través de un amplificador inversor con ganancia unitaria. Los interruptores analógicos (I1 e I2) son los que seleccionarán que trayectoria es la que conectará la señal de vídeo con el integrador. El interruptor I3 decide el modo de funcionamiento del integrador de la siguiente manera:

1. Si I3 está cerrado, el capacitor C está descargado.
2. Si I3 está abierto, el capacitor integra la señal a la entrada del integrador. Entonces si la entrada de voltaje es V_e y la salida de voltaje es V_s , tendremos la siguiente relación:

$$\frac{dV_s}{dt} = \frac{-V_e}{RC}$$

dt como el tiempo transcurrido desde que el interruptor I3 se cerro.

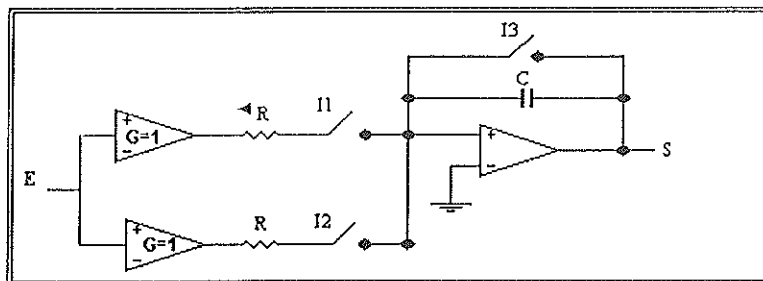


Figura 2.21. Circuito muestreo doble integración.

El procesamiento por etapas es como sigue:

- El capacitor C está descargado debido a que el interruptor I3 se encuentra cerrado.

- Cuando el nivel de referencia esta presente, I3 esta abierto e I1 esta cerrado, causando que el capacitor C se cargue a un nivel proporcional al voltaje aplicado al integrador, y finalmente el interruptor sea cerrado.
- Al abrir el interruptor I1 aísla el capacitor durante la transición de nivel de señal.
- El interruptor I2 esta cerrado por un período igual al interruptor I1 que integro el nivel de referencia. El capacitor es entonces parcialmente descargado; y al final del período de integración en la salida del circuito integrador se presenta la diferencia entre la señal y el nivel de referencia.
- Entonces es aprovechado este voltaje de diferencia para la digitalización.
- Un nuevo ciclo empieza descargando el capacitor.

La secuencia de temporización se encuentra en la figura 2.22.

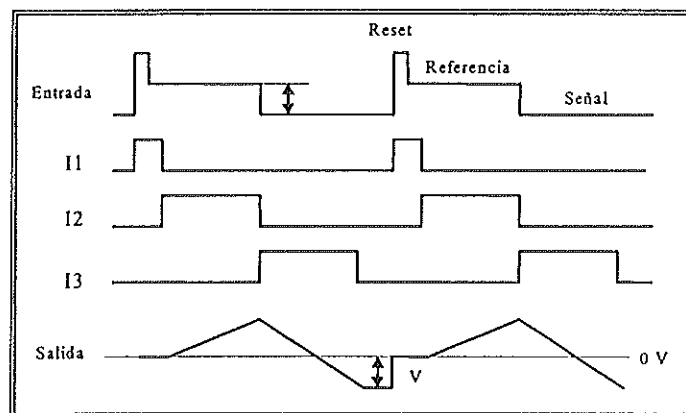


Figura 2.22. Secuencia de temporización de un circuito de doble integración.

La ventaja de este tipo de procesamiento es la habilidad para integrar la señal. Las fluctuaciones (ruido) son promediadas durante la integración mientras la señal se va acumulando. El resultado es un notable mejoramiento en la relación señal-ruido.

La técnica de doble integración reduce notablemente los ruidos generados de la etapa de salida del CCD y en el preamplificador. Es frecuente encontrar en cámaras de observatorios profesionales este tipo de técnica para reducir el ruido global en los mismos.

Debido a su capacidad de reducción de ruido se seleccionó este circuito para su implementación en el presente trabajo. El esquemático de la etapa del doble correlacionado para nuestro diseño se encuentra en el diagrama 3 en el apéndice.

II.2.3.4.1. AMPLIFICADOR.

La función de esta etapa es remover los aproximadamente 10 V presentes en la señal de vídeo proveniente del CCD y después amplificar la señal.

La amplitud total de la señal de vídeo es de alrededor de 1 V. Para leer esta señal con el convertidor A/D, ésta debe ser amplificada resultando un intervalo de amplitud de voltaje entre -2.5 V y 2.5 V.

La componente de la señal de vídeo de alrededor de 10 V es un problema, debido que si no es removida está puede saturar el integrador. Para esto hay varias opciones de eliminar este voltaje:

1. El CCD puede acoplarse capacitivamente al amplificador, es decir, un capacitor es colocado en serie a la salida del dispositivo (ver figura 2.23). Por el capacitor pasa solo la componente de vídeo variante (corriente alterna). Entonces la referencia de cero volts representa el promedio del valor de las fluctuaciones de la señal de vídeo. Esta solución no es muy satisfactoria, puesto que se pierde la información del nivel de referencia del pixel, haciendo necesario el uso de un restablecedor de corriente directa posteriormente en el circuito.

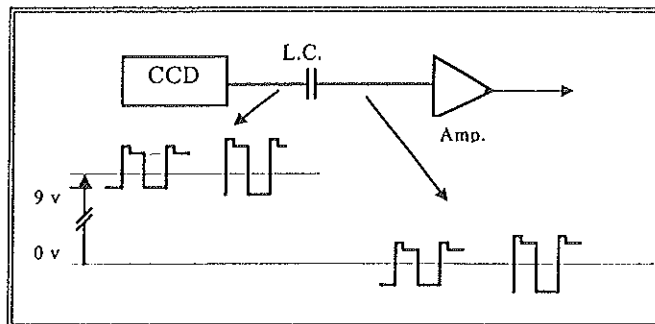


Figura 2.23. Acoplo con capacitor.

2. Los amplificadores operacionales pueden remover la componente DC de la señal de vídeo sin afectarla.

Ya que es muy importante que la señal proveniente del CCD se conserve lo más original posible se toma la segunda opción para el acondicionamiento de la señal. La figura 2.24 presenta el método del amplificador diferencial. Aquí el amplificador crea una salida que

es la diferencia entre los voltajes presentes en las entradas inversora y no-inversora. El circuito da como resultado que la señal proveniente del dispositivo se encuentre en nivel de 0 V. y que las señales de referencia y del pixel se encuentren representadas por un voltaje negativo.

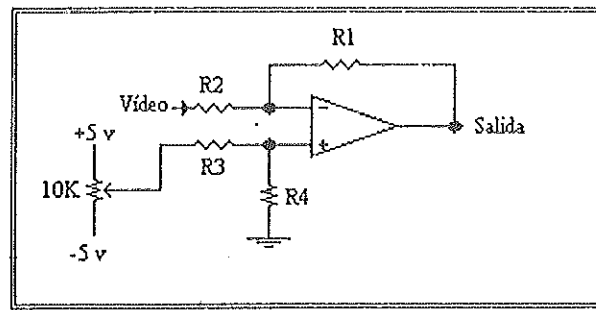


Figura 2.24. Diagrama del amplificador diferencial.

El voltaje en la entrada negativa debe ser muy estable debido a que será comparado con la señal de vídeo. Los voltajes son producidos por los reguladores que alimentan al CDS. Un potenciómetro de $10K\Omega$ regula el voltaje de la entrada (alrededor de -10 V.).

II.2.4. CONVERSION ANALOGICA/DIGITAL.

La función de esta etapa es convertir la señal analógica a niveles digitales que la computadora pueda leer. Esta etapa consta esencialmente, de la etapa de amplificación para el ajuste de la señal de -2.5 a 2.5 V , para la entrada del convertidor A/D. EL esquemático de esta etapa se encuentra en el diagrama 3 en el apéndice.

El dispositivo utilizado para la conversión es el LTC 1410 de la compañía Linear Technology. El LTC 1410 es un convertidor de 12 bits de salida con las siguientes características:

- Velocidad de muestreo 1.25 Mbps.
- Disipación de potencia 160 mW.
- Alto desempeño en muestreo-retención.
- No requiere de componentes externos.

El LTC 1410 utiliza un algoritmo de aproximación sucesiva y un circuito interno de muestreo-retención para convertir la señal analógica a 12 bits de salida. El ADC se compone de una referencia de precisión y un reloj internos. El control lógico provee de una fácil comunicación con microprocesadores y DSPs.

Este convertidor tiene las siguientes especificaciones:

Parámetro	Valor Típico	Unidades
Voltaje de alimentación (V_{DD})	5	Volts
Voltaje de alimentación negativo (V_{SS})	- 5	Volts
Intervalo de entrada analógica	+/- 2.5	Volts
Resolución	12	bits
Error lineal integral	+/- 0.3	bits
Error lineal diferencial	+/- 0.3	bits
Relación de rechazo de modo común (entrada analógica)	60	dB

Tabla 2.2. Especificaciones del convertidor LTC 1410.

II.2.5. CIRCUITERIA DE INTERFAZ.

La función de esta etapa es controlar el inicio de conversión y la comunicación del convertidor con la computadora. Esta etapa se divide en dos, la primera que proporciona el comando de ejecución, donde se decide comenzar una conversión o se ejecuta la lectura en secuencias o paquetes de 4 bits del convertidor.

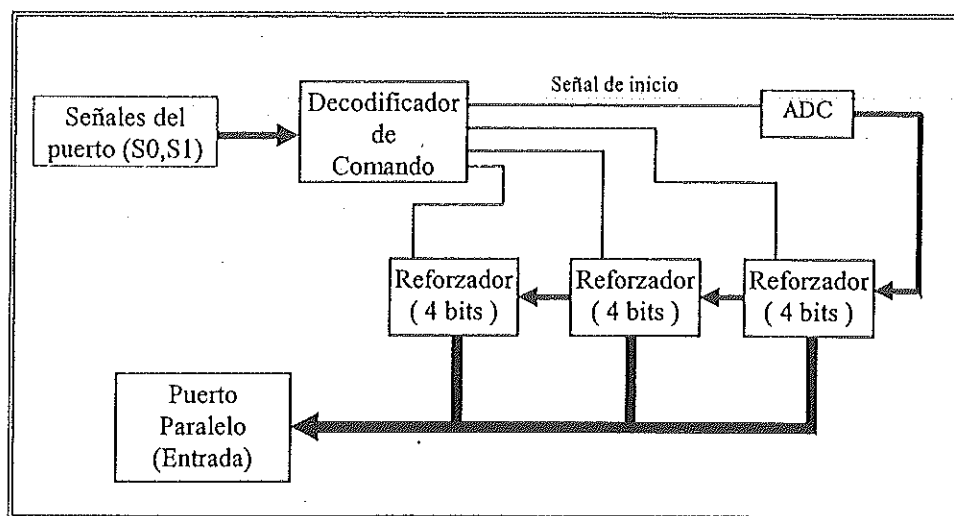


Figura 2.25. Diagrama a bloques de la interfaz.

La segunda parte es la de lectura del convertidor. Esta se encuentra dependiente del comando de ejecución de la primera etapa. Una vez que el comando de lectura se ha dado el puerto de la computadora tendrá acceso a 4 bits de la lectura hecha por el convertidor. De esta manera se leerán los cuatro bits menos significativos (LSB), seguidos por la lectura de los 4 bits intermedios y terminando con los 4 bits más significativos (MSB); acumulando así la palabra de 12 bits del convertidor la cual contiene la información de nuestro interés.

La tabla de ejecución de comandos de acuerdo a la señal de control generada por la computadora es la siguiente:

ENTRADA		SALIDA
S0	S1	Comando de ejecución
0	0	Inicio de conversión
0	1	Lectura de 4 bits (LSB)
1	0	Lectura de 4 bits (Intermedios)
1	1	Lectura de 4 bits (MSB)

Tabla 2.3. Relación de mandos de ejecución.

Las señales de control generadas por esta etapa dan como resultado la siguiente secuencia de señales (ver fig. 2.26):

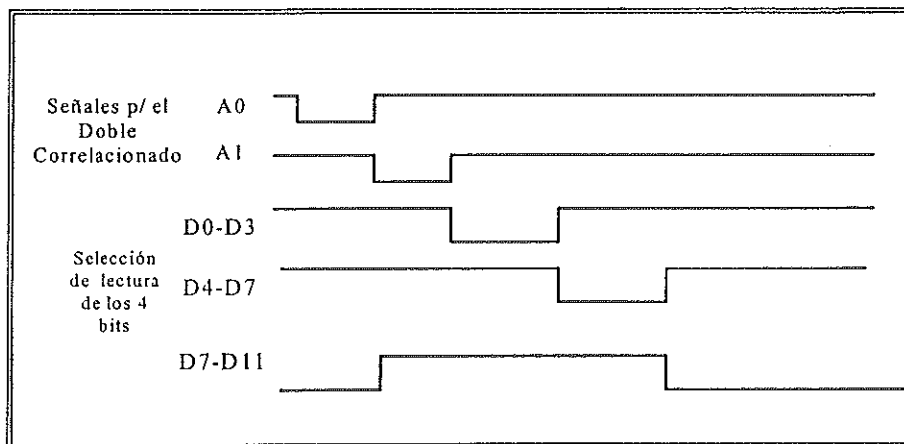


Figura 2.26. Secuencia de temporización de señales de control.

El esquemático de esta etapa se encuentra en el diagrama 4 en el apéndice.

III.PROGRAMA PRINCIPAL.

III.1. INTRODUCCION.

La función del programa principal es realizar el proceso de almacenamiento de la imagen digitalizada directo a memoria, a su vez de controla las fases y relojes requeridos por el CCD para su funcionamiento. Una vez capturada la información por la computadora comienza el procesamiento y la coloca en un archivo, para darle un formato de reconocimiento.

III.2 ORGANIZACION.

El programa principal se encuentra dividido en varias operaciones, las cuales a continuación se listan:

- Digitaliza CCD.
- Guarda imagen poscritp.
- Despliega CCD.
- Define ROI.
- Despliega ROW.
- Despliega ROI.
- Binning 3x3.
- Binning 4x4.
- Guarda imagen binaria.

A continuación se presenta una breve explicación de cada una de las opciones, así como algunos detalles en algunas de ellas:

- Digitaliza CCD: En esta opción se le da un período de exposición al dispositivo, después de este período lee la imagen capturada y se guarda en la memoria de la computadora.
- Guarda imagen poscript: Salva la imagen capturada en memoria dentro de un archivo con formato postscript. Para que ocurra lo anterior antes tenemos que dar un nombre que se asignara al archivo para su identificación.
- Despliega CCD: Esta opción muestra en el monitor de la computadora la última imagen capturada por el dispositivo.
- Define ROI: Aquí se define el tamaño del cuadro de lectura de la imagen del CCD y el origen de donde iniciara a leer el cuadro. El tiempo de integración para esta opción es el que se proporciona en la opción de digitaliza dispositivo.
- Despliega ROW: Gráfica en dos dimensiones la intensidad de un renglón de la imagen. La gráfica es formada con la intensidad del pixel contra el número de pixel del renglón.

- Despliega ROI: Lee la ventana definida por la opción define ROI y la despliega en el monitor de la computadora.
- Binning 3x3: Suma los pixeles de un cuadro de 3x3 pixeles. Es decir toma una área de nueve pixeles como un solo pixel, perdiendo resolución la imagen pero haciendo más rápida la lectura y aumentando la sensibilidad del CCD.
- Binning 4x4: Esta opción es semejante a la anterior, solo que ahora el cuadro de suma es de 4x4 pixeles, equivaliendo un pixel a un área de 16 pixeles.
- Guarda imagen binaria: Esta opción guarda la imagen capturada en memoria en un archivo con formato binario, lo cual nos sirve para poder manejar la imagen en un programa procesador de imágenes.

IV. IMPLEMENTACION, PRUEBAS, PROTOTIPOS Y CIRCUITOS IMPRESOS.

IV.1. INTRODUCCION

En este capítulo se describen algunos detalles de la implementación del presente trabajo, tales como el diseño de los circuitos impresos y la implementación del prototipo.

Se reportan también los resultados de las pruebas realizadas sobre el prototipo elaborado a nivel laboratorio.

IV.2. PROTOTIPO DE LABORATORIO —

El prototipo inicial fue elaborado en tarjetas perforadas y alambradas con la técnica de enrollado (wire-wrap), las cuales se pueden observar en la figura 4.1.

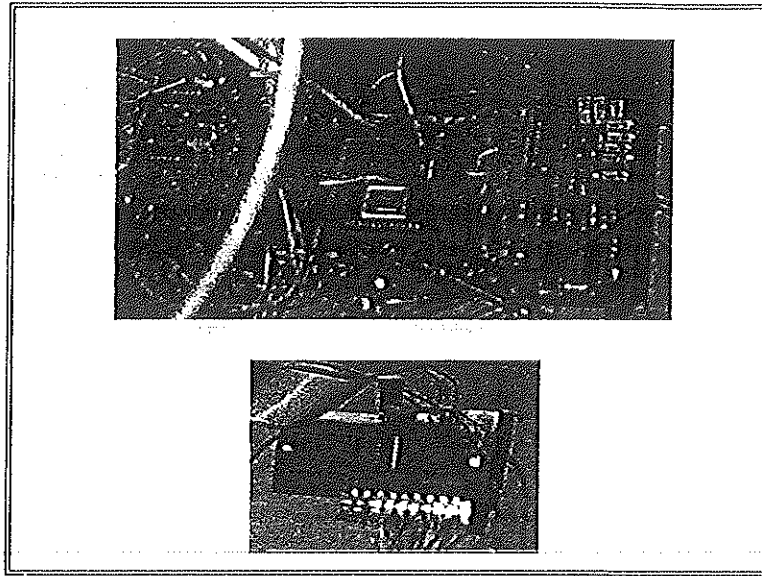


Figura 4.1. Tarjetas alambradas por el método de enrollado.

Los componentes utilizados son comerciales y fáciles de conseguir, sin descuidar sus características de comportamiento. Además esto permite tener un prototipo implementado en corto tiempo.

IV.3 CIRCUITOS IMPRESOS

Se realizaron dos circuitos impresos. El primero de estos circuitos es con componentes de encapsulado convencional en su mayoría a excepción del convertidor A/D y el segundo es para el montaje de CCD.

Las demás tarjetas que se utilizan en el proyecto son menos críticas a problemas de ruido o al montaje de los circuitos, permitiendo así utilizar el resto de las tarjetas alambradas (wire-wrap), en su fase inicial, claro que a futuro estas tarjetas tendrán que ser sustituidas por tarjetas de circuito impreso.

IV.3.1. ELABORACION DE CIRCUITOS IMPRESOS

Para el diseño de los circuitos impresos se utilizo el paquete Tango Pro. En el Schematic del mismo se elaboraron los esquemáticos y después se convirtieron en archivos PCB de información para la elaboración de las tarjetas de circuito impreso.

En el Tango Pro PCB también se requirió crear nuevos módulos (de componentes electrónicos o de máscaras, etc.) que no existen en las bibliotecas del Tango Pro.

Los módulos creados son el CCD y algunos conectores.

En el Tango Pro PCB se proporcionan detalles como los siguientes:

- Las dimensiones de la tarjeta.
- Las dimensiones de las pistas o líneas.
- El diámetro de los orificios de los componentes, en el caso de componentes de encapsulado convencional.

- El área para soldar de cada componente.
- La posición exacta de cada componente y de la pista en la tarjeta.

Las tarjetas de circuito impreso fueron hechas en el laboratorio de electrónica del OAN.

En la figura 4.2 se muestra fotografía de la misma.

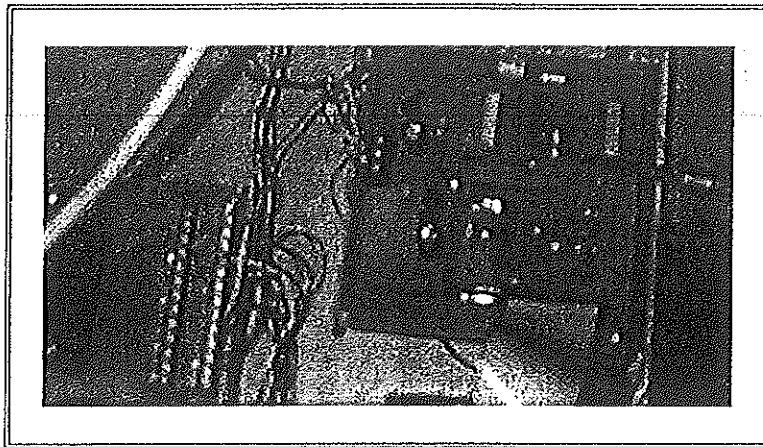


Figura 4.2. Tarjeta de circuito impreso del CDS.

IV.4. DESCRIPCION DEL MONTAJE DE PRUEBA.

En la figura 4.3 se muestra el montaje de prueba empleado para el prototipo del sistema de adquisición de imágenes.

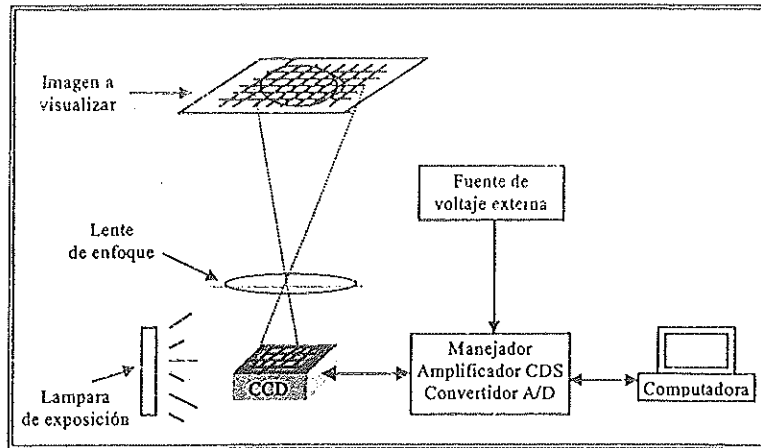


Figura 4.3. Diagrama a bloques del montaje de pruebas para el sistema.

El equipo utilizado en las pruebas y ajuste del sistema se encuentra listado en la tabla 4.1:

<i>Equipo utilizado</i>		
Computadora personal	486 DX4-100	Hewlett Packard
Osciloscopio digital	2247A	Tektronix
Fuente de voltaje	PS280	Tektronix
Lente de cámara fotográfica	2.8/29	Pentacon
Lampara incandescente	120 v.	

Tabla 4.1. Equipo utilizado en las pruebas del sistema.

A continuación se muestra una fotografía del prototipo de prueba y ajuste del sistema de adquisición de imágenes (véase figura 4.4).

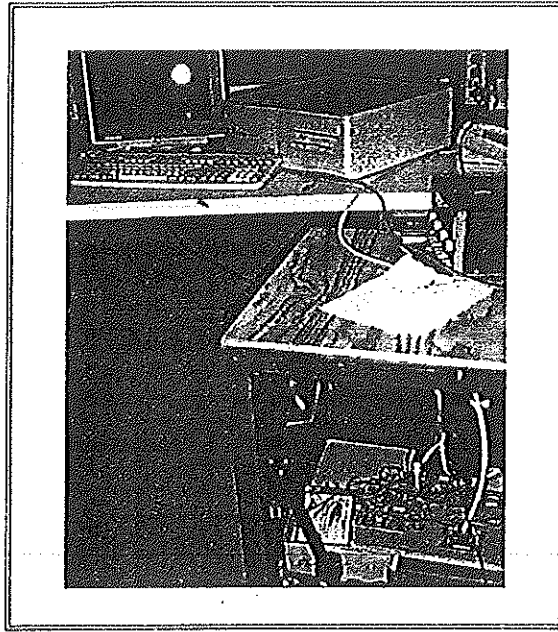


Figura 4.4. Fotografía del prototipo implementado.

IV.4.1. PRUEBAS DE LABORATORIO.

Como puede observarse, el prototipo a nivel laboratorio cumple con los objetivos planteados inicialmente:

- a) Desarrollo de tarjeta de adquisición y conversión de datos del CCD a digital.
- b) Desarrollo de tarjeta de fuentes de voltajes para el CCD.
- c) Desarrollo de tarjeta reforzadora de datos para el manejo del CCD.
- d) Desarrollo de la programación para sincronía y adquisición de imágenes.

Los siguientes resultados se obtuvieron de la implementación del sistema:

- Lectura del CCD logrando obtener una señal de información de acuerdo a lo esperado (véase figura 4.5).

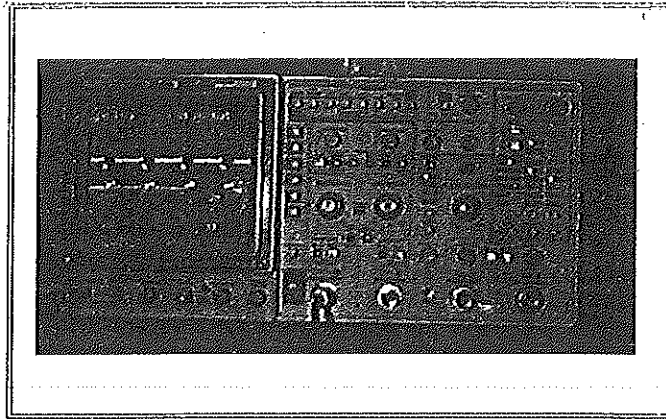


Figura 4.5. Señal de salida del CCD Kodak 0400L.

- Una velocidad de lectura de $10 \mu\text{s}/\text{pixel}$
 - Imagen completa 6 seg.
 - Imagen completa compacta < 1 seg. (Binning 3X3).
- Lectura y control realizado por una PC-486.
- Interfaz através del puerto paralelo estándar.
- Bajo costo del sistema.
- Programación fácilmente modificable.

Un ejemplo de las imágenes obtenidas por el CCD y desplegadas en la computadora se puede ver en la figura 4.6 y 4.7.

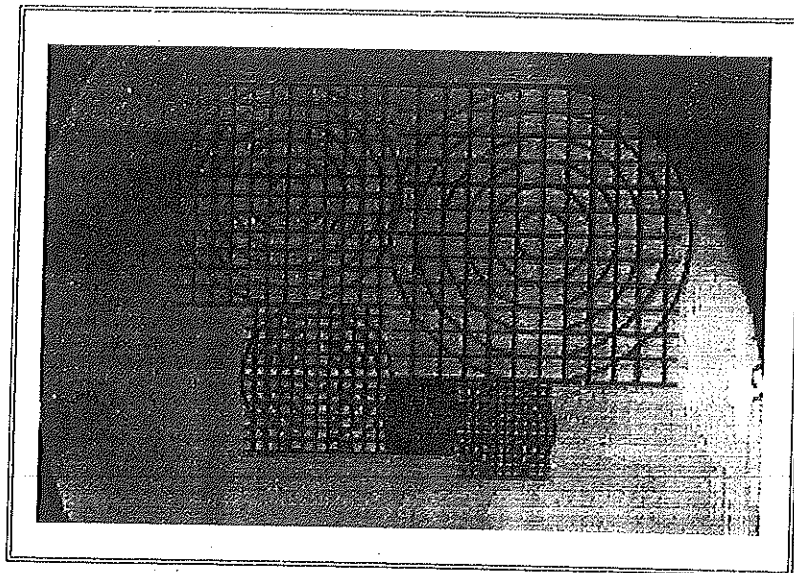


Figura 4.6. Imagen del patrón de prueba obtenida por el CCD.

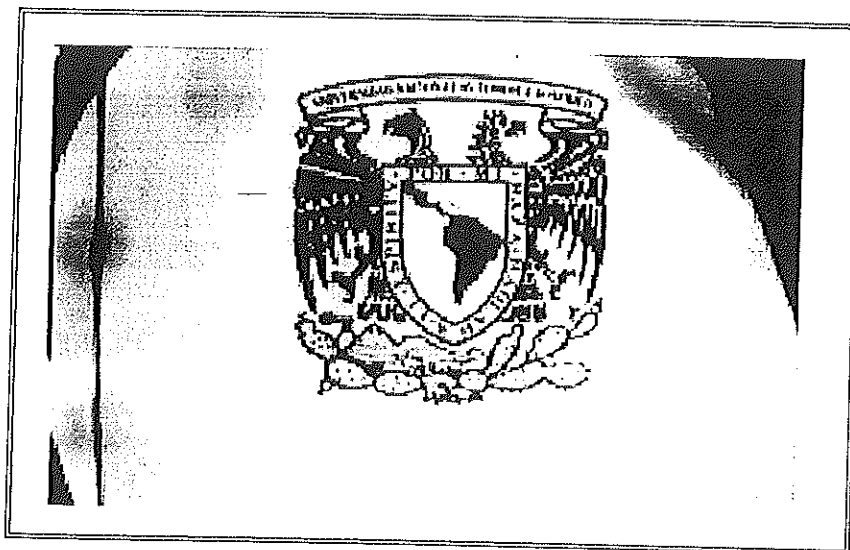


Figura 4.7. Imagen obtenida por el CCD.

V. ESPECIFICACIONES TECNICAS.

V.1 PRINCIPALES CARACTERISTICAS DEL CCD KAF-0400L.

- 768 (H) X 512(V) Pixeles fotosensitivos.
- Tamaño del pixel $9\mu\text{m}$ (H) x $9\mu\text{m}$ (V).
- Area fotosensitiva 6.91mm (H) x 4.6mm (V).
- Tamaño del encapsulado 8.4 mm (H) x 5.5 mm (V).
- Registro de lectura de salida sencillo.
- Corriente oscura mínima ($<10\text{pA}/\text{cm}^2$ @ $T=25^\circ\text{C}$).
- Máximo intervalo dinámico (>71 dB).
- Máxima sensibilidad de salida ($10\mu\text{V}/\text{e}^-$).
- Máxima velocidad de operación 20 MHz.

V.1.1 AMPLIFICADOR DE SALIDA.

SIMBLO	PARAMETRO	MIN	NOM	MAX	UNIT	CONDICION
V _{off}	Nivel de salida DC		10		V	
P _d	Disipación de potencia		55		mW	
F _{-3dB}	Ancho de banda		45		MHz	
A _v	Ganancia		.75			
V _{out} /n _{e⁻}	Sensibilidad		10		$\mu\text{V}/\text{e}^-$	
Li	No-linealidad		1		%	

C_{load}	Capacitancia de salida			10	pf	
Z_{out}	Impedancia de salida		250		Ω	
I_{DD}	Fuente de corriente VDD		5		mA	
n_{e-amp}	Ruido de lectura		8	20	e ⁻ rms	Nota 1

Nota 1. Para datos con velocidades mayores que 1Mhz.

Tabla 5.1. Amplificador de salida CCD Kodak 0400L.

V.1.2 ESPECIFICACIONES GENERALES.

SIMBLO	PARAMETRO	MIN	NOM	MAX	UNIT	CONDICION
$n_{e-total}$	Ruido total		13	20	e ⁻ rms	Nota 1
DR	Intervalo dinámico		71		dB	Nota 2
ISO	Velocidad fotográfica equivalente		TDB			Nota 3

Nota 1 – Incluye ruido del amplificador, patrón de ruido obscuro y ruido de disparo de corriente obscura en razón de datos mayor a 1 Mhz.

Nota 2 – Use $20\text{LOG}(N_{e-sat}/n_{e-total})$ donde N_{e-sat} se refiere a la señal de saturación vertical del CCD.

Nota 3 – Consulte a Eastman Kodak para el uso de este parámetro.

Tabla 5.2. Datos generales del CCD Kodak 0400L.

V.1.3 RESPUESTA ESPECTRAL KAF-0400L.

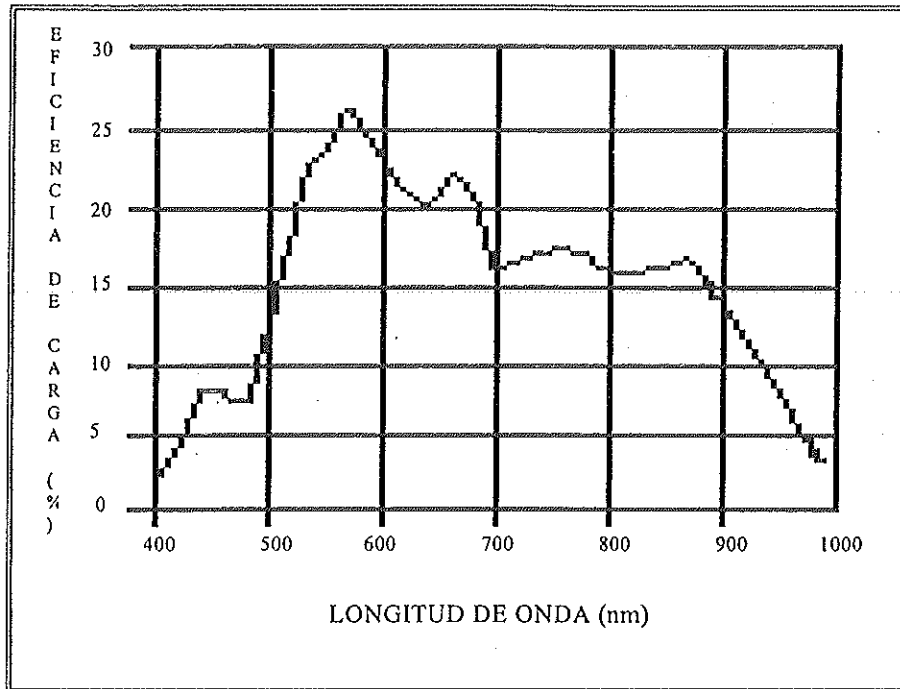


Figura 5.1. Respuesta espectral.

V.2 PUERTO PARALELO.

No. Terminal	Señal	Dirección
1	-Strobe	Salida
2	Dato bit 0	Salida
3	Dato bit 1	Salida
4	Dato bit 2	Salida
5	Dato bit 3	Salida
6	Dato bit 4	Salida
7	Dato bit 5	Salida
8	Dato bit 6	Salida
9	Dato bit 7	Salida
10	-Acknowledge	Entrada
11	Busy	Entrada
12	Paper End	Entrada
13	Select	Entrada
14	-Auto Feed	Salida
15	-Error	Entrada
16	-Initialize Printer	Salida
17	-Select Input	Entrada
18	Ground	
19	Ground	
20	Ground	
21	Ground	
22	Ground	
23	Ground	
24	Ground	
25	Ground	

Tabla 5.3. Distribución de terminales del puerto paralelo.

VI. CONCLUSIONES Y TRABAJO A FUTURO.

Con la realización del presente trabajo se han cubierto diferentes objetivos tales como:

- Diseño, desarrollo e implementación de un sistema de adquisición de imágenes astronómicas basado en un CCD.
- Elaboración de algunas tarjetas de circuito impreso mediante el uso de paquetes de diseño asistido por computadora.
- Formación de un punto de partida para diseños posteriores que se pretenden dentro de OAN.

La aplicación inicial proyectada para este proyecto es en el autoguiado de telescopios.

Es importante mencionar que el prototipo implementado es con el propósito de enfrentar los problemas de diseño e implementación, y que no es un prototipo de montaje final, quedando por hacer muchas mejoras y cambios.

Dentro del trabajo planteado a futuro, se plantea la realización de todas las tarjetas del prototipo en PCB, además de implementar el sistema de enfriado del CCD y la óptica de acoplamiento.

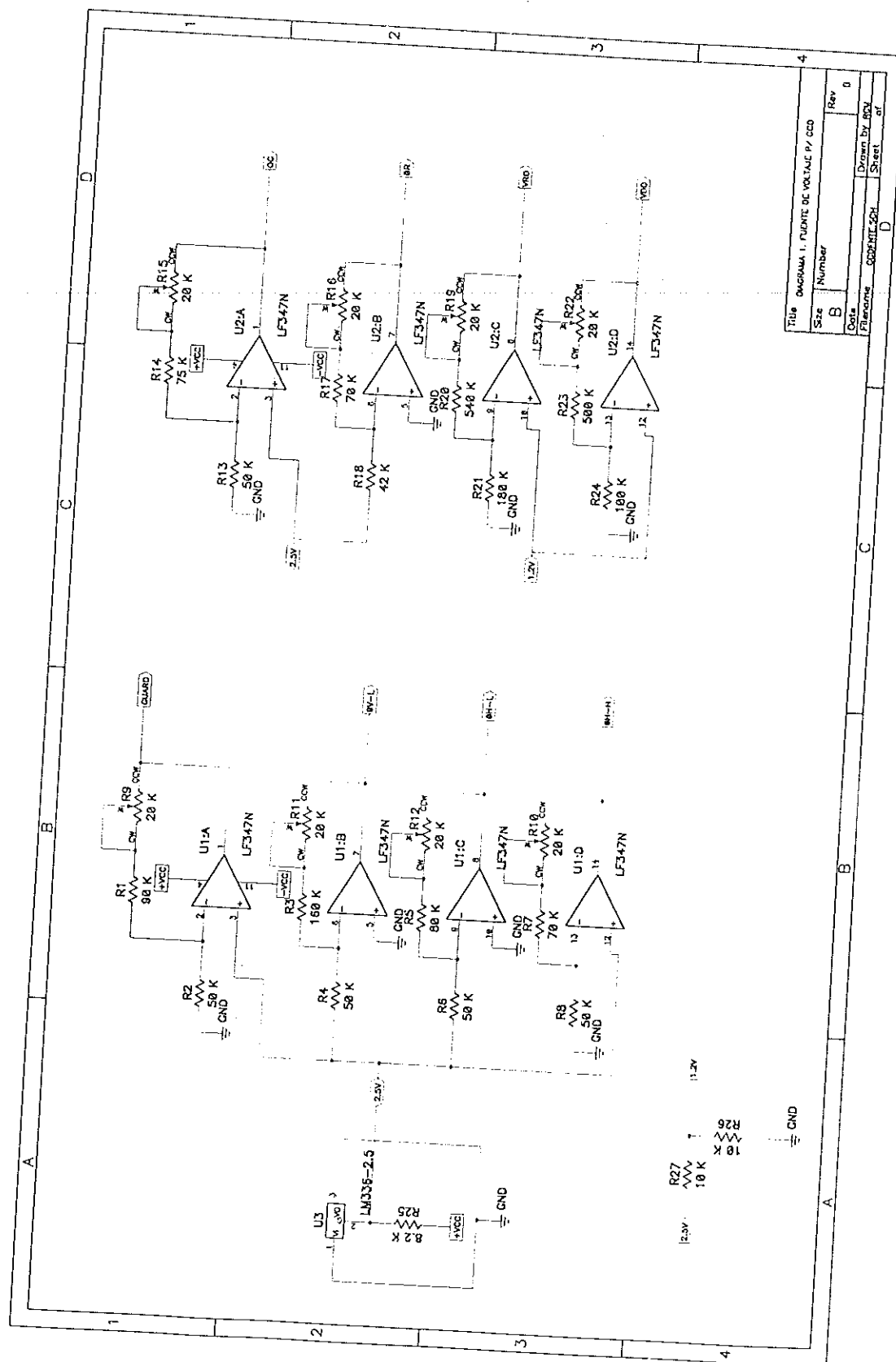
Debe mencionarse asimismo que aunque el prototipo implementado no ha obtenido imágenes provenientes directamente del espacio libre, es de esperarse que cuando se

realicen pruebas definitivas no exista ningún problema, puesto que el buen resultado de esto depende en su mayoría de la óptica de acoplamiento.

Se considera, entonces, que en términos generales se han cumplido con los planteamientos básicos propuestos al inicio del trabajo.

APENDICE 1.

DIAGRAMA 1.



66

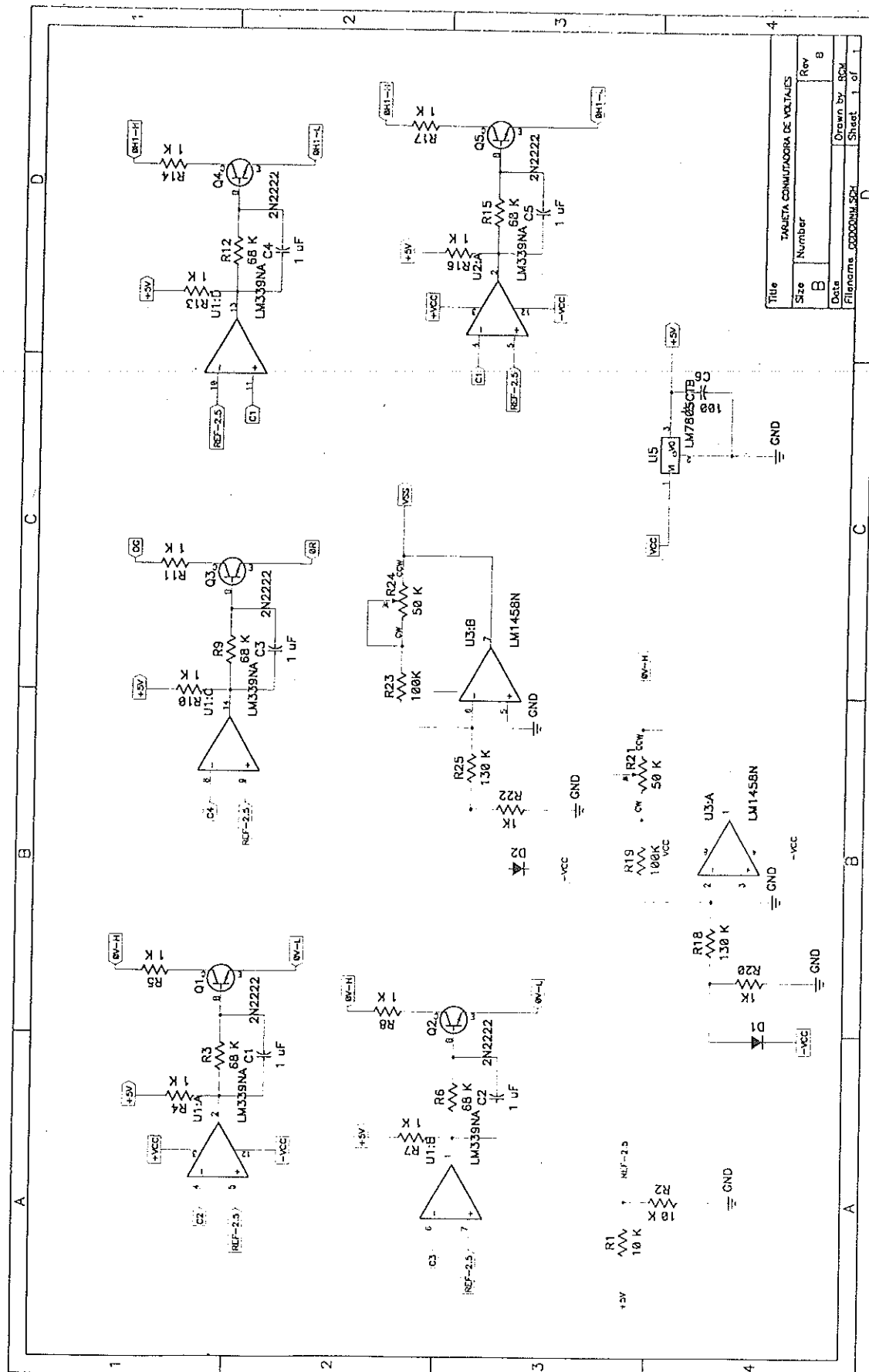


DIAGRAMA 3.

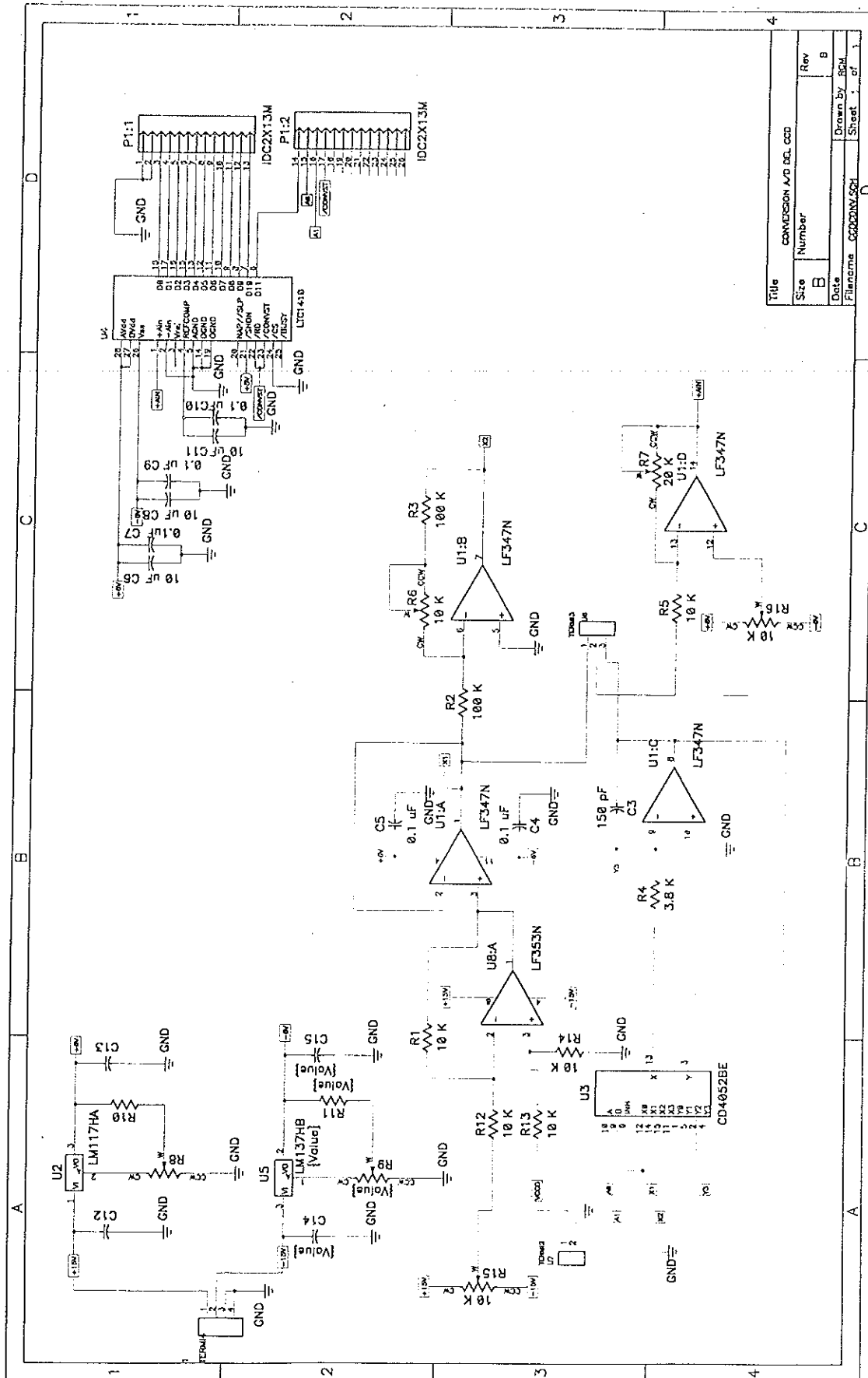
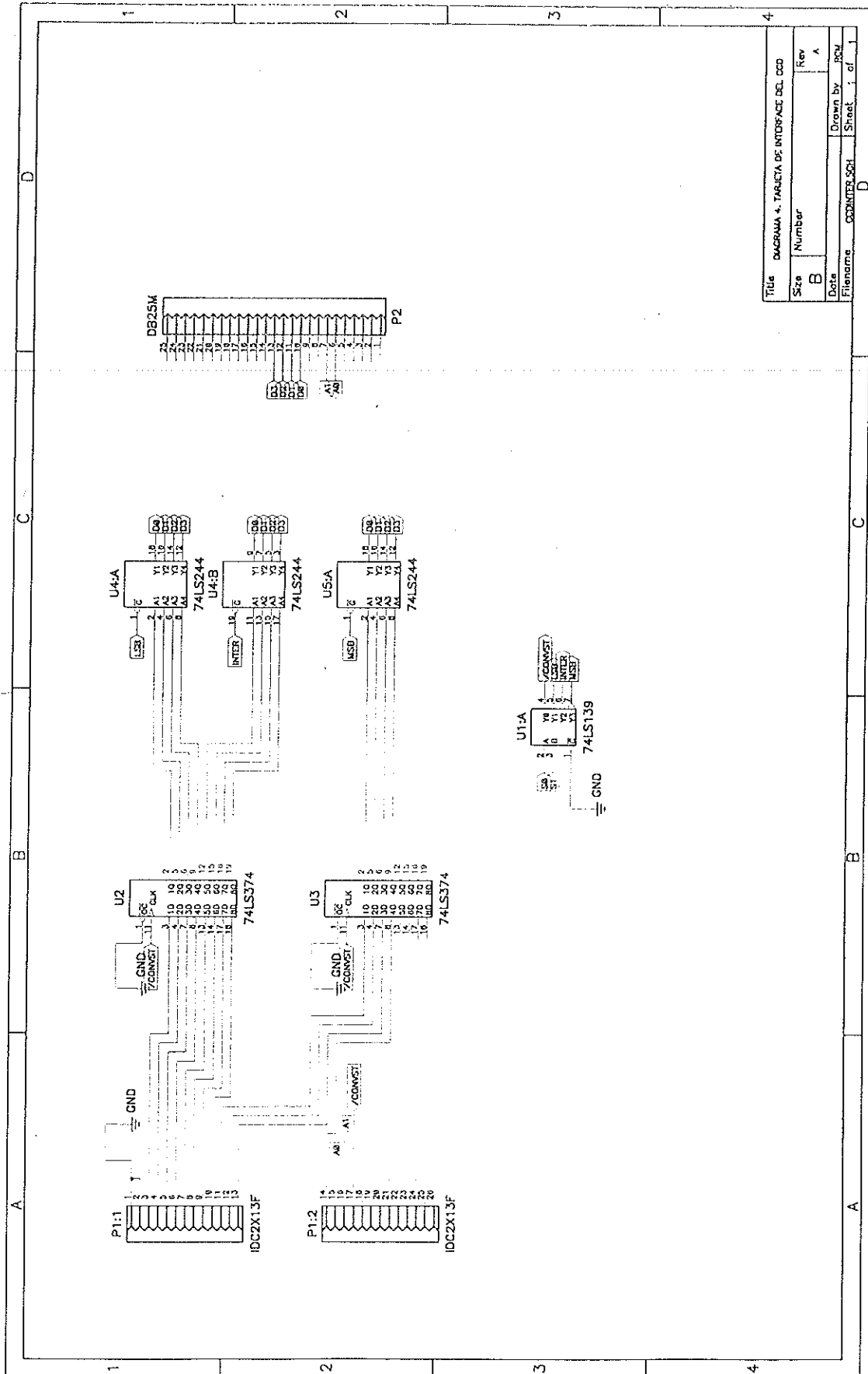


DIAGRAMA 4.



BIBLIOGRAFIA:

- HOGAN Thom, "The programmer's PC sourcebook". Microsoft Press, 2da Edición, 1991.
- BARBOSA Francisco, "Ajuste de ganancia a una cámara CCD". Observatorio Astronómico Nacional. Marzo, 1992.
- BUIL Christian, "CCD Astronomy", Willmann-Bell, Inc. Primera edición en inglés. 1991.
- AASNAES H., HARRISON T., "Triple Play Speeds A-D Conversion", Electronics, Abril 1968.
- MICROELECTRONICS Technology Division, " Full-Frame CCD Image Sensor Monochrome with Anti-Blooming", Eastman Kodak Company, Revisión 0, 1994.
- BAIR Stephan, "CCD Imagin Systems". Burr-Brown.
- "Proyecto del telescopio óptico-infrarrojo mexicano de nueva tecnología: TIM". Instituto de Astronomía y Observatorio Astronómico Nacional. Enero 1996.
- HOLST C. Gerald. "CCD Arrays Cameras and Displays". JDC Publishing. Primera edición 1996.
- HOLMES Alan, "Optimizing a CCD Imaging System". CCD Astronomy. Winter 1995 Vol. 2, No. 1, page 14.
- BARNES Erik, "Integrated Solutions for CCD Signal Processing". Published by Analog Devices. 1998, pag. 6 - 8.

