

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

INSTITUTO DE INGENIERÍA

MAESTRÍA Y DOCTORADO EN CIENCIAS E INGENIERÍA



TESIS

“Caracterización Eléctrica y Óptica de Estructuras Metal-Óxido-Semiconductor con Ensamblajes de Nanopartículas Semiconductoras.”

Que para obtener el grado de:

Doctor en Ingeniería

Presenta:

Francisco David Mateos Anzaldo

Director:

Dr. Mario Alberto Curiel Álvarez

Co-Director:

Dr. Nicola Radnev Nedev

Contenido

Dedicatoria	I
Agradecimientos	II
Lista de Figuras	IV
Lista de Tablas	XII
Resumen	XIII
Abstract	XIV
Capítulo 1 <i>Introducción</i>	1
1.1 La importancia del silicio en la industria semiconductora	2
1.2 Dispositivos de memoria y su clasificación	6
1.2.1 Dispositivos de memoria volátil	9
1.2.2 Dispositivos de memoria no-volátil	10
1.3 Memorias de compuerta flotante continua y discreta	15
1.3.1 Relevancia de las nanopartículas de Si y sus métodos de obtención	17
1.4 Planteamiento del problema	19
1.4.1 Objetivo general	19
1.4.2 Objetivos específicos	20
1.4.3 Metas propuestas	21
1.4.4 Justificación	21
Capítulo 2 <i>Teoría de los Dispositivos MOS</i>	22
2.1 Capacitor MOS	23
2.1.1 Modos de operación	25
2.1.2 Cargas presentes en el óxido	31
2.2 Transistor MOSFET	34
2.2.1 MOSFET de enriquecimiento con tres terminales	34
2.2.2 MOSFET de enriquecimiento con cuatro terminales	40
2.2.3 MOSFET de empobrecimiento	41
2.2.4 Escalamiento del MOSFET	42
2.2.5 Tecnología CMOS	44
2.3 Dispositivos de memoria MOS con compuerta flotante discreta	45

Capítulo 3	<i>Principios de las Técnicas de Fabricación y Caracterización</i>	47
3.1	Procesos tecnológicos de fabricación	48
3.1.1	Obtención de las obleas de silicio	48
3.1.2	Procesos de limpieza: química y por plasma	51
3.1.3	Tratamientos térmicos	51
3.1.4	Implantación iónica	53
3.1.5	Difusión	55
3.1.6	Fotolitografía	57
3.2	Síntesis de películas delgadas	60
3.2.1	Evaporación térmica	60
3.2.2	Erosión iónica (Sputtering)	61
3.2.3	Deposición química de vapor asistida por resonancia ciclotrónica de electrones (ECR-CVD)	62
3.3	Técnicas de caracterización por espectroscopía	64
3.3.1	Espectroscopía infrarroja (IR)	65
3.3.2	Espectroscopía Raman	66
3.3.3	Espectroscopía por elipsometría (SE)	68
3.3.4	Espectroscopía por energía dispersiva de rayos-X (EDX)	74
3.3.5	Fotoluminiscencia (PL)	75
3.4	Técnicas de caracterización estructural	76
3.4.1	Difracción de rayos-X (XRD)	76
3.4.2	Microscopía de fuerza atómica (AFM)	77
3.4.3	Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM)	79
3.4.4	Microscopía electrónica de transmisión (TEM)	81
3.5	Técnicas de caracterización eléctrica	83
3.5.1	Mediciones capacitancia-voltaje (C-V)	83
3.5.2	Medidas Conductancia-Voltaje (G-V)	91
3.5.3	Medidas Corriente-Voltaje (I-V)	92

Capítulo 4	<i>Detalles Experimentales</i>	97
4.1	Caracterización y limpieza del sustrato	98
4.1.1	Caracterización del sustrato	98
4.1.2	Procesos de limpieza utilizados	100
4.2	Películas delgadas depositadas por evaporación térmica	102
4.2.1	Estructuras: c-Si/SiO _x	102
4.2.2	Estructuras: c-Si/SiO ₂ /SiO _x	104
4.3	Películas delgadas depositadas por evaporación térmica y por r.f. sputtering	106
4.3.1	Estructuras: c-Si/SiO ₂ /SiO _x /SiO ₂	106
4.4	Películas delgadas depositadas por ECR-CVD	108
4.4.1	Estructuras: c-Si/SiO ₂ /a-S:H y c-Si/SiO ₂ /a-S:H/SiO ₂	108
4.4.2	Estructuras Adicionales	112
4.5	Fabricación del transistor	113
4.6	Condiciones para caracterización espectroscópica	114
4.6.1	Espectroscopía infrarroja (IR)	114
4.6.2	Espectroscopía Raman	115
4.6.3	Espectroscopía elipsométrica (SE)	116
4.6.4	Fotoluminiscencia (PL)	117
4.7	Condiciones para caracterización estructural	117
4.7.1	Difracción de rayos-X (XRD)	117
4.7.2	Microscopía de fuerza atómica (AFM)	118
4.7.3	Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM)	119
4.7.4	Microscopía electrónica de transmisión (TEM)	120
4.8	Condiciones para caracterización eléctrica	125
4.8.1	Mediciones capacitancia-voltaje (C-V)	125
4.8.2	Mediciones corriente-voltaje (I-V)	126

Capítulo 5 Resultados y Discusiones	127
5.1 Caracterización por espectroscopias	128
5.1.1 Espectroscopía Infrarroja (IR).....	128
5.1.2 Espectroscopía Raman	136
5.1.3 Espectroscopía Elipsométrica (SE)	139
5.1.4 Fotoluminiscencia (PL)	147
5.1.5 Espectroscopía por energía dispersiva de rayos-X (EDX).....	148
5.2 Caracterización estructural.....	149
5.2.1 Difracción de rayos-X (XRD)	149
5.2.2 Microscopía de fuerza atómica (AFM)	151
5.2.3 Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM).....	153
5.2.4 Microscopía electrónica de transmisión (TEM).....	156
5.3 Caracterización eléctrica	165
5.3.1 Mediciones corriente-voltaje (I-V).....	165
5.3.2 Mediciones capacitancia-voltaje (C-V).....	174
Capítulo 6 Conclusiones y Perspectivas Futuras	186
6.1 Conclusiones generales	187
6.1.1 Muestras obtenidas por evaporación térmica	187
6.1.2 Estructuras c-Si/SiO ₂ /SiO _{1.15} /SiO ₂ depositadas por evaporación térmica y por r.f. sputtering	189
6.1.3 Muestras depositadas por ECR-CVD.....	190
6.2 Perspectivas futuras.....	191
Referencias	193
Apéndice I “El Nacimiento de la Microelectrónica”	193
Apéndice II “Proceso de Fabricación del Capacitor MOS”	212
Apéndice III “Proceso de Fabricación del Transistor nMOS”	218
Apéndice IV “Simulación del Proceso de Fabricación del Transistor nMOS”	224
Publicaciones de 1er Autor.....	225
Publicaciones de Co-Autor	226
Participaciones en Congresos.....	228
Participación en Proyectos	231

Dedicatoria

A DIOS.

Por ser el centro de mi vida y brindarme las herramientas necesarias para la culminación de esta maravillosa etapa, permitiéndome convertir en realidad un sueño imposible, realizar y culminar mis estudios de Doctorado.

A mis padres, Francisco y Rosita y a mi hermana, María Rosa[†].

In memoriam, (1990).

Por ser la luz que ilumina mi caminar y que gracias a ustedes he logrado llegar hasta aquí y convertirme en lo que soy. He sido muy bendecido al tenerlos como principales directores y es una forma de devolver y agradecer lo que han hecho por mí.

A toda mi familia.

Por su apoyo incondicional, motivación e infinito amor demostrado en cada una de las etapas de mi vida.

A mis amigos “Los de Siempre”.

Por su presencia, apoyo y ánimo en todo momento, porque con ustedes aprendí lo que es tener hermanos. “Cristo Vive”.

A ti, Vianey.

Porque una persona muy valiosa para mí y por todo el amor que me has demostrado, apoyándome y sacrificándote por mí. Eres mi inspiración, TE AMO.

A mí mismo.

Para darme cuenta de que el principal obstáculo se encuentra dentro de uno mismo y que para poder cumplir tus sueños y metas, es necesario imprimirle esfuerzo, paciencia, dedicación y pasión a lo que hacemos. Luchar con convicción, compromiso y fé, siendo siempre fiel a un ideal.

“Con Fé lo Imposible Soñar”.

“Excélsior, siempre más alto, siempre más arriba”.

Agradecimientos

El presente trabajo de tesis doctoral es resultado de un exigente período de investigación, del cual cuya culminación son responsables muchas personas e instituciones a las cuales deseo agradecer:

- Primeramente a mi director de tesis Dr. Mario Curiel y a mi co-director Dr. Nicola Nedev, por la confianza y el apoyo que depositaron en mí para el desarrollo de este proyecto, por su paciencia, dedicación, y riqueza de conocimiento hacia mi persona, en especial por su amistad dentro y fuera del Laboratorio.*
- Agradezco especialmente a: Dr. Benjamín Valdez, Dra. Gisela Montero, Dr. Rogelio Ramos, Dra. Lydia Álvarez, Dr. Miguel Schorr y Dra. Mónica Carrillo, quienes me apoyaron incondicionalmente y fueron pilar importante durante mi formación, así como: C.P. María Isabel Partida, Kenia Rodríguez, Norma, Aurora y María de la Cruz por su asistencia en las cuestiones administrativas, y todo el personal en general del Instituto de Ingeniería de la Universidad Autónoma de Baja California (II-UABC) por la oportunidad brindada de estudiar en un programa de posgrados de calidad como: Maestría y Doctorado en Ciencias e Ingeniería (MyDCI), dentro de la modalidad Doctorado Directo.*
- A la Academia Búlgara de Ciencias del Instituto de Física de Estado Sólido, especialmente a Diana Nesheva por sus aportaciones a este trabajo y a Emil Manolov, por el apoyo en la fabricación de muestras relacionadas a este proyecto.*
- Al personal técnico y administrativo del Centro de Nanociencias y Nanotecnología (CNyN) de la Universidad Nacional Autónoma de México (UNAM), Ensenada B. C., México especialmente a: Dr. Roberto Machorro, Dr. Jesús Siqueiros, Dr. Oscar Contreras y Dr. Oscar Raymond, por permitirme hacer uso de la infraestructura y de los equipos necesarios para desarrollar esta investigación.*
- Al Dr. Robert Pearson, Director del Programa de Microelectrónica en Rochester Institute of Technology (RIT), Rochester NY, EE.UU, por la oportunidad de visitar el Laboratorio de Fabricación Microelectrónica, bajo la supervisión de la Dra. Lydia Álvarez.*

- *Al Centro de Componentes Semiconductores de la Universidad de Campinas (CCS-UNICAMP), São Paulo, Brasil, en especial a su director y mi orientador, Prof. Dr. José Alexandre Diniz y a mi co-orientador Prof. Dr. Segundo Nilo Mestanza Muñoz, así como a la Dra. Melissa Mederos Vidal, por permitirme formar parte de su equipo de trabajo, por el intercambio de conocimiento, aportación de ideas y el apoyo para el desarrollo de esta investigación; así como su buen recibimiento, confianza y amistad brindada durante y después de mi estancia en Brasil.*
- *Al personal técnico y docente del Instituto de Física Gleb Wathagin (IFWG), en especial al Prof. Leandro Tessler y a su estudiante Giácomo, del Departamento de Física Aplicada (DFA-IFGW), por su apoyo en las medidas de fotoluminiscencia. y al Laboratorio Multiusuarios (LAMULT), en especial a Rosane, Eduardo y Fernando, por la disposición y apoyo para el uso del equipo, así como, la aportación de ideas y discusiones sobre los resultados obtenidos.*
- *Al personal técnico y docente del CCS, especialmente a los técnicos: Godoy, Regina, Luana, Audrey, Mara, Eudoxio, Lino, Marco K, Marcos Puydinger, por la ayuda dentro del laboratorio y el conocimiento compartido sobre fabricación y caracterización de dispositivos, así como el intercambio cultural y su amistad dentro y fuera del laboratorio.*
- *A todos mis amigos de la república y del CCS, por su ayuda, disposición e invaluable amistad y cariño.*
- *A mis amigos y colegas del Laboratorio de Semiconductores, Microelectrónica y Nanotecnología (LSMN) y del II-UABC, por los gratos momentos compartidos.*
- *A todos los que de forma directa o indirecta estuvieron involucrados en este proyecto.*
- *Finalmente y muy en especial al Consejo Nacional de Ciencia y Tecnología (CONACyT) por financiar este proyecto de investigación y a la UABC mi alma mater.*

Sinceramente,

Gracias.

Lista de Figuras

Fig. 1-1: Líderes de la industria semiconductora ubicados en la región de Silicon Valley, EUA.	3
Fig. 1-2: Abundancia de materiales en la corteza terrestre.	4
Fig. 1-3: Densidad de transistores utilizados por año en los procesadores, de acuerdo a la Ley de Moore.	5
Fig. 1-4: Clasificación de los dispositivos de memoria.	7
Fig. 1-5: Aplicaciones de los dispositivos de memoria flash.	13
Fig. 1-6: Componentes de una memoria flash.	13
Fig. 1-7: Diagrama esquemático de una memoria MIMIS de compuerta flotante continua.	15
Fig. 1-8: Diagrama esquemático de una memoria con compuerta flotante discreta.	16
Fig. 2-1: Estructura de un capacitor MOS.	23
Fig. 2-2: Bandas de energía de um capacitor MOS ideal en equilibrio térmico correspondiente a un substrato tipo-p (a) y tipo-n (b) [27].	24
Fig. 2-3: Diagrama de bandas de energía para un capacitor MOS en condicion de Acumulación con substrato tipo-p (a) y tipo-n (b), respectivamente [27].	25
Fig. 2-4: Diagrama de bandas de energía para un capacitor MOS en condicion de Agotamiento con substrato tipo-p (a) y tipo-n (b), respectivamente [27].	26
Fig. 2-5: Diagrama de bandas de energía para un capacitor MOS en condicion de Inversión con substrato tipo-p (a) y tipo-n (b), respectivamente [27].	28
Fig. 2-6: Diagrama de bandas de energía y cargas espaciales para un condensador MOS en acumulación, agotamiento e inversión.	28
Fig. 2-7: Cargas asociadas al óxido de silicio [27].	31
Fig. 2-8: Estructura del MOSFET tipo-n [27].	34
Fig. 2-9: Diagrama de bandas del MOSFET [27].	35
Fig. 2-10: Polarización del MOSFET de tres terminales [54].	37
Fig. 2-11: Representación de un MOSFET en Saturación, cuando se presenta el fenómeno de pinch-off [27].	38
Fig. 2-12: Curva característica del MOSFET y zonas de operación.	39
Fig. 2-13: Configuración del MOSFET de cuatro terminales.	40
Fig. 2-14: Estructura del MOSFET de empobrecimiento tipo-n.	41

Fig. 2-15: Curva V_{DS} - I_{DS} característica del nMOSFET de empobrecimiento.	41
Fig. 2-16: Tendencia de la longitud del canal en los MOSFET.	42
Fig. 2-17: Sección transversal de un transistor con tecnología CMOS.	44
Fig. 2-18: Compuerta Inversor fabricada con tecnología CMOS.	44
Fig. 2-19: Comparación entre dispositivos de memoria con CFC (a) y CFD que contienen Si NCs (b).	45
Fig. 2-20: Esquema de una memoria con CFD y su proceso de escritura (a), almacenamiento(b) y borrado (c) [32].	46
Fig. 3-1: Método de crecimiento cristalino “Czochralsky”.	49
Fig. 3-2: Cortes característicos en una oblea de dopaje tipo-p con orientación 100 (a) y 111 (b). Así como de dopaje tipo-n con orientación 100 (c) y 111 (d), respectivamente [6].	49
Fig. 3-3: Horno para tratamientos térmicos.	52
Fig. 3-4: Esquema de un implantador de iones.	54
Fig. 3-5: Perfil de concentración para implantación iónica.	55
Fig. 3-6: Perfil de concentración para difusión de Fósforo en Silicio, correspondiente a una función erfc.	57
Fig. 3-7: Proceso de litografía óptica [6].	59
Fig. 3-8: Diagrama del proceso de evaporación térmica [59].	61
Fig. 3-9: Sistema de erosión iónica [59].	62
Fig. 3-10: Sistema de ECR-CVD.	63
Fig. 3-11: Espectro de radiación electromagnética.	64
Fig. 3-12: Modos de vibración molecular.	65
Fig. 3-13: Diagrama de energías para representar la interacción luz-materia, estudiada por Raman y las técnicas complementarias de IR y Fluorescencia.	67
Fig. 3-14: Polarización de la luz en su forma lineal (a), circular (b) y elíptica (c).	69
Fig. 3-15: Análisis del cambio de la polarización de la luz por elipsometría.	70
Fig. 3-16: Diagrama de flujo para obtención de las diferentes propiedades [68].	71
Fig. 3-17: Ángulo de Brewster.	73
Fig. 3-18: Emisión de rayos-X.	74
Fig. 3-19: Fenómeno de emisión de luz por PL.	75

Fig. 3-20: Fenómeno de difracción de rayos-X.....	76
Fig. 3-21: Esquema de un AFM.....	77
Fig. 3-22: Microscopio con sistema de doble columna: FIB/SEM [77].	80
Fig. 3-23: Comparación de la estructura interna de las diferentes clases de microscopios.	82
Fig. 3-24: Curva C-V normalizada para bajas frecuencias de un capacitor MOS, con substrato tip-p y tipo-n.	85
Fig. 3-25: Curva C-V de un capacitor pMOS a baja frecuencia (a), frecuencia intermedia (b), alta frecuencia (c), inversión profunda (d). Asumiendo un voltaje de bandas planas $V_{fb}=0$ [27].....	87
Fig. 3-26: Variación de la curva C-V en alta frecuencia debido a la presencia de cargas en el óxido: Q_f (a); Q_m (b); Q_{it} (c); Q_{ot} (d); con respecto a la curva ideal de un capacitor MOS (línea punteada) [53].	89
Fig. 3-27: Mecanismo de operación de una memoria con CFD (a). Operación de borrado (b) y operación de escritura (c).	90
Fig. 3-28: Comparación entre una medida de capacitancia y una de conductancia sobre estructuras MOS medidas a dos frecuencias distintas [27, 52].	91
Fig. 3-29: Curva I-V típica.	93
Fig. 3-30: Diagrama de bandas de los mecanismos de conducción: tunelaje directo (a), Fowler-Nordheim (b), Emisión Schottky (c) y emisión Frenkel-Poole (d) [27]. ..	96
Fig. 4-1: Oblea con orientación 100 y dopaje tipo-p (a) y tipo-n (b), utilizadas en este proyecto de investigación.	98
Fig. 4-2: Equipo utilizado para determinar el grosor en una oblea (a) y tipo de dopaje (b). ...	99
Fig. 4-3: Equipo utilizado para determinar la resistividad de la oblea (a), usando un equipo de cuatro puntas (b).	99
Fig. 4-4: Área condicionada para manipular productos químicos (a). Hot-plate y recipiente con solventes para realizar procesos químicos de limpieza sobre muestras (b).	101
Fig. 4-5: Equipo RIE utilizado para remover photoresist.	101
Fig. 4-6: Representación de las estructuras c-Si/SiO _x analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).	103

Fig. 4-7: Representación de las estructuras c-Si/SiO ₂ /SiO _x analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).	105
Fig. 4-8: Representación de las estructuras c-Si/SiO ₂ /SiO _x analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).	107
Fig. 4-9: Equipo utilizado para depositar las capas dieléctricas, modelo PLASMA THERM 770 (a), acoplado a un sistema ECR-CVD (b) y además cuenta con una ante-cámara (c).	108
Fig. 4-10: Horno para tratamientos térmicos, modelo THERMCO SYSTEMS.	110
Fig. 4-11: Equipo de sputtering ULVAC system MCH-9000, utilizado para metalizar las muestras con aluminio.	111
Fig. 4-12: Representación de la sección transversal de estructuras SiO ₂ /a-Si:H (a) y SiO ₂ /a-Si:H/SiO ₂ (b) fabricadas por ECR-CVD, así como sus capacitores MOS correspondientes (c), (d).	112
Fig. 4-13: Estructuras fabricadas para realizar análisis por RAMAN y XRD.	112
Fig. 4-14: Etapa #15 de la fabricación de transistores: definición de la compuerta del transistor.	113
Fig. 4-15: Equipo Perkin Elmer Spectrum One FTIR.	114
Fig. 4-16: FTIR 6100.4. Equipo JASCO.	115
Fig. 4-17: Raman cofocal+AFM, modelo NT-MDT Ntegra-Spectra.	115
Fig. 4-18: J.A. Woollam EC 110 Multi-Wavelength Ellipsometer.	116
Fig. 4-19: Elipsómetro RUDOLPH/Auto-EL NIR 3.	116
Fig. 4-20: Estación utilizada para realizar medidas de PL.	117
Fig. 4-21: Difractómetro Bruker modelo D8 Advance.	118
Fig. 4-22: nanoSurf easy Scan 2 Flex AFM.	118
Fig. 4-23: Sistema Dual FIB: FEI Nanolab 200.	119
Fig. 4-24: Cortadora de disco de diamante.	120
Fig. 4-25: Estructura utilizada para adelgazar mecánicamente la muestra.	121
Fig. 4-26: Trípode especial para pulido mecánico con montaje de la muestra sobre el cuarzo.	121
Fig. 4-27: Pulidora (a) y paños (b) utilizados para adelgazamiento mecánico.	122

Fig. 4-28: Geometría transversal de una muestra, después del adelgazamiento mecánico. ...	122
Fig. 4-29: Equipo de Ion milling.	123
Fig. 4-30: Rejilla de ranura para TEM donde se colocó la muestra adelgazada.	123
Fig. 4-31: TEM modelo JEM-2010 utilizado para el análisis estructural.	124
Fig. 4-32: Medidor LCR de alta precisión (a) y analizador de dispositivos semiconductores (b).	125
Fig. 4-33: Equipos de medición C-V (a) y estación de prueba (b).	125
Fig. 4-34: Keithley 4200 SCS Semiconductor Characterization System (a) y estación de prueba para mediciones I-V (b).	126
Fig. 5-1: Espectro IR de muestras bicapa con $\text{SiO}_{1.3}$ y grosor de 100nm.	128
Fig. 5-2: Espectro IR de muestras c-Si/ SiO_2 / SiO_x con composición $x=1.15$ (a) y $x=1.3$ (b), con un grosor de $\sim 100\text{nm}$	129
Fig. 5-3: Espectros de FTIR obtenidos para las muestras $\text{SiO}_2/\text{a-Si:H}$ con recocido a diferentes temperaturas.	131
Fig. 5-4: Espectro de FTIR obtenido para las muestras $\text{SiO}_2/\text{a-Si:H/SiO}_2$ a diferentes temperaturas de recocido.	131
Fig. 5-5: Comparación del modo de vibración Si-Si obtenidos por FTIR, para ambas estructuras. Comparando FWHM (a) y la posición del pico (b) respecto a la temperatura de recocido.	132
Fig. 5-6: Relación entre la temperatura y FWHM (a), así como entre la posición del pico (b), tomando como referencia el pico máximo característico del modo de vibración Si-O-Si, obtenido por FTIR para ambas estructuras.	133
Fig. 5-7: Espectro IR de una muestra $\text{SiO}_2/\text{a-Si:H/SiO}_2$ recocida a 1100°C	134
Fig. 5-8: Espectros de IR obtenidos para muestras de Si amorfo sin recocido y con recocido a 800°C y 1100°C	135
Fig. 5-9: Espectros Raman de capas SiO_x con recocido a 700°C y 1000°C , depositadas sobre sustratos de cuarzo y c-Si [103].	136
Fig. 5-10: Espectro Raman del sustrato, muestra de control y con recocido a 800°C y 1100°C	138

Fig. 5-11: Ajustes obtenidos de Ψ (a) y Δ (b) en función de la longitud de onda utilizando el modelo EMA a diferentes ángulos de incidencia: 65°, 70° y 75° sobre las estructuras dieléctricas que contienen Si NCs.	140
Fig. 5-12: Índice de refracción (n) y coeficiente de extinción (k) vs. longitud de onda (λ) de la región que contiene Si NCs. Curvas obtenidas de los mejores ajustes de los datos experimentales usando el modelo de Bruggemann’s EMA de las muestras recocidas a 1000°C.	141
Fig. 5-13: Ajustes realizados sobre Ψ (a), Δ (b) vs longitud de onda utilizando el modelo EMA a diferentes ángulos de incidencia: 65°, 70° y 75° sobre las estructuras dieléctricas que contienen nanopartículas amorfas de Si.	142
Fig. 5-14: Índice de refracción (n) y coeficiente de extinción (k) vs. longitud de onda (λ) de la región que contiene nanopartículas amorfas de Si. Curvas obtenidas de los mejores ajustes obtenidos usando el modelo de Bruggemann’s EMA sobre las muestras recocidas a 700°C/800°C.	143
Fig. 5-15: Índice de refracción (a) y grosor (b) obtenido de las estructuras recocidas a diferentes temperaturas.	146
Fig. 5-16: Espectro de PL obtenido de las muestras SiO ₂ /a-Si:H/SiO ₂ recocidas a 800°C y 1100°C.	147
Fig. 5-17: Espectro EDX de la muestra a-Si:H/SiO ₂ (a) y SiO ₂ /a-Si:H/SiO ₂ (b).	148
Fig. 5-18: Difractograma de las estructuras SiO ₂ /a-Si:H/SiO ₂ sin recocido (a), recocido a 800°C (b) y 1100°C (c).	149
Fig. 5-19: Imágenes de AFM de la capa de a-Si:H sin recocido (a), con recocido a 800°C (b) y 1100°C (c)	152
Fig. 5-20: Imágenes SEM de la vista superior de los capacitores MOS (a) y su diámetro (b), fabricados por litografía. Se determinó el grosor del Al depositado por r.f. sputtering (c) y su morfología superficial (d).	153
Fig. 5-21: FIB/SEM deposición de platina (a), devastación iónica (b) y corte transversal del capacitor (c).	154
Fig. 5-22: Imágenes FIB/SEM obtenidas de estructuras SiO ₂ /a-Si:H/SiO ₂ sin recocido (a), recocido a 800°C (b) y 1100°C (c).	155

Fig. 5-23: Imagen de TEM de la sección transversal (XTEM) de una muestra de control de la estructura c-Si/SiO _{1.3} .	156
Fig. 5-24: Micrografía TEM de una muestra de ~60nm recocida en N ₂ a 1000°C por 60min, Si NCs son observados como puntos con contraste diferente. El extremo izquierdo muestra la imagen de un nanocrystal y al extremo derecho la FFT.	157
Fig. 5-25: Imagen TEM de una muestra de ~100nm recocida en N ₂ a 1000°C por 60min, Si NCs son observados como puntos con contraste diferente.	158
Fig. 5-26: Imágenes TEM de sección transversal de las muestras de ~60nm y composición x=1.3, para una oxidación de 5min (a) y para 10min de O ₂ (b).	159
Fig. 5-27: Imágenes TEM de sección transversal de las muestras de ~100nm y composición x=1.3, para una oxidación de 10min (a) y para 15min de O ₂ (b).	160
Fig. 5-28: Micrografías de TEM en sección transversal de compuertas dieléctricas tricapa que contienen nanopartículas de Si cristalino (a) y amorfo (b).	161
Fig. 5-29: Micrografías de TEM en alta resolución de la sección transversal de las compuertas dieléctricas tricapa que contienen nanopartículas de Si cristalinas (a) y amorfas (b).	162
Fig. 5-30: Sección transversal de la muestra de control. Un acercamiento nos permite determinar el grosor del óxido crecido térmicamente.	163
Fig. 5-31: Sección transversal de las muestras recocidas a 30min (a) y 60min (b) en N ₂ a 1000°C. Acercamientos en alta resolución se realizaron para determinar el diámetro de los Si NCs obtenidos por el recocido.	164
Fig. 5-32: Mediciones I-V de estructuras MOS de 60nm con composición SiO _{1.3} en escala semi-logarítmica. Curvas obtenidas de la muestra de control y las muestras con recocido.	166
Fig. 5-33: Mediciones I-V de la muestra con espesor de ~100nm con tiempo de oxidación de 15min en escala semi-logarítmica.	166
Fig. 5-34: Medición I-V de una muestra de SiO _{1.3} con espesor de 60nm y 5min de O ₂ en escala semi-logarítmica. Donde se observa la aparición de una pequeña corriente a causa de los portadores inyectados por el substrato.	167

Fig. 5-35: Características I-V de las muestras de 60nm con composición $x=1.3$. La parte positiva del voltaje, mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim.....	168
Fig. 5-36: Características I-V de las muestras de 60nm con composición $x=1.3$. La parte negativa del voltaje, mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim.....	169
Fig. 5-37: Parte positiva del voltaje mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim de la muestra de $\sim 100\text{nm}$ con 15min de O_2	170
Fig. 5-38: Dependencia I-V de muestras c-Si/SiO _{1.15} con espesor de 100nm.	171
Fig. 5-39: Dependencia I-V de muestras c-Si/SiO ₂ /SiO _{1.15} con espesor de 100nm.....	172
Fig. 5-40: Curvas I-V de estructuras Al/c-Si/SiO ₂ /a-Si:H/SiO ₂ /Al recocidas a 800°C (a) y 1100°C (b) con un proceso de recocido en forming gas por 20min.....	173
Fig. 5-41: Dependencias C-V de muestras c-Si/SiO ₂ /SiO _{1.15} recocidas en N ₂	174
Fig. 5-42: Curvas C-V de las estructuras c-Si/SiO ₂ /SiO _{1.3} con 20min de oxidación, medidos a 1MHz en capacitores MOS con electrodos de Al.	175
Fig. 5-43: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N ₂ , a diferentes frecuencias.	178
Fig. 5-44: Grafica G-V de las muestras recocidas a 1000°C por 30min en N ₂ después de la corrección de resistencia en serie.	179
Fig. 5-45: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N ₂ , cargada negativamente con electrones inicialmente y después de 12hrs.	180
Fig. 5-46: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N ₂ , cargada positivamente con huecos inicialmente y después de 12hrs.....	180
Fig. 5-47: Dependencias C–V de muestras SiO ₂ /a-Si:H/SiO ₂ sin recocido.	181
Fig. 5-48: Dependencias C–V de muestras recocidas a 800°C y posteriormente 20min en forming gas.	182
Fig. 5-49: Curva C–V obtenida de capacitores MOS tricapa recocidos a 1100°C y posteriormente 20min en forming gas.	184
Fig. 5-50: Relación entre la ventana de memoria y la temperatura de recocido.....	185

Lista de Tablas

<i>Tabla 1-1: Comparación entre los diferentes dispositivos de memoria semiconductoras.</i>	<i>14</i>
<i>Tabla 4-1: Muestras c-Si/SiO_x fabricadas.</i>	<i>102</i>
<i>Tabla 4-2: Muestras c-Si/SiO₂/SiO_x fabricadas.</i>	<i>104</i>
<i>Tabla 4-3: Muestras c-Si/SiO₂/SiO_x/SiO₂ fabricadas.</i>	<i>106</i>
<i>Tabla 4-4: Parámetros de la cámara del sistema ECR-CVD utilizados para la deposición. ..</i>	<i>109</i>
<i>Tabla 4-5: Parámetros para depositar óxido de Si por ECR-CVD.</i>	<i>109</i>
<i>Tabla 4-6: Parámetros para depositar Si amorfo hidrogenado por ECR-CVD.</i>	<i>109</i>
<i>Tabla 4-7: Proceso de tratamiento térmico en alta temperatura, aplicado en las muestras fabricadas por ECR-CVD.</i>	<i>110</i>
<i>Tabla 4-8: Parámetros utilizados para depositar Al por r.f. sputtering.</i>	<i>111</i>
<i>Tabla 5-1: Espesores obtenidos de las estructuras que contienen Si NCs.</i>	<i>140</i>
<i>Tabla 5-2: Porcentaje de fracciones volumétricas en la capa que contiene los Si NCs, de las muestras tricapa recocidas a 1000°C.</i>	<i>141</i>
<i>Tabla 5-3: Espesores obtenidos de las estructuras que contienen nanopartículas amorfas de Si.</i>	<i>142</i>
<i>Tabla 5-4: Porcentaje de fracciones volumétricas en la capa que contiene nanopartículas amorfas, de las muestras tricapa recocidas a 700/800°C.</i>	<i>143</i>
<i>Tabla 5-5: Espesores de las diferentes regiones determinadas por TEM y SE.</i>	<i>144</i>

Resumen

El objetivo principal de este trabajo es la fabricación y caracterización de estructuras Metal-Óxido-Semiconductor (MOS) con una compuerta dieléctrica que contiene nanoclusters de silicio cristalino y/o amorfo auto-ensambladas (Si NCs) dentro de una matriz de óxido amorfo. Las nanopartículas embebidas en un óxido de compuerta pueden ser utilizadas como centros de almacenamiento de carga en un dispositivo de memoria no-volátil con compuerta flotante discreta. Las estructuras con dos y tres capas dieléctricas se fabricaron empleando diferentes técnicas, tales como: oxidación térmica, evaporación térmica, pulverización catódica por r.f. y deposición de vapor químico asistida por resonancia ciclotrónica de electrones (ECR-CVD).

Las estructuras dieléctrico/semiconductor obtenidas, fueron sometidas a procesos de recocido bajo diferentes condiciones, por lo que se estudió el efecto de la temperatura de recocido, el tiempo y la atmósfera sobre las propiedades de las nanopartículas de silicio obtenidas, así como, en la matriz dieléctrica.

Resultados obtenidos por caracterización óptica y estructural demostraron la formación de dos regiones en las capas de SiO_x con $x=1.15$ y 1.3 , mediante la variación de la atmósfera durante el proceso de recocido. La primera región, bajo la superficie superior, es un material amorfo con composición homogénea cercana al dióxido de silicio, mientras que la segunda región contiene nanopartículas de silicio cristalino y/o amorfo en función de la temperatura de recocido. La compuerta dieléctrica con doble región se obtuvo en las estructuras c-Si/ SiO_x y c-Si/ $\text{SiO}_2/\text{SiO}_x$ mediante un recocido en alta temperatura de doble etapa a 700°C y 1000°C durante 60 min en atmósferas $\text{N}_2/\text{N}_2+\text{O}_2$. El diámetro promedio de las nanoclusters formados es $\sim 4\text{-}6\text{nm}$ y su fracción volumétrica se encuentra entre 19 y 28 vol. %.

Mediciones de capacitancia-voltaje y corriente-voltaje, se utilizaron para determinar la ventana de memoria, tiempos de retención y el mecanismo de conducción en los capacitores MOS con Si NCs. Los resultados obtenidos mostraron que los dieléctricos de compuerta de tres capas que contienen nanoclusters de silicio tienen potencial para ser aplicados en dispositivos de memoria no-volátil. Adicionalmente las estructuras MOS con Si NCs estudiadas, indicaron que también son prometedoras para la fabricación de sensores de luz.

Abstract

The main goal of this work is fabrication and characterization of Metal-Oxide-Semiconductor (MOS) structures with a gate dielectric containing self-assembled crystalline and/or amorphous silicon nanoclusters (Si NCs) in an amorphous oxide matrix. Nanoclusters embedded in a gate oxide can serve as centers of charge storage in a discrete-floating gate non-volatile memory device. Structures with two and three dielectric layers were fabricated employing different techniques, such as thermal oxidation, thermal evaporation, r.f. sputtering and Electron Cyclotron Resonance-Chemical Vapor Deposition (ECR-CVD).

The obtained dielectric/semiconductor structures were subjected to annealing processes under different conditions. The effect of the annealing temperature, time and atmosphere on the properties of the formed Si NCs as well as on the dielectric matrix has been studied.

Optical and structural characterizations proved formation of two regions in SiO_x layers with $x=1.15$ and 1.3 by varying the atmosphere during the annealing process. The first region, under the top surface, is a homogeneous amorphous material with composition close silicon dioxide, while the second one contains crystalline and/or amorphous silicon nanoclusters depending on the annealing temperature. The two-region gate dielectrics have been obtained in c-Si/ SiO_x and c-Si/ SiO_2 / SiO_x structures by a two-step high temperature annealing at 700°C and 1000°C for 60min in $\text{N}_2/\text{N}_2+\text{O}_2$ atmospheres. The average diameter of the formed nanoclusters is $\sim 4\text{-}6\text{nm}$ and their volume fraction is between 19 and 28 vol. %.

Capacitance-voltage and current-voltage measurements were used to determine the memory window, retention times and conduction mechanism in MOS capacitors with Si NCs. The obtained results showed that three-layer gate dielectrics containing silicon nanoclusters have potential for application in non-volatile memories devices. MOS structures with Si NCs are also promising for fabrication of light sensors.

Capítulo 1

Introducción

*“Lo que sabemos es una gota de agua, lo que ignoramos es un océano;
la admirable disposición y armonía del universo, no ha podido sino salir del plan
de un ser omnisciente y omnipotente...”*

Isaac Newton (1642-1727).

Físico y matemático inglés, fundador de la Física teórica clásica.

Este capítulo muestra un panorama acerca del surgimiento de la industria semiconductora y el impacto que causa su desarrollo en nuestra sociedad y en la vida cotidiana. Adicionalmente se hace una breve explicación sobre el área de estudio y la problemática que se presenta, para finalmente aportar un conocimiento adicional en este sentido, con el tema desarrollado en este proyecto.

1.1 La importancia del silicio en la industria semiconductora

En las últimas décadas se ha desarrollado exponencialmente el uso del silicio (Si) como el material semiconductor por excelencia, siendo usado principalmente en la fabricación de dispositivos electrónicos, ópticos y celdas solares, por lo que diversas tecnologías han surgido, usando este semiconductor como base y/o elemento principal para su operación. Este desarrollo y crecimiento tan impresionante ha dado pie a la constante búsqueda de la miniaturización de dispositivos, a través de diversas técnicas ópticas, químicas y electrónicas. Como objetivos principales para la reducción del tamaño de los dispositivos está el incrementar el número de componentes por unidad de área, el incremento de la densidad de información, la velocidad de transferencia y reducir el costo de fabricación por dispositivo [1].

La industria semiconductora se encuentra dominada actualmente por Estados Unidos, seguido de Japón, Taiwán, la Unión Europea, Corea del Sur y China, según los reportes realizados por las agencias correspondientes como: *WSTS—World Semiconductor Trade Statistics*, *ITRS—International Technology Road Semiconductor*, entre otras. El objetivo es asegurar avances rentables en el rendimiento de circuitos integrados y dispositivos avanzados, así como sus aplicaciones, asegurando el éxito de esta industria en el mercado [2, 3]. Gran parte del liderazgo de Estados Unidos en la industria semiconductora se debe a que en los años 50's surgieron las primeras empresas en desarrollo de dispositivos, geográficamente localizadas en la parte sur de la bahía de San Francisco y al norte de la ciudad de San José, California, bautizada y reconocida mundialmente como: El valle del silicio (*Silicon Valley*), esta región comprende en la actualidad gran parte de las mayores industrias semiconductoras del mundo tales como: *Intel*, *IBM*, *Microsoft*, *Apple*, *hp*, *AMD*, *Toshiba*, entre otras (Fig. 1-1).



Fig. 1-1: Líderes de la industria semiconductora ubicados en la región de Silicon Valley, EUA.

La importancia de los materiales semiconductores por parte del sector industrial, surge debido a que bajo ciertas condiciones adquieren un comportamiento similar al de un material conductor o al de un aislante, es decir, permite o no el paso de una corriente eléctrica a través del material. Gracias a esto, uno de los primeros materiales semiconductores en recibir amplia atención para su uso en la fabricación de dispositivos fue el germanio (Ge), pero debido a su inestabilidad a altas temperaturas, niveles de voltajes y su rápida reacción con el ambiente, fue rápidamente reemplazado por el silicio al comienzo de los 60's. El silicio surgió como el material dominante debido a sus propiedades y características, por ejemplo: i) se oxida fácilmente y forma un óxido de excelente calidad que puede ser utilizado como un muy buen aislante, algo que es indispensable para la fabricación e integración de dispositivos electrónicos y optoelectrónicos, ii) es el segundo material más abundante en la naturaleza, después del oxígeno (O_2) (Fig. 1-2), lo que representa la posibilidad de reducir costos para su obtención [4], iii) presenta una mayor estabilidad ante variaciones de temperatura y niveles de voltaje, pues las bandas de energía se encuentran más separadas que en el germanio.

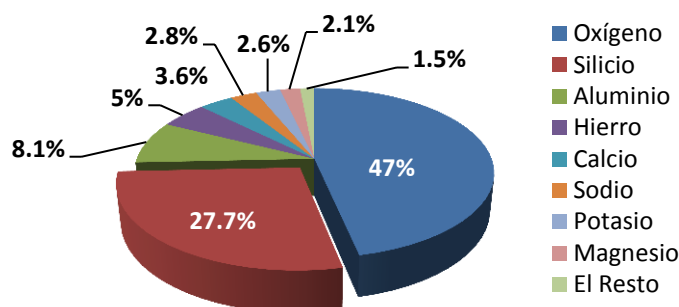


Fig. 1-2: Abundancia de materiales en la corteza terrestre.

Aunque la investigación nos lleva a descubrir y utilizar diferentes materiales, también se utilizan ciertas combinaciones entre elementos de la tabla periódica del grupo III A y V A, así como de los grupos IV A y VI A, para obtener materiales semiconductores con excelentes características y aplicaciones de acuerdo a la necesidad. Algunos ejemplos de los compuestos más utilizados para la fabricación de dispositivos electrónicos, ópticos y celdas solares son: *arseniuro de galio (GaAs)*, *fosfato de indio (InP)*, *nitruro de galio (GaN)*, *arseniuro de indio galio (InGaAs)* y materiales novedosos como: *grafeno*, *nanotubos de carbono*, *plásticos*, *semiconductores orgánicos* y *materiales flexibles*, que se están utilizando para desarrollar dispositivos electrónicos semiconductores [5]. El surgimiento y desarrollo de un material capaz de revolucionar la industria semiconductora, es muy grande pues la ciencia y la tecnología avanzan a una velocidad vertiginosa con paso agigantado; pero podemos afirmar que el Si continuará siendo el material por excelencia y base fundamental de la industria semiconductora o al menos en los próximos años antes de que surja un sucesor.

La industria semiconductora, es de las principales interesadas en la evolución de la tecnología de los dispositivos, y su necesidad de reducir el tamaño de los mismos, nos ha llevado al desarrollo e implementación de nuevas técnicas de fabricación y caracterización que nos permiten observar, medir, depositar y remover átomos y moléculas, por lo que un material independientemente de su tamaño conserva las mismas propiedades; es aquí donde radica la importancia del tamaño de integración. Aunque por otro lado al disminuir las dimensiones de los dispositivos, nos enfrentamos a diversos retos tecnológicos que dificultan e imposibilitan los procesos de fabricación y caracterización. El poder conservar las propiedades de un material sin importar su tamaño es un nicho de oportunidades para el desarrollo de nuevas y mejores

tecnologías. La introducción al mercado de tecnologías con aplicaciones que solamente existen en la teoría o en la imaginación, pueden ser una realidad.

En la actualidad, la tasa de integración de los dispositivos electrónicos se encuentra controlada y monitoreada por la *Ley de Moore*, formulada en 1965 por *Gordon Moore*, co-fundador de *Intel*, la cual establece que: *La densidad de transistores fabricados en una oblea semiconductora se duplicará cada dos años*, esta ley ha tenido una gran transcendencia pues ha pronosticado el avance tecnológico de esta área [6]. En la Fig. 1-3, se puede apreciar una relación aproximada entre el número de transistores utilizados en los procesadores desde los años 70’s a la actualidad, claramente se puede observar una comparación entre la tendencia estimada por la Ley de Moore y el número de transistores por año, sorprendentemente ambas curvas son muy similares y hasta nuestros días esta predicción se ha cumplido. Grandes esfuerzos en todo el mundo se están llevando a cabo para continuar con esta tendencia en los años venideros, así como lo hicieron los primeros pioneros que le dieron vida a la microelectrónica (*Apéndice I*).

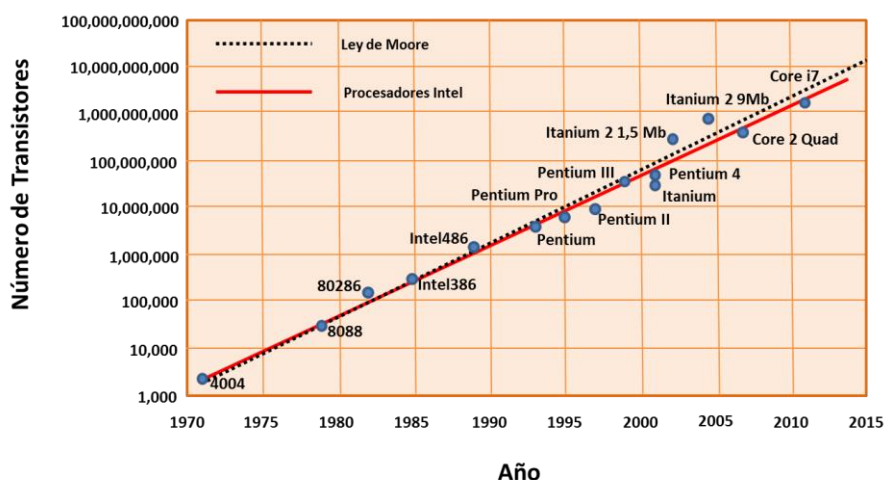


Fig. 1-3: Densidad de transistores utilizados por año en los procesadores, de acuerdo a la Ley de Moore.

La integración de los dispositivos semiconductores es posible a través del uso de una delgada capa de material denominada *película*, la cual cuenta con un grosor de orden nanométrico, es preciso señalar que el prefijo nano- proviene del latín *nanus*, que significa enano, por lo que al hablar de nanómetros (*nm*) nos referimos a una escala que corresponde a la milmillonésima parte (1/1 000 000 000) de un metro y cuyas dimensiones son empleadas para medir átomos y moléculas. Es importante señalar que cuando se construyen estructuras semiconductoras con dimensiones nanométricas, aparecen fenómenos interesantes que pueden ser aplicados y aprovechados en el desarrollo de dispositivos electrónicos y optoelectrónicos. El desarrollo de estos dispositivos con tales dimensiones, modifican las propiedades eléctricas y ópticas, cambiando completamente su comportamiento a cuando se encuentra el mismo material en *bulto* (orden de los micrómetros), por lo que sus propiedades son estudiadas, modeladas y comprendidas a través de las leyes de la *Mecánica Cuántica*. Los fenómenos cuánticos se deben al confinamiento de portadores de carga (electrones, huecos y excitones), dentro de una región de tamaño nanométrico de un material semiconductor, lo que se ha dado por llamar punto cuántico (*QD—Quantum Dot*) [7]. Por esta razón, estructuras semiconductoras con *QD*'s embebidos han sido investigadas para su potencial aplicación en dispositivos de nueva generación tales como: i) diodos emisores de luz, ii) sensores de luz visible, infrarrojo (*IR*), ultravioleta visible (*UV-VIS*), iii) dosímetros de radiación ionizante, iv) celdas solares de tercera generación y v) especialmente en dispositivos de memoria [8].

1.2 Dispositivos de memoria y su clasificación

Hoy en día, nuestro mundo se encuentra globalizado por dispositivos electrónicos portátiles y personalizados. En las últimas décadas el desarrollo exponencial de la industria semiconductor y la demanda por sus productos electrónicos portátiles, tales como: teléfonos celulares, computadoras personales, tabletas, cámaras de video, reproductores de música, sistemas de posicionamiento global (*GPS—Global Positioning System*), entre los más importantes comercialmente hablando; requieren de dispositivos capaces de retener una mayor densidad de información, aumento de la velocidad de transferencia de datos sin pérdidas.

Una memoria es un dispositivo capaz de almacenar información en forma de datos y/o instrucciones para posteriormente ser utilizada y ejecutar una acción. Esta información puede ser almacenada de forma temporal o permanente, ya sea por medios magnéticos [9], ópticos [10] o electrónicos. Algunos ejemplos de estos tipos de memoria se indican en la Fig. 1-4.

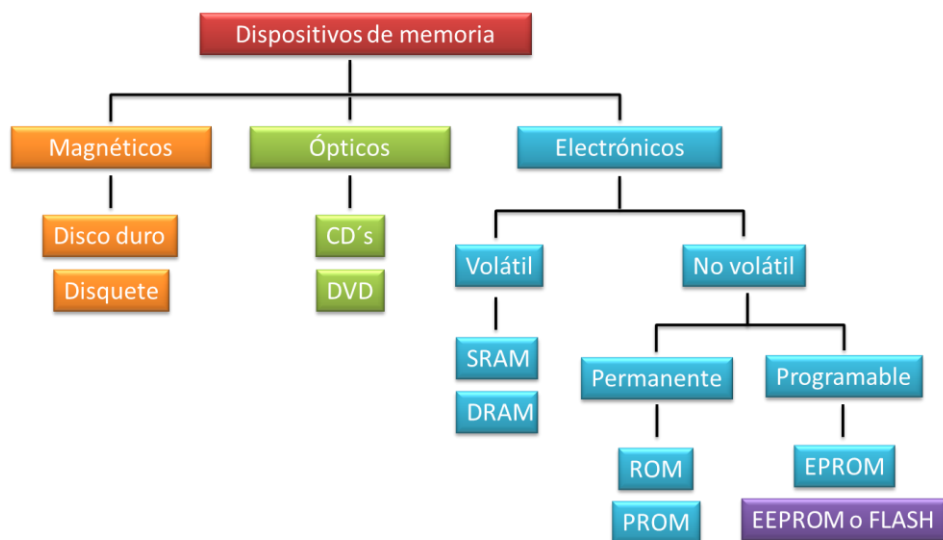


Fig. 1-4: Clasificación de los dispositivos de memoria.

En la actualidad, el almacenamiento electrónico es el medio más utilizado y prometedor para la transferencia y el almacenamiento de la información, ya que el tiempo de acceso es mucho menor y la capacidad de almacenamiento es mucho mayor, en comparación con los dispositivos de medio magnético y óptico, por el contrario la desventaja principal de los dispositivos de almacenamiento electrónico es el costo de fabricación. Las memorias electrónicas también conocidas como memorias de estado sólido, requieren de la aplicación de un campo eléctrico para almacenar y procesar la información de manera digital o analógica. La mayoría de las memorias de estado sólido almacenan electrónicamente la información de forma permanente en ausencia de campo eléctrico, y se conocen como: *Memoria No-Volátil (MNV)*. En su contraparte los tipos de memorias que pierden la información en ausencia de campo eléctrico se conocen como: *Memoria Volátil (MV)*, pero su velocidad de operación es mayor comparada a las MNV.

La unidad de información mínima almacenada en datos y/o instrucciones se conoce como “*bit*” y se puede representar en dos estados o valores como: encendido o apagado; verdadero o falso. Dicha información puede codificarse y representarse mediante un dígito: uno (1) o cero (0) lógico; de forma similar un octeto de bits es comúnmente conocido como “*byte*” y es considerado la *unidad de capacidad de almacenamiento estándar*. Con esta unidad de medida se determina desde el almacenamiento de datos hasta la capacidad de memoria de un ordenador con arquitectura *Von Neumann* o *Harvard* y puede representar cualquier carácter (número, letra, palabras y símbolos. Así pues, todas las memorias poseen tres puntos básicos y fundamentales:

1. *Densidad de información*: *Es la capacidad de almacenamiento de información disponible en el dispositivo de memoria.*
 2. *Velocidad de operación*: *Tiempo que transcurre desde que se ejecuta una instrucción hasta que dicha operación finaliza.*
 3. *Costo por bit*: *Es la relación entre la capacidad de almacenamiento y la velocidad de operación, que sirve para satisfacer la demanda de rendimiento y un costo de fabricación que no sea excesivo.*
- ❖ Estos tres puntos compiten entre sí y generalmente se cumplen las siguientes relaciones:
- a. *Incremento de la densidad de información, decremento de la velocidad de operación.*
 - b. *Incremento de la velocidad de operación, incremento del costo por bit.*
 - c. *Incremento de la densidad de información, decremento del costo por bit.*

De esta manera podemos asegurar que el dispositivo de memoria ideal sería aquella que tenga la máxima capacidad de almacenamiento con la mayor velocidad de operación y al menor costo de fabricación posible, sin olvidarnos del factor de integración.

Es importante señalar que en la actualidad, la mayoría de los circuitos integrados que se fabrican, por ejemplo: *microprocesadores, procesadores digitales de señales y memorias*, utilizan la tecnología *CMOS—Complementary Metal-Oxide-Semiconductor*, la cual consiste en la fabricación conjunta de transistores del tipo *pMOS* y *nMOS* configurados de tal forma que, en estado de reposo, el consumo de energía sea únicamente debido a las corrientes parásitas.

1.2.1 Dispositivos de memoria volátil

Los dispositivos de MV más comunes y utilizados son las memorias de acceso aleatorio (RAM—*Random Access Memory*), las cuales almacenan datos temporalmente lo que les permite leer y escribir instrucciones; además esta memoria auxilia a la *Unidad Central de Procesamiento* (CPU—*Central Processing Unit*) o *Microprocesador* para almacenar archivos y programas que están siendo ejecutados. El término aleatorio se refiere a que puede tener acceso a cualquier posición en cualquier momento, es decir no debe seguir el cumplimiento de una secuencia de instrucciones, aunque actualmente existen otro tipo de memorias que permiten este tipo de programación y por tanto el nombre más adecuado para estos dispositivos sería: *Memorias de lectura/escritura* [11].

Entre las memorias RAM más comunes, se encuentran: i) RAM estática (SRAM—*Static RAM*) y ii) RAM dinámica (DRAM—*Dynamic RAM*).

Las memorias SRAM están basadas en la tecnología CMOS y son capaces de almacenar datos mientras esté alimentada y las instrucciones pueden ser escritas/leídas en cualquier orden, independientemente de la posición. Una memoria convencional de este tipo está conformada por seis transistores MOS para almacenamiento de cada bit, pero es posible encontrar memorias conformadas hasta con ocho, diez, doce o más transistores por bit, implementado para más de un puerto de lectura o escritura [12]. Esta memoria cuenta con tres estados distintos de operación: i) *standby*, en el cual el circuito está en reposo, ii) *reading* o en fase de lectura, durante el cual los datos son leídos desde la memoria, y iii) *writing* o en fase de escritura, durante el cual se actualizan los datos almacenados en la memoria. Entre sus características principales, se destaca su velocidad de operación y un menor consumo de energía, pero su costo de fabricación es excesivo comparándose con la DRAM y no se utiliza para trabajar con una alta densidad de datos. Estas memorias se encuentran en sistemas científicos e industriales, sistemas electrónicos de automóviles, aviones, navíos y productos cotidianos que implementan una interfaz electrónica de usuario, como computadoras personales, celulares, etc. [13].

En contraparte las memorias DRAM (RAM dinámica), con la que se denomina al tipo de tecnología RAM basada en un condensador y un transistor CMOS, que requieren de un refresco dinámico de sus cargas, a un tiempo determinado para no perder la información. Principalmente son utilizadas como módulos de la memoria principal, ya que pueden operar a altas velocidades y con gran densidad de instrucciones, en la actualidad se fabrican con millones de posiciones y velocidades de acceso medidos en millones de bit por segundo. Fue inventada a finales de los años 60's y es una de las memorias más usadas en la actualidad [14-16].

1.2.2 Dispositivos de memoria no-volátil

Dentro de las memorias de sólo lectura (*ROM—Read Only Memory*), la información se almacena de forma permanente, aún después de retirar la fuente de alimentación. La ROM forma parte del grupo de componentes llamados dispositivos lógicos programables (*PLD—Programmable Logic Device*), que emplean la información almacenada para definir circuitos lógicos. Las memorias ROM son programadas por medio de máscaras durante el proceso de fabricación, una vez realizado esto, las instrucciones permanecen grabadas y no es posible modificarlas ni siquiera retirando la energía. Es importante que no se pueda alterar las instrucciones que se graban en esta memoria, ya que se utiliza para almacenar información vital para el correcto funcionamiento del sistema operativo por ejemplo: procesos de inicialización, inspección inicial del sistema, inicialización del sistema operativo y diversas rutinas de control de los dispositivos de entrada/salida que suelen ser las tareas encargadas a los programas grabados en la memoria ROM. Todos estos programas forman lo que se conoce como: *BIOS—Basic Input Output System*. Adjunto al BIOS se localiza un arreglo de transistores CMOS, para almacenar los valores que determinan la configuración del sistema y los parámetros del disco duro. Además de la tecnología CMOS, una memoria ROM puede estar fabricada usando tecnología, *BJT—Bipolar Junction Transistor*. El desenvolvimiento de estas memorias propició la sustitución de circuitos combinacionales y secuenciales complejos, por ende se redujo el tamaño de los circuitos y el consumo de potencia, así como el costo de fabricación [17, 18].

Entre las memorias ROM más comunes se encuentra la *PROM—Programmable ROM*, o memoria programable de sólo lectura, en la cual los contenidos pueden ser leídos pero no modificados por el usuario. Sus contenidos no se construyen, como la ROM, durante el proceso de fabricación, sino que se crean por medio de un tipo especial de "programación", donde el valor de cada bit depende del estado de un fusible que puede ser quemado una sola vez, ya sea por el fabricante, o por especialistas técnicos de programación de acuerdo a las necesidades del usuario. El proceso de programación es irreversible, es decir una vez grabada, no es posible alterar o modificar instrucciones como una ROM normal, pues a diferencia de estas se utilizan para grabar datos permanentes en cantidades menores, o cuando los datos deben cambiar en muchos o todos los casos. En una PROM común se encuentran todos los bits con valor "1", como valor por defecto de las fábricas; el quemado de cada fusible se realiza aplicando pulsos de altos voltajes, que cambian el valor del bit correspondiente a "0", y de esta manera se van grabando las instrucciones en la memoria [19].

Sin embargo, las ROM más modernas, como EPROM y *flash* EEPROM, efectivamente se pueden borrar y volver a programar varias veces, aun siendo descritas como "*Memorias de sólo lectura*". La razón de que se continúen llamando así se debe a que el proceso de reprogramación es poco frecuente, relativamente lento y no se permite la escritura en lugares aleatorios de la memoria. A pesar de la simplicidad de la ROM, los dispositivos reprogramables son más flexibles y económicos, por lo cual las antiguas máscaras ROM no suelen encontrarse comúnmente.

Las memorias de sólo lectura y reprogramables *EPROM—Erasable PROM*, se configuran insertando el chip en un programador y mediante impulsos eléctricos entre 10-25V durante ~50ms aplicados a un pin determinado, se direcciona la posición de memoria y se pone la información a las entradas de los datos. Este proceso puede tardar varios minutos dependiendo de la capacidad de memoria. Para borrar o modificar el contenido de la memoria es necesario exponerla a luz UV (este tipo de memoria posee una ventana transparente en el centro del encapsulado), de tal manera que al penetrar los rayos atraen los elementos fotosensibles y modifican los estados iniciales. Una de las grandes ventajas de esta memoria es que puede reprogramarse innumerables veces, siempre y cuando no este expuesto a la luz.

En los años 70's se introdujo esta memoria, que por primera vez utilizaba un transistor con compuerta flotante; con el objetivo de inyectar y almacenar electrones dentro de la compuerta del transistor. En consecuencia esta innovación dio un nuevo giro al desarrollo y optimización de los dispositivos de memoria [20].

Una evolución de estas memorias fue la memoria eléctricamente programable y borrrable (*EEPROM/E²PROM—Electrical Erasable PROM*). Estas memorias pueden construirse con tecnología MOS y MNOS—*Metal Nitride Oxide Silicon*, que poseen la posibilidad de programar y borrar las memorias a nivel de bytes, supone una gran flexibilidad pero también una celda de memoria más compleja pues requieren de dos transistores por celda, lo que hace que estos dispositivos sean de baja densidad y mayor costo. Las celdas de memoria en las E²PROM son similares a las celdas EPROM y la diferencia básica se encuentra en la capa aislante alrededor de cada compuerta flotante, la cual es más delgada y no es fotosensible, lo que permite almacenar caracteres o palabras sin necesidad de un equipo especializado para programar y adicionalmente permite borrarlas de forma individual y reprogramarlas. Un atributo de esta memoria es que para reescribir no es necesario realizar un borrado previo como en las EPROM [21].

De forma muy similar a la memoria E²PROM, surge la memoria *flash* en la década de los 80's, desarrollada por *Toshiba*. Esta memoria permite la lectura y escritura de múltiples posiciones de memoria en la misma operación, con una alta densidad de almacenamiento de bits, lo que significa que es posible empaquetar una gran cantidad de celdas en una superficie pequeña, por lo tanto cuanto mayor sea la densidad, más bits se pueden almacenar en un chip de tamaño determinado, esto gracias a que la memoria *flash* posee chips semejantes a la memoria RAM [19]. La tecnología *flash* funciona mediante impulsos eléctricos, que permiten velocidades de funcionamiento muy superiores comparadas con la tecnología E²PROM, que sólo permitía actuar sobre una única celda de memoria en cada operación de programación. Se trata de la tecnología empleada en los dispositivos denominados memoria *USB—Universal Serial Bias*, ya que utilizan este tipo de puerto para su comunicación, el cual fue desarrollado a mitad de los 90's. Estos dispositivos de memoria proporcionan mayor funcionalidad y flexibilidad al usuario, pero económicamente hablando, el precio en el mercado cumple la ley de Moore aumentando su capacidad y disminuyendo el precio. Estos dispositivos se volvieron muy famosos y comerciales, debido a su versatilidad pues son dispositivos removibles, portátiles, ligeros, ocupan poco

espacio y son utilizados como: reproductores de archivos de música en formato MP3, tarjetas de memoria de cámaras digitales, computadoras portátiles y dispositivos de comunicación como celulares, tabletas, televisores y cualquier dispositivo de comunicación (Fig. 1-5).



Fig. 1-5: Aplicaciones de los dispositivos de memoria flash.

La capacidad de almacenamiento de datos en estos dispositivos ha alcanzado el orden de los *Gigabytes—GB* (10^9 bytes) conservándose íntegramente la información al retirarse la alimentación y para efectuar el proceso de escritura/borrado requiere una aplicación de voltajes bajos por medio del puerto USB. La funcionalidad de este tipo de memoria, así como su arquitectura y componentes (Fig. 1-6) la han posicionado como ícono importante en el mercado.



Fig. 1-6: Componentes de una memoria flash.

Otra de las ventajas de estos dispositivos, se encuentra en su velocidad de operación alta, pero ligeramente menor comparada con las memorias DRAM, mayor resistencia y durabilidad comparada con los discos duros, resistentes a una presión intensa y estable a las variaciones de temperatura, incluso si son sumergidas en agua. Por el contrario una desventaja importante, es que poseen un número limitado de ciclos de escritura/borrado [22].

En la Tabla 1-1 se muestra una comparación de los diferentes tipos de memorias discutidos y algunas características importantes. Es vital reconocer que no son los únicos tipos de memoria que existen, ya que la demanda del mercado por dispositivos de memoria con alta densidad de memoria, bajo consumo de energía, alta velocidad de respuesta y bajo costo de fabricación, obliga al desenvolvimiento tecnológico, explorando otras áreas y materiales, lo que ha dado pie al surgimiento de otros tipos como: Memorias Ferroeléctricas (*Ferroelectric RAM—FRAM*) [23], Memorias Resistivas (*Memory Resistor—Memristor*) [24], Memorias Magnetoresistivas (*Magnetoresistive RAM—MRAM*) [25] y Memorias Cambio de Fase (*Phase Change Memory—PCM*) [26], entre muchas otras.

Tipo	Categoría	Borrado	Alterable por byte	Volátil	Aplicación típica
SRAM	Lectura/escritura	Eléctrico	Sí	Sí	Caché
DRAM	Lectura/escritura	Eléctrico	Sí	Sí	Memoria principal
ROM	Sólo lectura	Imposible	No	No	Equipos (volumen de producción grande)
PROM	Sólo lectura	Imposible	No	No	Equipos (volumen de producción pequeño)
EPROM	Principalmente lectura	Luz UV	No	No	Prototipos
EEPROM	Principalmente lectura	Eléctrico	Sí	No	Prototipos
Flash	Lectura/escritura	Eléctrico	No	No	Cámara digital

Tabla 1-1: Comparación entre los diferentes dispositivos de memoria semiconductoras.

La necesidad de optimizar los dispositivos de memoria condujo a modificaciones importantes en la estructura de la compuerta de los transistores CMOS. En la actualidad se emplean dos tipos, la compuerta flotante continua y la discreta.

1.3 Memorias de compuerta flotante continua y discreta

Las memorias de compuerta flotante constituyen el grupo de memorias semiconductoras más desarrolladas en la industria. La idea de utilizar una compuerta flotante continua (CFC) para la obtención de un dispositivo de memoria no-volátil fue aportada por D. Kahang y S. M. Sze en 1967. Esta memoria está basada en la tecnología MOS, donde la compuerta fue reemplazada por una estructura multicapa, partiendo de un óxido fino (óxido de tunelaje) crecido térmicamente, posteriormente una capa de metal, nuevamente un óxido pero más grueso (óxido de control o de compuerta) y por último el metal del contacto [27, 28].

Este tipo de estructura metal aislante metal aislante semiconductor es conocido como *MIMIS—Metal Insulator Metal Semiconductor*, donde el primer aislante (I1), que se encuentra por encima del semiconductor consiste en un óxido que sea lo suficientemente fino para que los electrones puedan atravesar el material con la aplicación de un campo eléctrico intenso y posteriormente ser atrapados en la banda de conducción del metal (M1), por lo que el segundo aislante (I2) debe ser lo suficientemente grueso como para evitar que los electrones atrapados en el metal sean liberados. Para descargar la compuerta flotante, es necesario aplicar un voltaje negativo en el metal (M2) del contacto superficial, el cual remueve los electrones de la compuerta flotante, a través del mecanismo de tunelaje directo (Fig. 1.4).

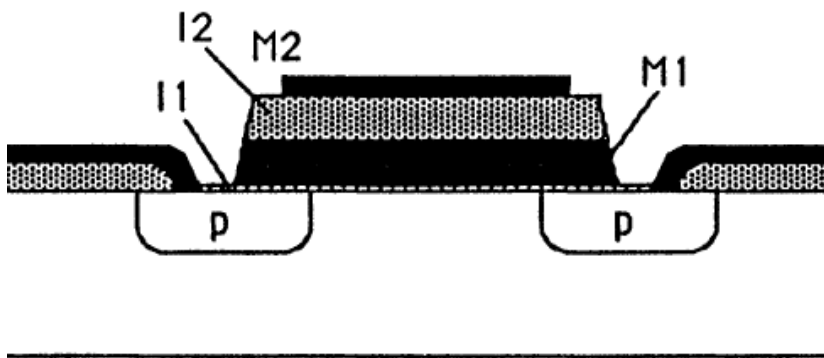


Fig. 1-7: Diagrama esquemático de una memoria MIMIS de compuerta flotante continua.

Sin embargo, los ciclos de programación provocaron la degradación de las propiedades eléctricas de la compuerta, ya que en el proceso de escritura/borrado la carga inyectada no era por tunelaje de los electrones, sino por el modelo de conducción de *Fowler-Nordheim (FN)*, poniendo en riesgo la confiabilidad del dispositivo y limitando el número de ciclos de carga y descarga. Otro de los problemas presentados, son las corrientes de fuga a través del óxido de tunelaje debido a su grosor, lo que reduce considerablemente el tiempo de retención de carga [29]. En base a esto y como posible respuesta a estos problemas surgió la memoria *flash* de compuerta flotante discreta (*CFD*) [30, 31].

En 1996, se propusieron por primera vez los dispositivos de memoria que contienen *nanocristales de silicio (Si NCs)* inmersos en una matriz amorfa, por S. Tiwari y sus colaboradores [32]. La obtención de NCs en una matriz amorfa, tiene el principal objetivo de formar trampas discretas que puedan ser utilizadas como centros de almacenamiento de carga; por lo que son potenciales a ser utilizados en MNV, adicionalmente, brinda la oportunidad de operar a bajos voltajes en comparación con las memorias de CFC y son menos vulnerables a la pérdida de carga por corriente de fuga pues las partículas están aisladas en el óxido (Fig. 1-8). Esta nueva tecnología de dispositivos de MNV abrió muchas líneas de investigación para la obtención de *nanopartículas (NPs)* [16, 33, 34], tomando como base la memoria SONOS (*Silicon-Oxide-Nitride-Oxide-Silicon*) [27, 35].

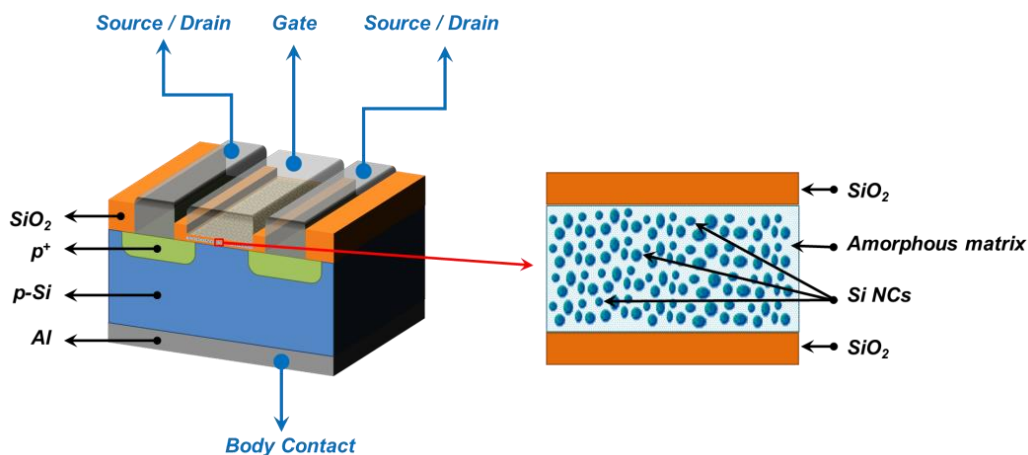


Fig. 1-8: Diagrama esquemático de una memoria con compuerta flotante discreta.

Durante el proceso de carga de las NPs o de “escritura” en una MNV de CFD, se aplica un voltaje en polarización directa a la compuerta, haciendo que los portadores a través del canal sean inyectados por tunelaje a la compuerta flotante que contiene las NPs distribuidas en forma discreta y aislada, por el dieléctrico de compuerta. Para el proceso de la descarga de las NPs o de “borrado” de la memoria, se aplica un voltaje en polarización inversa que hace que las cargas atrapadas en las NPs se liberen y por tunelaje regresen nuevamente al canal. Basándonos en este funcionamiento, las memorias de CFD que contienen Si NPs, poseen un mejor control sobre el número de electrones almacenados en los dispositivos de MNV, con el propósito de alcanzar altas velocidades de transferencia como la DRAM y sin perder los tiempos de retención de carga que posee una MNV de CFC [32].

1.3.1 Relevancia de las nanopartículas de Si y sus métodos de obtención

Uno de los enfoques más prometedores es la obtención de Si NCs embebidos en una matriz amorfa, por medio de un auto-ensamble para su posible aplicación en: i) dispositivos de memoria (discutido anteriormente), como centros de almacenamiento de carga [34, 36], ii) fuentes emisoras de luz basadas en Si, ya que ocurren efectos cuánticos en la interfaz: Si NCs/matriz amorfa, lo que propicia a centros de luminiscencia [37-39] y recientemente en, iii) celdas solares de tercera generación [40, 41]. En particular, los nano cristales auto-ensamblados e incrustados dentro de una matriz de óxido de silicio (SiO_2 -Si-NCs), representan un material muy interesante, el cual es compatible con la tecnología MOS convencional utilizada hoy en día. La principal ventaja del auto-ensamble, es que pueden crearse Si NCs con un diámetro de ~2-10nm, el cual está por debajo de los NCs más pequeños obtenidos a través de fotolitografía ($d \sim 10$ nm). El problema principal del enfoque del auto-ensamble, es el control del tamaño y la distribución espacial de los NCs crecidos.

La optimización de estos dispositivos y la obtención de Si NPs por diferentes técnicas y procesos, ha sido un desafío durante décadas y existe una infinidad de reportes en la literatura, pero sólo por mencionar algunas se encuentran:

- i) Deposición Química de Vapor (*CVD—Chemical Vapor Deposition*) [32],
- ii) Implantación de Si en SiO₂ [42],
- iii) Ablación láser [43],
- iv) Aerosol [44],
- v) Erosión iónica (*sputtering*) [45], etc.

Usualmente, en los dispositivos MOS que contienen NCs se utiliza una compuerta dieléctrica formada por tres capas: SiO₂ térmico, SiO₂Si-NCs y SiO₂ por encima. El óxido de la superficie normalmente es obtenido por técnicas como: Deposición Química de Vapor mejorada por plasma (*PECVD—Plasma Enhanced CVD*) [46] o Deposición Física de Vapor (*PVD—Physical Vapor Deposition*). Para aplicaciones en dispositivos de memoria, es crítico e importante controlar el grosor del óxido de tunelaje, así como la densidad y el tamaño de las NPs. En este proyecto se empleó la técnica de deposición química en fase de vapor (*CVD—Chemical Vapor Deposition*) ha demostrado que cumplen con estos requisitos considerablemente bien y se han utilizado ampliamente en la fabricación de NPs Si y ser totalmente compatible con la tecnología CMOS [47-49]. Una interesante propuesta es el uso de silicio amorfo hidrogenado (*a-Si:H*), para aplicaciones en transistores MOS de capas delgadas [50, 51].

Muchos esfuerzos son hoy en día enfocados a resolver este problema y el trabajo propuesto en el curso de este estudio de doctorado pretende aportar conocimiento adicional en este sentido.

1.4 Planteamiento del problema

1.4.1 Objetivo general

El principal objetivo de este proyecto es fabricar estructuras Metal-Óxido-Semiconductor (MOS) con una compuerta dieléctrica multicapa auto-organizada; que contiene nanopartículas de silicio (*Si NPs*) embebidas en una matriz dieléctrica, así como estudiar sus propiedades eléctricas y ópticas para posibles aplicaciones en dispositivos de memoria no-volátil. Las estructuras están compuestas de al menos dos y tres capas partiendo del substrato de c-Si. A continuación se describe en forma general los grupos de muestras a estudiar, en el siguiente orden:

Grupo 1

Óxido de silicio que contiene nanopartículas de silicio y finalmente, una capa de óxido de silicio (óxido de compuerta) por arriba de la capa anterior, obteniendo el siguiente modelo de la estructura: $\text{Si NPs-SiO}_2/\text{SiO}_2$.

Grupo 2

Óxido térmico (óxido de tunelaje), óxido de silicio que contiene nanopartículas de silicio y finalmente, una capa de óxido de silicio (óxido de compuerta) por arriba de las dos capas anteriores, obteniendo el siguiente modelo de la estructura: $\text{SiO}_2/\text{Si NPs-SiO}_2/\text{SiO}_2$.

Grupo 3

Óxido térmico (óxido de tunelaje), óxido de silicio que contiene nanopartículas de silicio y finalmente, una capa de óxido de silicio (óxido de compuerta) por arriba de las dos capas anteriores depositada con una técnica diferente, obteniendo el siguiente modelo de la estructura: $(\text{SiO}_2/\text{Si NPs-SiO}_2/\text{SiO}_2)$.

Grupo 4

Deposición de óxido de silicio, silicio amorfo hidrogenado con nanopartículas de silicio embebidas y finalmente, una capa de óxido de silicio (óxido de compuerta) por arriba de las dos capas anteriores obteniendo el siguiente modelo de la estructura: $(\text{SiO}_2/\text{a-Si:H-Si NPs}/\text{SiO}_2)$.

1.4.2 Objetivos específicos

Para cumplir con el objetivo antes mencionado, se plantearon los siguientes objetivos específicos:

1. Fabricación de estructuras dieléctricas multicapa utilizando los procesos tecnológicos PVD: evaporación térmica (Grupo 1,2) y *r.f. sputtering* (Grupo 3); y como propuesta adicional, la fabricación de estructuras dieléctricas multicapa utilizando el proceso de CVD: Resonancia Ciclotrónica de Electrones (*Electron Cyclotron Resonance, ECR-CVD*) (Grupo 4).
2. Obtención de Si NPs a través del recocido de las estructuras en altas temperaturas, diferentes atmósferas de recocido e intervalos de tiempo. Este enfoque favorece a la obtención de nanopartículas con tamaño predefinido y una distribución controlada sobre la profundidad de la compuerta dieléctrica. Una de las ventajas del enfoque propuesto, es que será estudiado el efecto de un proceso de recocido de doble etapa, primero en ambiente inerte de N_2 y posteriormente en un ambiente de oxidación (N_2+O_2).
3. La variación deseada de la composición a lo largo de la profundidad del dieléctrico, se conseguirá cambiando la atmósfera de recocido durante el proceso de alta temperatura. Se espera que este último proceso también contribuya a mejorar la calidad de la interfaz entre la capa dieléctrica y el sustrato de silicio.
4. Utilizar los diferentes procesos tecnológicos aplicados en la industria semiconductora, para fabricar los dispositivos MOS que contienen las capas dieléctricas obtenidas a través de diferentes procesos tecnológicos, y sometidas a diferentes condiciones para obtener Si NCs.

1.4.3 Metas propuestas

1. Este trabajo se enfocará en el estudio experimental de las propiedades eléctricas y ópticas de películas dieléctricas con multicapa auto-organizada que contengan ensambles tridimensionales (3D) de Si NPs en una matriz de SiO₂.
2. Complementación del estudio eléctrico y óptico realizado sobre las estructuras, utilizando técnicas de caracterización estructural.
3. Conocer y analizar las propiedades de la compuerta dieléctrica multicapa auto-organizada que contiene Si NPs en estructuras del tipo MOS, para evaluar la posibilidad de utilizar este tipo de películas en dispositivos de memoria no-volátil modernos y su posible aplicación en dispositivos optoelectrónicos.

1.4.4 Justificación

Este trabajo de investigación pretende aportar alternativas para el desarrollo de dispositivos de memoria más eficaces, que emplean una compuerta flotante discreta utilizando NPs Si, ampliamente difundido en la literatura. El trabajo en este proyecto es esencial para mejorar el entendimiento de los procesos físicos en los dispositivos MOS, así como los procesos tecnológicos para su fabricación y caracterización. Este proyecto está relacionado a líneas de investigación con alto nivel desarrolladas en el LSMN-II y en el CCS-UNICAMP, así como al sector industrial de Baja California. Debido a esta gran importancia, se espera una comprensión de los fenómenos eléctricos, ópticos y estructurales, presentados en estas estructuras dieléctricas multicapa que contienen Si NPs, así como su viabilidad para la aplicación en dispositivos de MNV y si es posible en otros dispositivos electrónicos y optoelectrónicos.

Capítulo 2

Teoría de los Dispositivos MOS

*“Nada pues nos lo impide, y el impulso de nuestro conocimiento lo exige,
relacionar mutuamente el orden del universo y el Dios de la religión.
Dios está para el creyente en el principio de sus discursos;
para el Físico, en el término de los mismos...”*

Max Planck (1858-1947).

Físico alemán, considerado padre de la física cuántica, ganador del Premio Nobel de Física en 1918.

La comprensión de los fenómenos que nos rodean, son posibles gracias a los principios y leyes establecidos por la Física, por lo cual, en este capítulo nos enfocaremos en el estudio teórico de los fenómenos que se presentan en los dispositivos estudiados en este proyecto de investigación.

2.1 Capacitor MOS

Para poder analizar el funcionamiento de un dispositivo de memoria, es necesario comprender primeramente la estructura y operación de su estructura más simple, es decir el capacitor MOS. Un aspecto importante de esta estructura es su capacidad de almacenar carga, denominada *Capacitancia* (C). La capacitancia es una medida de la cantidad de carga eléctrica almacenada entre sus placas (ΔQ) y la diferencia de potencial aplicada entre las placas metálicas ΔV (voltaje), esta relación está dada por la Ec. (2-1).

$$C = \frac{\Delta Q}{\Delta V} \quad (2-1)$$

La estructura física de un capacitor o condensador MOS (*Metal-Oxide-Semiconductor*), está formada por un material conductor como el Al, una capa de material aislante como el SiO_2 y un semiconductor de substrato como el c-Si (Fig. 2-1). La diferencia entre un capacitor MOS y uno de placas paralelas, es el intercambio de una de las placas por un semiconductor.

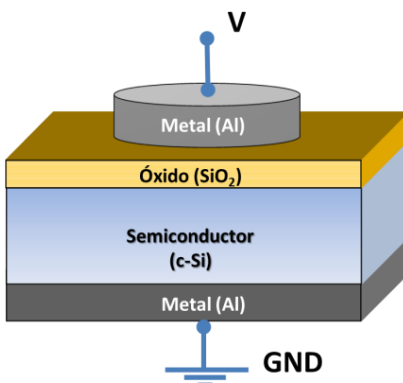


Fig. 2-1: Estructura de un capacitor MOS.

Al unir los tres materiales en equilibrio térmico para formar la estructura MOS, se obtiene el diagrama de bandas, mostrado en la Fig. 2-2 para un substrato de Si tipo-p y tipo-n, respectivamente.

Para poder entender la estructura de bandas de un sistema MOS, debemos definir algunos conceptos como: Voltaje de banda plana (V_{FB}), al voltaje que se requiere aplicar en la compuerta del capacitor MOS, para que el potencial de superficie (Ψ_s) sea cero, es decir que las bandas estén alineadas por el nivel de Fermi. La función de trabajo (Φ) se define como la energía requerida para mover un electrón desde el nivel de Fermi a la banda de energía del vacío. La afinidad electrónica (χ), se define como la energía necesaria para que un electrón en la banda de conducción ocupe un estado en el nivel del vacío.

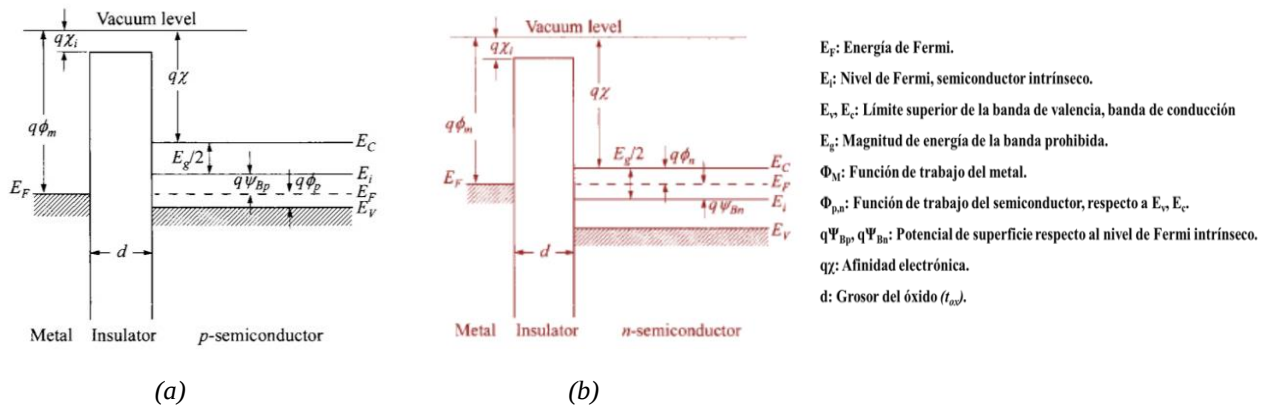


Fig. 2-2: Bandas de energía de un capacitor MOS ideal en equilibrio térmico correspondiente a un sustrato tipo-p (a) y tipo-n (b) [27].

En una estructura ideal MOS en equilibrio térmico, se considera que el nivel de Fermi es igual al del semiconductor, por lo que la diferencia entre la función de trabajo del metal (Φ_M) y la función de trabajo del semiconductor (Φ_s) es cero; además se considera que no existe carga fija en el óxido, ni en la interfaz Si/SiO₂ y no hay presencia de iones móviles y la distribución de dopantes en el semiconductor es uniforme. En el diagrama se puede observar que las bandas del semiconductor no son alteradas, por lo que se le conoce como condición de banda plana (*flat-band*) [27], además existe una diferencia de energía en la barrera, de tal forma que los electrones requieren de $\sim 3.1\text{eV}$ y los huecos $\sim 4.7\text{eV}$ para atravesar hacia la compuerta metálica.

2.1.1 Modos de operación

Sin embargo, para el caso de estructuras no ideales, existe una diferencia de funciones de trabajo y como consecuencia se genera un doblamiento de bandas en el semiconductor, propiciando a una migración de electrones del metal hacia el silicio, por lo que se requiere aplicar un voltaje externo para que la banda energética se vuelva plana, lo que nos arroja tres modos de operación característicos: Acumulación, Agotamiento e Inversión. Para el análisis de estos casos, se tomará en cuenta un capacitor MOS con substrato tipo-p.

1. Acumulación ($V_G < 0$): Al aplicar un voltaje negativo en la compuerta (electrodo superior), los huecos que son los portadores mayoritarios (substrato tipo-p), son atraídos a la superficie del substrato (interfaz SiO_2/Si). La concentración de huecos aumenta en la superficie de silicio, formando una región de acumulación de portadores mayoritarios. El nivel de energía de Fermi del semiconductor (E_{FS}) se aproxima a la banda de valencia, como este nivel se debe mantener constante en equilibrio térmico, se presenta un doblamiento de la banda de valencia (E_V) y la banda de conducción (E_C), como se muestra en la Fig. 2-3.

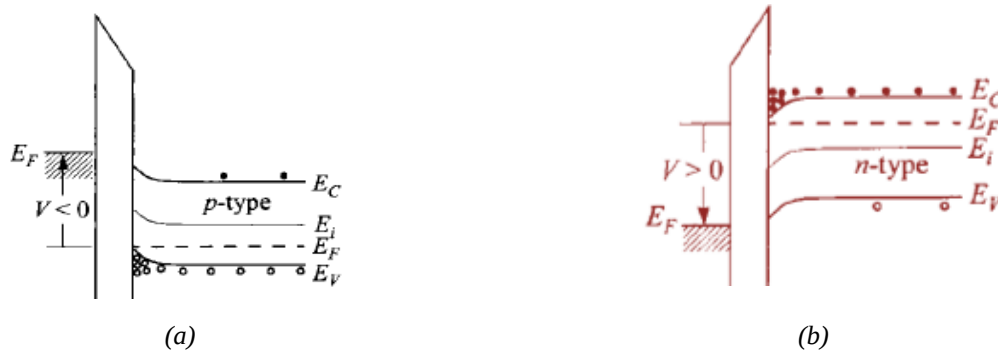


Fig. 2-3: Diagrama de bandas de energía para un capacitor MOS en condición de Acumulación con substrato tipo-p (a) y tipo-n (b), respectivamente [27].

Los huecos de la capa de acumulación formada, se consideran como el segundo electrodo de un condensador de placas paralelas, por lo tanto la capacitancia máxima de la estructura MOS es aproximadamente igual a la capacitancia del óxido (C_{ox}), la cual se determina con la Ec. (2-2).

$$C_{ox} = \frac{A \cdot \epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \quad (2-2)$$

Donde:

C_{ox} : Capacitancia máxima del óxido.

ϵ_0 , ϵ_{ox} : Permitividad del vacío y del óxido.

t_{ox} : Grosor del óxido.

A : Área del electrodo superior.

Al disminuir el voltaje negativo en la compuerta ($V_G < 0$), la capa de acumulación de portadores mayoritarios se reduce, debido a que el campo eléctrico en el óxido es menos intenso. Cuando $V_G = 0$, la capa de acumulación desaparece y la concentración de portadores en la superficie son semejantes a las del sustrato, por lo que no se presenta un doblamiento de las bandas, por lo que a esta tensión aplicada se le conoce V_{FB} y como C_{FB} a la capacitancia de banda plana correspondiente. Para el caso del capacitor MOS ideal el V_{FB} es nulo.

2. Agotamiento ($V_G > V_{FB}$): Cuando se aplica un voltaje superior al V_{FB} , ocurre un desplazamiento de los portadores mayoritarios (huecos) de la superficie del sustrato, exponiendo los iones de impurezas aceptadoras (cargas negativas). Por lo tanto, se crea una región de agotamiento de los portadores en la región de la superficie con un ancho (W_d), comprendiendo los iones aceptores, que compensan el campo eléctrico aplicado. En la condición de agotamiento se aproxima el nivel de Fermi hacia el centro de la banda prohibida del semiconductor, doblando las bandas (Fig. 2-4).

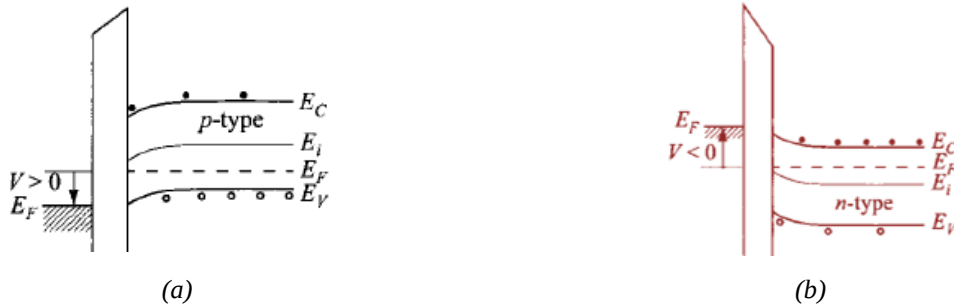


Fig. 2-4: Diagrama de bandas de energía para un capacitor MOS en condición de Agotamiento con sustrato tipo-p (a) y tipo-n (b), respectivamente [27].

Es importante señalar que lo ancho de W_d es proporcional al potencial de superficie $\Psi_s(V_G)$, el cual está relacionada con la curvatura de las bandas, o sea en función de V_G aplicado al electrodo superior. Por lo tanto W_d está dado por la Ec. (2-3), donde ϵ_{Si} es la constante dieléctrica del Si, q es la carga del electrón y $N_{A,D}$ corresponde a la concentración de impurezas en el silicio.

$$W_d = \sqrt{\frac{2 \cdot q \cdot \epsilon_{Si} \cdot \psi_s}{q \cdot N_A}} \quad (2-3)$$

La capacitancia relacionada con la región de agotamiento (C_{sd}), es asociada en serie con la capacitancia del óxido del contacto superior, resultando en una capacitancia total de la estructura del capacitor MOS, mostrada en la Ec. (2-4) y (2-5):

$$C_t(V_G) = \frac{1}{\frac{1}{C_{ox}} - \frac{1}{C_{sd}(V_G)}} \quad (2-4)$$

Donde:

$$C_{sd}(V_G) = \frac{\epsilon_{Si}}{W_d(V_G)} \quad (2-5)$$

El último caso del modo de operación es:

3. Inversión ($V_G \gg V_{FB}$): Si la polarización en la compuerta continúa incrementando, con respecto al semiconductor, el nivel de fermi estará más cerca de la banda de conducción, lo que hace posible igualar las concentraciones de portadores minoritarios y mayoritarios con el nivel de concentración del semiconductor intrínseco ($n=n_i=p$). En este caso, los niveles intrínsecos y el nivel de Fermi asumen los mismos valores, dando lugar a la atracción de portadores minoritarios (electrones) hacia la superficie del substrato formándose una región de inversión tipo-n en la interfaz c-Si/SiO₂. Con un valor mayor de V_G (manteniendo las condiciones de equilibrio), hay un aumento en la concentración de electrones en la superficie del substrato; $\Psi_s(V_G)$ se satura y W_d se hace constante, alcanzando un valor máximo, ésta es la condición de inversión fuerte ($V_G > 2V_{FB}$) y ($\Psi_s > 2\Psi_F$) con $W_d = W_{max}$ (anchura máxima de agotamiento), el nivel de Fermi se aproxima a la banda de conducción (Fig. 2-5).

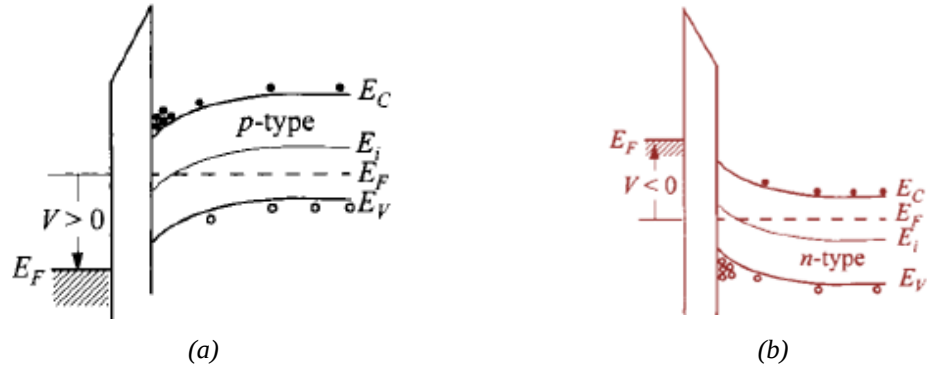


Fig. 2-5: Diagrama de bandas de energía para un capacitor MOS en condición de Inversión con sustrato tipo-p (a) y tipo-n (b), respectivamente [27].

En la Fig. 2-6 se muestran los diagramas de las bandas de energía para cada modo de operación del capacitor MOS con sustrato tipo-p de acuerdo al V_G aplicado. En la figura observan los doblamientos correspondientes entre el nivel de Fermi del metal y del semiconductor, proporcional a V_G .

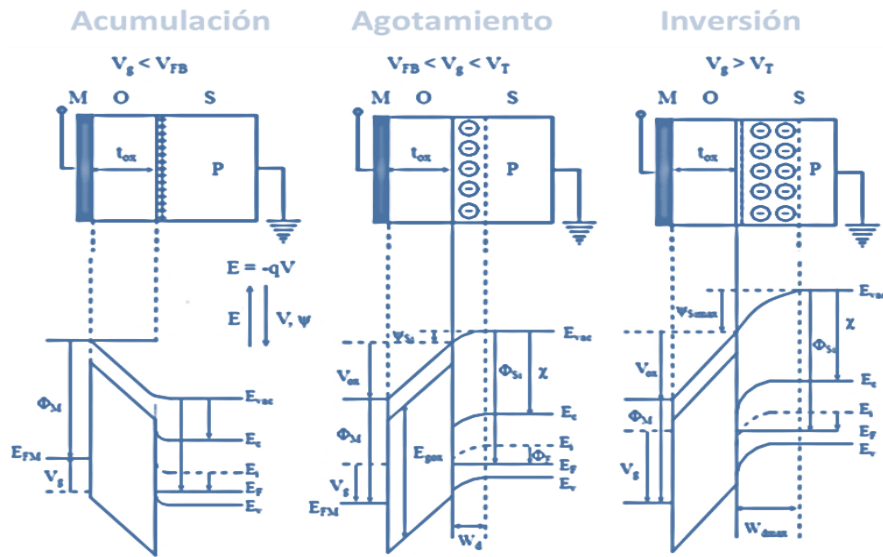


Fig. 2-6: Diagrama de bandas de energía y cargas espaciales para un condensador MOS en acumulación, agotamiento e inversión.

Analizando el diagrama de bandas para el caso de *Acumulación* ($V_G < V_{FB}$). Partiendo de la siguiente expresión (2-6), V_G se describe por la Ec. (2-7):

$$\begin{aligned} -\phi_S + V_{ox} + \phi_M - V_G &= 0 \\ V_G &= V_{ox} + (\phi_M - \phi_S) \end{aligned} \quad (2-6)$$

Por lo tanto:

$$V_G = V_{ox} + \phi_{MS} \quad (2-7)$$

Para el caso de *Agotamiento*, se incrementa V_G lo suficiente para ser mayor a V_{FB} , pero menor que el voltaje de umbral (V_{TH}) definido como ($V_{FB} < V_G < V_T$), por lo tanto partiendo de la expresión (2-8), V_G está descrito por la Ec. (2-9):

$$-\phi_{Si} + \psi_S + V_{ox} + \phi_M - V_G = 0 \quad (2-8)$$

$$V_G = V_{ox} + \psi_S + \phi_{MS} \quad (2-9)$$

Recordando que ψ_{Si} corresponde al potencial de superficie del Si, en medida que aumente la tensión aplicada, mayor será W_d en la región de agotamiento.

Para el caso de *Inversión* ($V_G > V_{FB}$) la región de agotamiento está al máximo ($W_d = W_{d\text{máx}}$), y el potencial de superficie aplicado es prácticamente constante ($\psi_S = 2\phi_F$). Al voltaje aplicado en la compuerta la región máxima de agotamiento ($W_{d\text{máx}}$) es denominado *Voltaje de Umbral* (V_{TH}). Por lo tanto V_{TH} está dado por la Ec. (2-10):

$$V_T = V_{ox} + 2\phi_F + \phi_{MS} \quad (2-10)$$

Donde:

$$V_{ox} = E_{ox} \cdot t_{ox}$$

$$E_{ox} = -\frac{Q_{Si}}{\epsilon_0 \cdot \epsilon_{ox}}; \text{ Campo eléctrico en el óxido. } (E_{ox})$$

$$Q_{Si} = -q \cdot N_A \cdot W_d; \text{ Carga en el Silicio por unidad de área en la región de agotamiento. } (Q_{Si})$$

A través de la obtención de la ecuación del perfil de potencial en la región de agotamiento, utilizando la ecuación de *Poisson* [52], se define el valor del potencial de superficie con la Ec. (2-11):

$$\psi_s = \frac{q \cdot N_A \cdot W_d^2}{2 \cdot \epsilon_0 \cdot \epsilon_{Si}} \quad (2-11)$$

2.1.2 Cargas presentes en el óxido

Existen cuatro tipos de cargas que normalmente se observan y estudian en la estructura de SiO_2 y la interfaz de SiO_2/Si , las cuales son: i) Cargas móviles, ii) Cargas en el óxido, iii) Cargas fijas y iv) Cargas en la interfaz [52], las cuales son representadas en la Fig. 2-7.

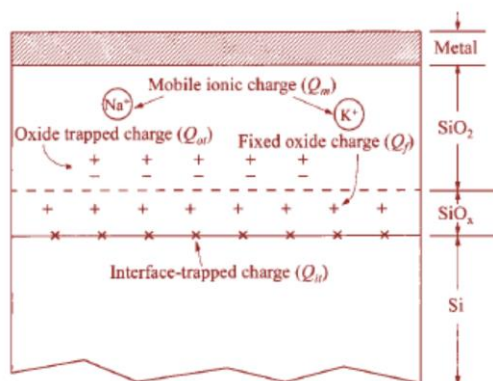


Fig. 2-7: Cargas asociadas al óxido de silicio [27].

La carga efectiva (Q_{EF}) en el óxido comprende estos cuatro tipos de cargas. La presencia de estas cargas en el óxido o en la interfaz $\text{SiO}_2/\text{c-Si}$, disminuye considerablemente la integridad de la película aislante y aumenta la inestabilidad del comportamiento de los dispositivos MOS, genera ruido, aumenta las corrientes de fuga de las uniones y la superficie, disminuye el voltaje de ruptura dieléctrica, cambia el potencial de superficie (ψ_s) afecta al voltaje de umbral (V_{TH}). Los niveles aceptables de densidad de carga efectiva en el óxido en los dispositivos *ULSI—Ultra Large Scale Integration* son del orden de 10^{10}cm^{-2} .

i. Carga Móvil (Q_m)

Las cargas móviles están asociadas con la contaminación del SiO_2 por los iones de metales alcalinos como: Na^+ , K^+ y Li^+ así como iones de H^+ y H_3O^+ (hidronio). Estos iones son móviles en el óxido bajo el efecto del campo eléctrico y a temperatura ambiente, alterando la superficie el potencial de superficie (ψ_s) provocando inestabilidad en las caracterizaciones eléctricas de los dispositivos MOS. Estas cargas, principalmente los iones de sodio Na^+ , se pueden incorporar en

el óxido de silicio en cualquier etapa del proceso de fabricación, en el que se deba manipular las obleas, ya sea manualmente o a través de una pinza. La contaminación por cargas móviles en el óxido puede ser reducido a niveles aceptables en el rango de 10^{10}cm^{-2} , a través de procesos de limpieza que se utilizan en la tecnología CMOS [6, 52, 53]

ii. Carga capturado en la interfaz (Q_{it})

Estas cargas surgen debido a defectos en el posicionamiento atómico en una estructura silicio-óxido, así como impurezas metálicas. Estas cargas introducen estados de energía cuántica son en la banda prohibida del silicio, propiciando una mejor comunicación eléctrica entre las bandas, lo que varía el estado de carga capturada o emitiendo portadores, por lo que son ambos tipos de carga, tanto positivas o negativas [27, 52]. La presencia de estas cargas en la interfaz c-Si/SiO₂ se debe a varias influencias del proceso de fabricación de dispositivos MOS. Entre las cuales está la orientación cristalográfica del sustrato de silicio, que determina la densidad relativa de enlaces en la interfaz, siendo la orientación: $Q_{it}(111)>(110)>(100)$; la temperatura de oxidación; ambiente oxidante (Q_{it} en ambiente $H_2O>$ ambiente O_2); posterior a la oxidación recocer en N₂, a alta temperatura durante largos períodos; contaminación de la interface por procesos como difusión, oxidación o implantación); recocido a baja temperatura en ambiente sin hidrógeno y los procesos con radiación para romper enlaces atómicos (*litografía por haz de electrones, rayos-X, radiación UV, evaporación por haz de electrones, implantación de iones, plasma y sputtering*).

Para neutralizar las cargas a la interfaz, se realiza un proceso de recocido después de la metalización de los dispositivos (*sinterización*) a baja temperatura (aproximadamente 450°C) en ambiente de hidrógeno [53]. La presencia de hidrógeno compensa los enlaces de átomos de oxígeno y silicio no saturados, reduciendo la densidad de cargas y eliminando los defectos estructurales de la interfaz de SiO₂/Si. La densidad de carga aceptable para la tecnología ULSI atrapada en la interfaz está generalmente en el orden de $10^{10}/\text{cm}^2$ eV.

iii. Carga Fija (Q_F)

Estas cargas se localizan en el óxido, a menos de $\sim 2.5\text{nm}$ de la interfaz de SiO_2/Si , pues esta es la región a la cual el óxido es tensionado y cuenta con una composición fuera de estequiometría (SiO_x). Las cargas fijas no se comunican eléctricamente entre la banda de valencia y la banda de conducción del Si, por lo que no existe un intercambio de portadores y conservan su estado de carga positiva. La presencia de este tipo de carga en el óxido depende de parámetros como: la orientación cristalina del sustrato, el ambiente oxidante (húmedo o seco) y la temperatura de oxidación, las condiciones de enfriamiento del sustrato de silicio después de la oxidación y la presión de O_2 en la atmósfera de oxidación.

iv. Carga capturada en el Óxido (Q_{OT})

Estas cargas se localizan en todo el volumen de la película de SiO_2 y son huecos o electrones atrapados en el cuerpo del óxido. Estas trampas son impurezas y/o enlaces atómicos no compensados, causados por un estrés de la red y/o defectos en el óxido. Por lo general son neutrales, pero se cargan cuando los electrones o huecos son introducidos en el óxido por fenómenos como: i) tunelaje de portadores, ya sea por el sustrato o por la compuerta del dispositivo MOS (óxido de compuerta ultrafino); ii) efecto avalancha, cuando existe una diferencia de potencial grande entre las distintas regiones del dispositivo en funcionamiento, y iii) exposición a la radiación ionizante, con una energía $> 8.8\text{eV}$ (banda prohibida del SiO_2). Además, las cargas capturadas en el óxido no varían con el sentido de la polarización de la compuerta, como ocurre con las cargas capturadas en la interfaz. Realizar un proceso de recocido en un ambiente de hidrógeno a 450°C , reduce la presencia de este tipo de cargas.

2.2 Transistor MOSFET

Uno de los dispositivos electrónicos ampliamente utilizados hoy en día en la industria electrónica, es el *Transistor de Efecto de Campo Metal-Óxido-Semiconductor (MOSFET)*. Este dispositivo electrónico es capaz de realizar diferentes funciones tales como: amplificador, oscilador, conmutador o rectificador. El término *Transistor* es una contracción del inglés de “*Transfer Resistor*”, es decir *Resistencia de Transferencia*. Actualmente se encuentra prácticamente en todos los aparatos electrónicos de uso diario y es la célula unitaria de cualquier dispositivo de memoria. De acuerdo a su estructura y fabricación, los MOSFET’s se dividen en dos clases: i) enriquecimiento y ii) empobrecimiento, los cuales a su vez en tipo-p o tipo-n.

2.2.1 MOSFET de enriquecimiento con tres terminales

El MOSFET de enriquecimiento, se forma a través de la adición de dos terminales más al capacitor MOS básico, las cuales están conectadas a regiones tipo- n^+ o tipo- p^+ . El MOSFET es un dispositivo de cuatro terminales llamadas Surtidor/Fuente (*S-Source*), Drenador (*D-Drain*), Compuerta (*G-Gate*) y sustrato (*B-Body*). Generalmente se conecta una fuente de alimentación entre la compuerta y el Surtidor, denominada V_{GS} , comúnmente el sustrato está conectado internamente a la terminal del surtidor, y por este motivo se pueden encontrar dispositivos de tres terminales similares. Adicionalmente se conecta una segunda fuente de alimentación entre Drenador y Surtidor denominada V_{DS} ; para establecer el sentido de la corriente a través del dispositivo entre el Drenador y Surtidor (I_{DS}), se configura la polarización de las terminales, aplicando la terminal positiva al Drenador y la terminal negativa al Surtidor (Fig. 2-8).

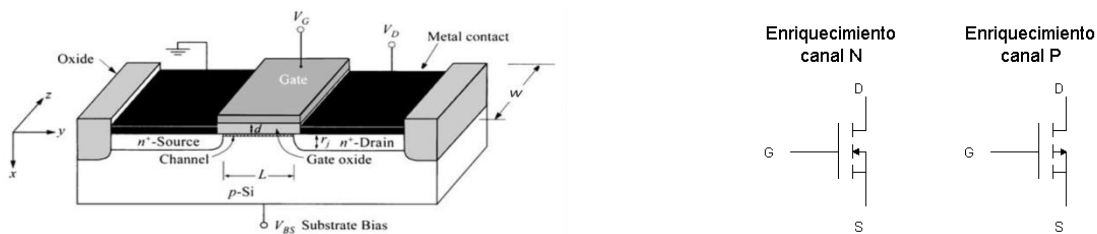


Fig. 2-8: Estructura del MOSFET tipo-n [27].

Para que pueda haber un flujo de corriente en estos dispositivos se requiere la formación de un canal entre la terminal de Surtidor y Drenador. Por lo tanto, en un transistor nMOSFET o nMOS, el canal es formado mediante un incremento en la concentración de electrones, para esto el transistor se fabrica utilizando un sustrato tipo-p. Por el contrario, un transistor pMOSFET o pMOS requiere de una concentración de huecos para la formación del canal, para esto se requiere fabricar el dispositivo empleando un sustrato tipo-n.

La corriente del canal en este dispositivo es controlada por el voltaje aplicado a una compuerta que está aislado del canal por un óxido. Si no existe un canal entre Surtidor y Drenador ninguna corriente fluirá entre. Esto puede comprenderse claramente observando el diagrama de bandas del MOSFET en equilibrio a lo largo del canal.

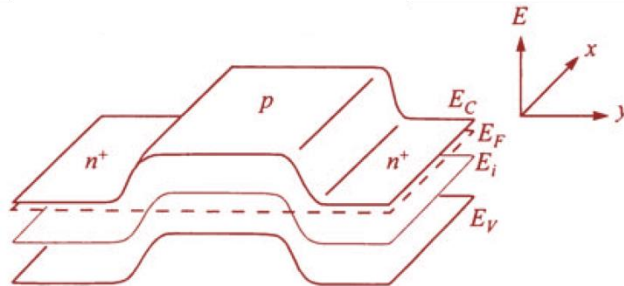


Fig. 2-9: Diagrama de bandas del MOSFET [27].

Recordando que el nivel de Fermi en equilibrio es el mismo a través de toda la estructura, a esta condición la conocemos como banda plana (*flatband*). En las regiones de Surtidor y Drenador el nivel de Fermi se encuentra más próximo a la banda de conducción, debido a que cuenta con una región tipo- n^+ . Por el contrario, en la región del sustrato tipo-p, el nivel de Fermi se encuentra más próximo a la banda de valencia. De este modo una barrera de potencial es formada, a través de la estructura lo que impide el flujo de electrones entre Surtidor y Drenador.

El funcionamiento del transistor MOSFET, se divide básicamente en tres diferentes estados de operación dependiendo de la polarización en sus terminales. A continuación explicaremos la operación del dispositivo, tomando como referencia un transistor nMOS (sustrato tipo-p):

1. Zona de Corte ($V_{GS} < V_{TH}$): Cuando se aplica un voltaje negativo a la compuerta, el transistor se encuentra en modo de corte, es decir apagado, debido a que no existe un flujo de corriente a través del dispositivo. Idealmente no debería existir corriente entre el Drenador y Surtidor (I_{DS}), debido a que el dispositivo está desactivado por lo que $I_{DS} = 0$. Sin embargo existe una ligera corriente debida a los electrones presentes en el Surtidor, los cuales ingresan al canal y fluyen hasta el Drenador. Esto ocasiona una corriente parásita definida por la Ec. (2-12):

$$I_{DS} \approx I_{D0} \frac{V_{GS} - V_{TH}}{nV_T} \quad (2-12)$$

Donde:

I_{D0} = Corriente que existe cuando $V_{GS} = V_{th}$,

V_T = Voltaje térmico kT/q ,

$n = (1 + C_D/C_{OX})$, C_D es la capacitancia de la región de agotamiento y C_{OX} de la capa de óxido.

2. Zona Lineal u Óhmica ($V_{GS} > V_{TH}$) y ($V_{DS} < V_{GS} - V_{TH}$): Cuando se aplica un voltaje positivo a la Compuerta con referencia al sustrato tipo-p (V_{GS}) y mayor que el voltaje de umbral (V_{TH}), cargas positivas se depositan sobre el metal de la compuerta y cargas negativas son inyectadas en el sustrato, formándose una región de agotamiento en el sustrato y una delgada región de electrones móviles en la superficie (región entre el Surtidor y Drenador). Estos electrones móviles son los que forman el canal del transistor MOSFET, de modo que una diferencia de potencial entre Drenador y Surtidor dará lugar a una corriente (I_{DS}), entonces el transistor saldrá de la región de corte y pasará al estado de conducción, es decir la región lineal. En esta región el transistor se comporta como una resistencia controlada por V_G . Adicionalmente, existe una formación una Unión P-N en el Drenador y otra en el Surtidor, debido a que tenemos una interfaz del tipo: $n^+/substrato\ tipo-p$. Estas regiones se encuentran polarizadas, una de ellas se polariza inversamente (Drenador) y otra en forma directa (Surtidor) para dirigir el sentido en que fluye la corriente, los electrones entran por la terminal del Surtidor, pasan a través del canal y regresan a la fuente de alimentación por la terminal del Drenador (Fig. 2-10).

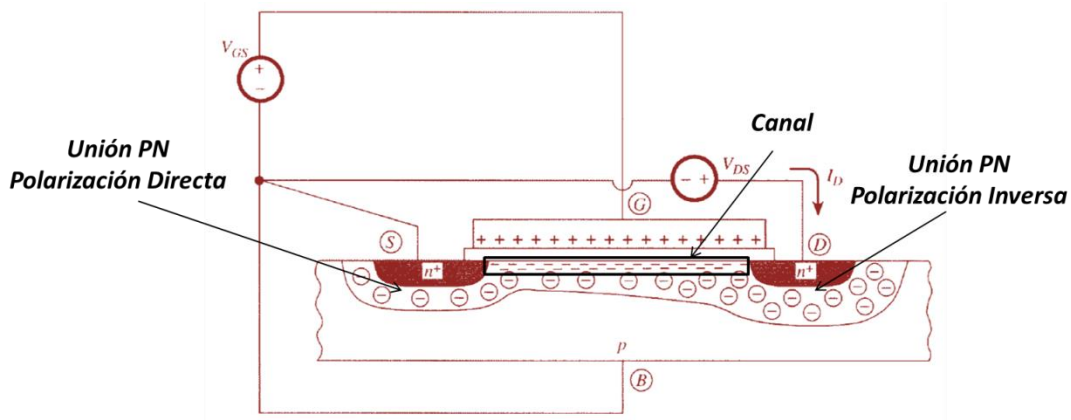


Fig. 2-10: Polarización del MOSFET de tres terminales [54].

Inicialmente los electrones salen lentamente del Surtidor y a medida que van avanzando a través del canal, su velocidad incrementa debido a la fuerza de atracción ejercida por la fuente conectada en el Drenador; de esta manera se mantiene una corriente constante, aunque la concentración de los electrones varía a lo largo del canal. El movimiento de carga negativa hacia la derecha, corresponde a la corriente positiva del Drenador (I_{DS}), la cual tiene una dirección contraria. La corriente I_{DS} está modelada por la Ec. (2-13) [27, 52, 54]:

$$I_{DS} = \frac{\mu_n C_{ox} W}{L} \left((V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2-13)$$

Donde:

$$V_{TH} = V_{FB} + 2\psi_B + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B)}}{C_{ox}} \quad (2-14)$$

μ_n = Movilidad del electrón

W = Ancho de la compuerta

L = Longitud de la compuerta

ψ_B = Nivel de Fermi desde el Nivel de Fermi intrínseco $|E_F - E_i|/q$

3. Zona de Saturación ($V_{GS} > V_{TH}$) y ($V_{DS} > V_{GS} - V_{TH}$): Si asumimos que $V_{DS} = 0$ y se incrementa gradualmente, como consecuencia tendremos un incremento muy grande de I_{DS} , para voltajes pequeños de V_{DS} , pero conforme se incrementan los valores de V_{DS} la corriente I_{DS} tiende a ser constante entrando a la región de saturación. Esto sucede cuando el potencial en el Drenador es tan grande, que todos los electrones que puede proporcionar el canal a un V_{GS} determinado, son entregados. Cuando V_{DS} supera el límite, el canal sufre un estrangulamiento al aproximarse al Drenador hasta que desaparece; al punto donde el canal ya no existe se le conoce como *pinch-off* (Fig. 2-11) [27, 52].

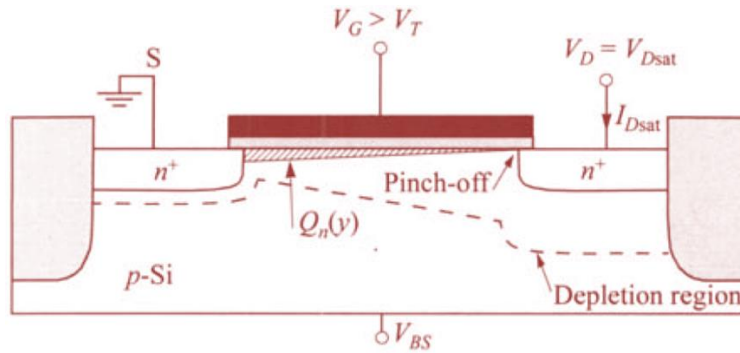


Fig. 2-11: Representación de un MOSFET en Saturación, cuando se presenta el fenómeno de pinch-off [27].

Para esta región de operación del dispositivo, la corriente I_{DS} está determinada por la Ec. (2-15) [27]:

$$I_{DS} = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad (2-15)$$

En la Fig. 2-12 se muestra la curva característica del MOSFET, en la cual se pueden distinguir las diferentes zonas, denominadas: Corte, Óhmica y Saturación. La variación del voltaje de compuerta (V_{GS}), nos permite variar la corriente Drenador-Surtidor (I_{DS}).

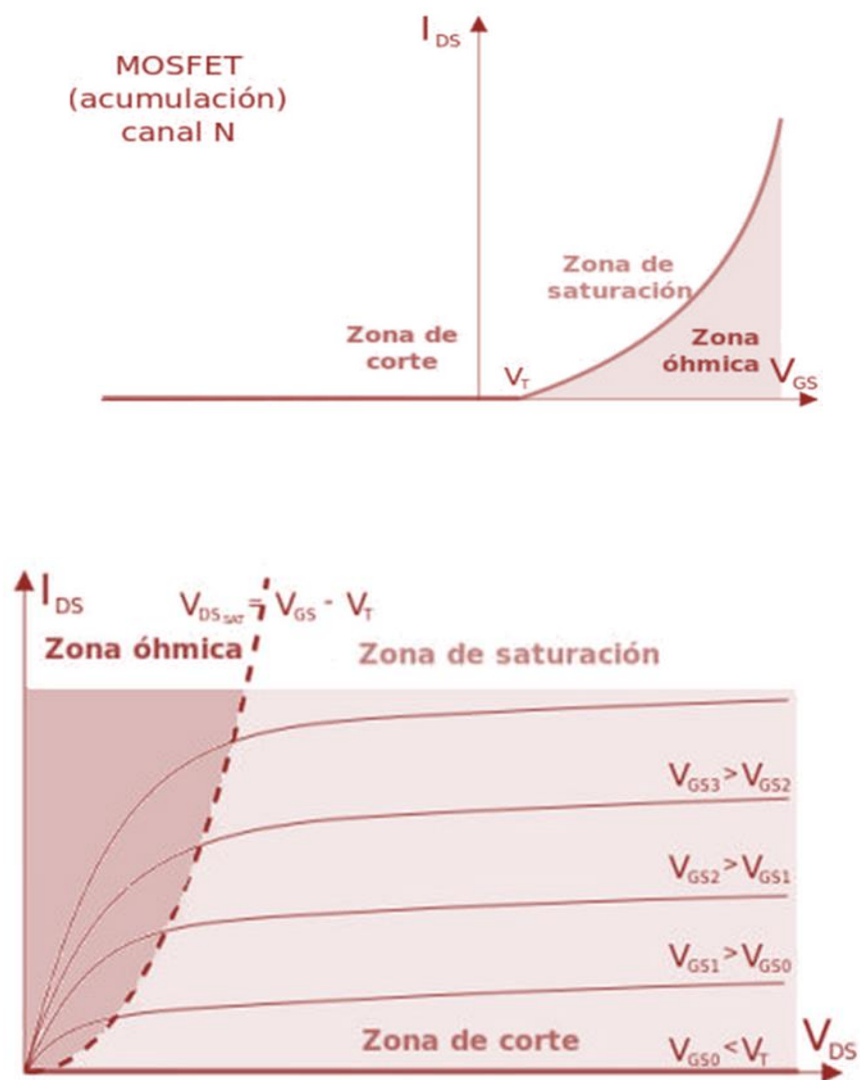


Fig. 2-12: Curva característica del MOSFET y zonas de operación.

2.2.2 MOSFET de enriquecimiento con cuatro terminales

En la Fig. 2-13 se muestra la configuración del MOSFET de enriquecimiento con cuatro terminales, la cual consiste en colocar una fuente de voltaje de tal manera que el potencial del sustrato se vuelve negativo con respecto a la fuente. Esto causará que la concentración de electrones en el canal disminuya y por lo tanto habrá un decremento de I_{DS} , este fenómeno se denomina *Body Effect*. El sustrato actúa como otra compuerta aplicando un potencial negativo al sustrato (V_{SB}), reduciendo la concentración de electrones en el canal de la misma manera que sucedería si le aplicara un potencial negativo a la compuerta, la ventaja de utilizar esta configuración, es que no presenta discontinuidades en I_{DS} [54].

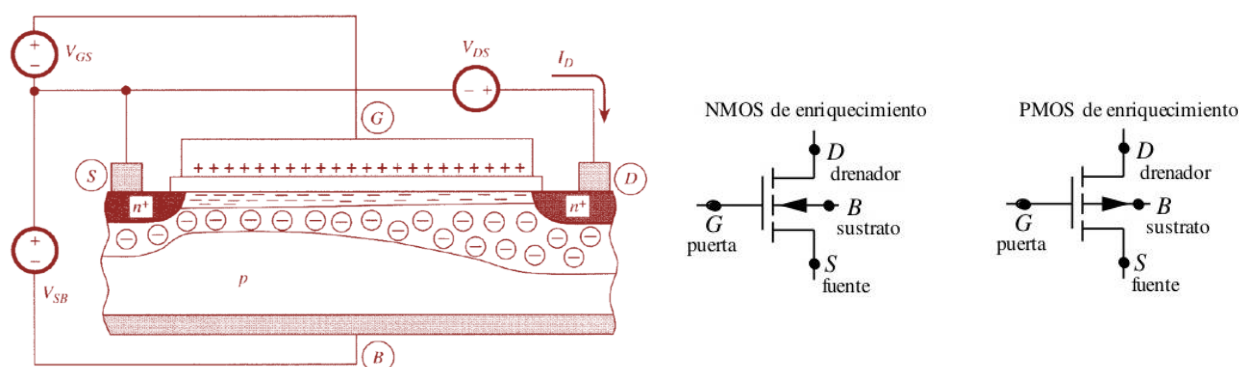


Fig. 2-13: Configuración del MOSFET de cuatro terminales.

Es importante mencionar que un transistor pMOS (canal-p y sustrato tipo-n), opera de forma similar que el nMOS, la diferencia está en que V_{GS} y V_{DS} son negativos, al igual que V_{TH} . En el pMOS, I_{DS} , entra por la terminal del Surtidor y sale por la terminal del Drenador. Inicialmente la tecnología fue dominada por los transistores pMOS, sin embargo surgió que el nMOS era más pequeño, más rápido y requería una alimentación menor, por lo tanto el pMOS fue substituido. Sin embargo, es importante ya que aún existen dispositivos que emplean esta tecnología, como circuitos discretos. Lo más importante, es que los transistores pMOS y nMOS se utilizan para la fabricación de circuitos MOS complementarios o CMOS, que es la tecnología MOS dominante.

2.2.3 MOSFET de empobrecimiento

Los MOSFET's de empobrecimiento cuentan con la peculiaridad de que el canal ya está formado, por lo que existe un flujo de corriente a través del dispositivo cuando se alimenta correctamente, por lo que se requiere estrangular el canal para bloquear el paso de la corriente. Este tipo de dispositivos funciona de manera contraria a los de enriquecimiento, es decir, si se tiene un voltaje en la compuerta de $V_{GS}=0$ y aplicamos un voltaje en V_{DS} , aparecerá un flujo de corriente de Drenador a Surtidor (I_{DS}), y continuará fluyendo, hasta que se aplique un voltaje negativo en la compuerta, es decir, $V_{GS}<0$, el cual expulsará los electrones del canal, mandando al transistor al estado de corte, por lo que habrá flujo de corriente I_{DS} (Fig. 2-14).

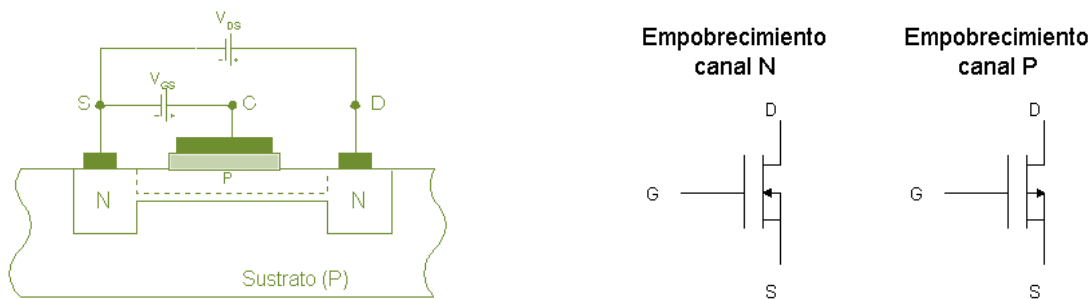


Fig. 2-14: Estructura del MOSFET de empobrecimiento tipo-n.

De forma similar al MOSFET de enriquecimiento, en este caso si se aplica un V_{DS} mucho mayor que V_{GS} provoca una situación de corriente independiente de V_{DS} (Fig. 2-15).

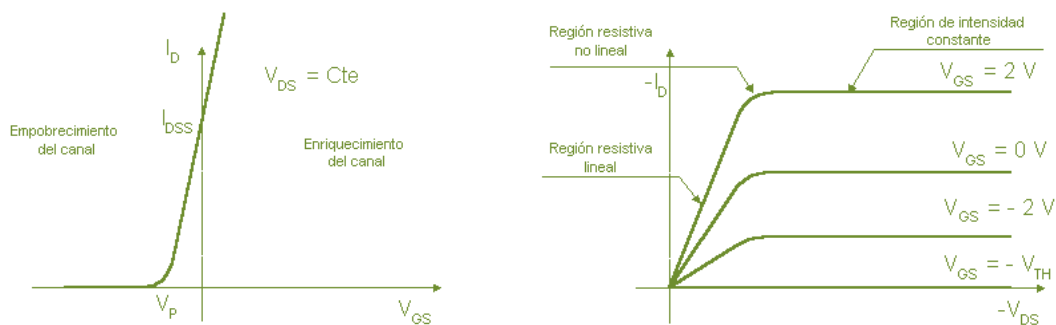


Fig. 2-15: Curva V_{DS} - I_{DS} característica del nMOSFET de empobrecimiento.

2.2.4 Escalamiento del MOSFET

En el proceso de fabricación de un MOSFET existen parámetros que pueden ser alterados para optimizar la eficiencia de su comportamiento eléctrico, entre los parámetros más importantes se encuentran: la longitud del canal (L) y el ancho de la compuerta (W), los cuales también son utilizados para referirse al tipo de tecnología empleada en la fabricación del dispositivo, es decir, si un transistor es fabricado con *Tecnología 60's*, se refiere a que la longitud del canal (L) es igual a 60nm. En el proceso de escalamiento tanto W como L son disminuidos a un factor determinado, para no alterar la resistencia del canal, así mismo, la capacidad de la compuerta se reduce con el mismo factor, lo que nos permite fabricar más transistores en una misma área superficial, incrementando la densidad de integración y la potencia del procesamiento de información.

Los gigantes de la industria semiconductora, continúan avanzando con el desarrollo de nuevos procesos y técnicas para el escalamiento de estos dispositivos, por ejemplo, *Intel* reportó en 2011 la Tecnología 22's obteniéndose 1480 millones de transistores. Aunque la lucha por la miniaturización continúa, se espera que para 2018, la longitud del canal sea de ~8-10nm, con una densidad de hasta 256 billones de transistores por chip [3]. En la Fig. 2-16 se muestra la tendencia de la miniaturización desde el primer transistor fabricado, hasta la actualidad y el futuro cercano.

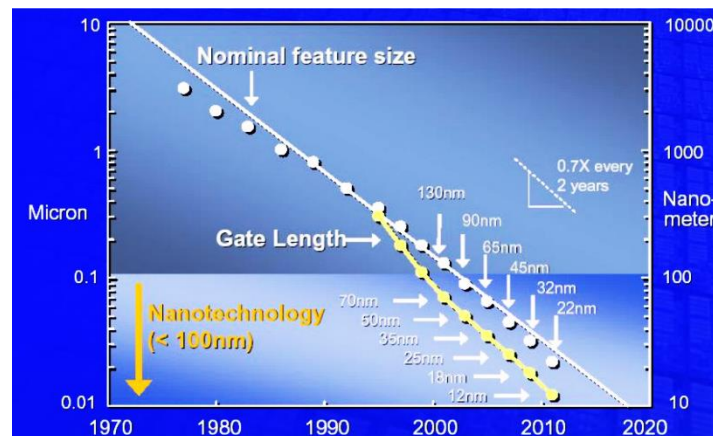


Fig. 2-16: Tendencia de la longitud del canal en los MOSFET.

Fabricar MOSFET's con longitudes de canal mucho más pequeñas, es todo un reto tecnológico debido a que el proceso de fabricación presenta muchas complicaciones, las cuales requieren un rediseño de los circuitos, así como, la necesidad de reducir los voltajes de operación y consumo de potencia. Algunos de los factores que limitan el escalamiento del MOSFET son las siguientes:

- Aumento de la corriente de fuga entre compuerta-óxido y en las uniones Surtidor-Substrato y Drenador-Sustrato.
- La producción y disipación de calor.
- Reducción del factor de transconductancia (g_m), es decir, el efecto que tiene el voltaje de compuerta sobre la corriente del transistor.
- Capacitancias parásitas.
- Limitaciones en el proceso de fabricación.
- Retos en el modelado matemático.

2.2.5 Tecnología CMOS

La Tecnología CMOS o MOS complementario, se basa en el acoplamiento de transistores MOS del tipo-p y tipo-n sobre el mismo sustrato, este tipo de tecnología es más complicada de fabricar, pero ofrece una gran flexibilidad en el diseño de dispositivos. Actualmente es la tecnología más útil y empleada en circuitos integrados, tanto digitales como analógicos, gracias a su alta impedancia de entrada y casi ha reemplazado los circuitos basados únicamente en transistores NMOS y de Unión Bipolar (*BJT*). En la Fig. 2-17 se muestra el corte transversal de un Transistor CMOS, en la cual se puede distinguir perfectamente la fabricación de ambos transistores sobre el mismo sustrato, en la cual se delimita una región para la fabricación del transistor nMOS, mientras que en la otra región se implanta una región tipo-n especialmente para fabricar el transistor pMOS, ambos transistores están aislados entre sí por una región gruesa de óxido.

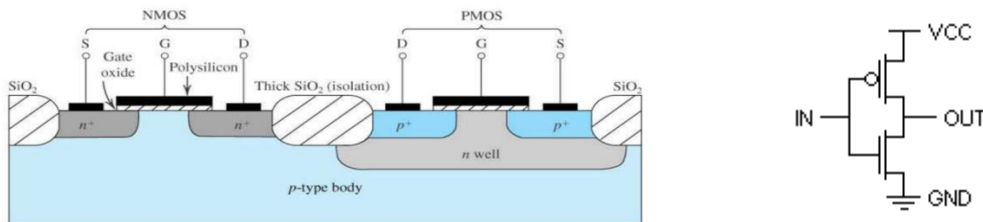


Fig. 2-17: Sección transversal de un transistor con tecnología CMOS.

La principal ventaja de esta tecnología es la posibilidad de obtener cualquier compuerta lógica. La más sencilla es el *Inversor*, si la tensión de entrada es alta (1), el pMOS se comportará como un aislante y el nMOS conducirá, obteniendo un (0) a la salida. Por el contrario, si la tensión de entrada es baja (0), a la salida se obtendrá un (1) (Fig. 2-18).

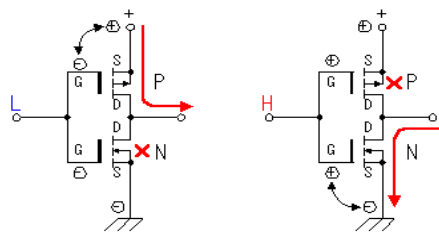


Fig. 2-18: Compuerta Inversor fabricada con tecnología CMOS.

2.3 Dispositivos de memoria MOS con compuerta flotante discreta

Los dispositivos de memoria no-volátil como las memorias *flash*, se componen de un arreglo de transistores interconectados que almacenan la información en forma de bits. En los últimos años se ha intensificado el estudio de estos dispositivos para mejorar sus características de retención de información, incrementar la densidad de información, aumentar la velocidad de operación y disminuir la pérdida de información a través del reemplazo de la compuerta flotante continua por una compuerta flotante discreta. Los dispositivos de memoria conformados por transistores MOS que contienen Si NCs inmersos en una compuerta dieléctrica presentan una opción viable, debido a su confiabilidad en el almacenamiento y retención de carga[32, 55]. El funcionamiento de una memoria de CFD se basa en escribir, almacenar y borrar información, lo que implica una transferencia de carga del canal hacia los nanocristales, los cuales funcionan como centros de almacenamiento discreto, modificando la tensión de umbral (V_{th}) del transistor mediante pulsos de tensión. En la Fig. 2-19 se muestra una comparación entre un Transistor MOS con CFC y CFD basada en Si NCs.

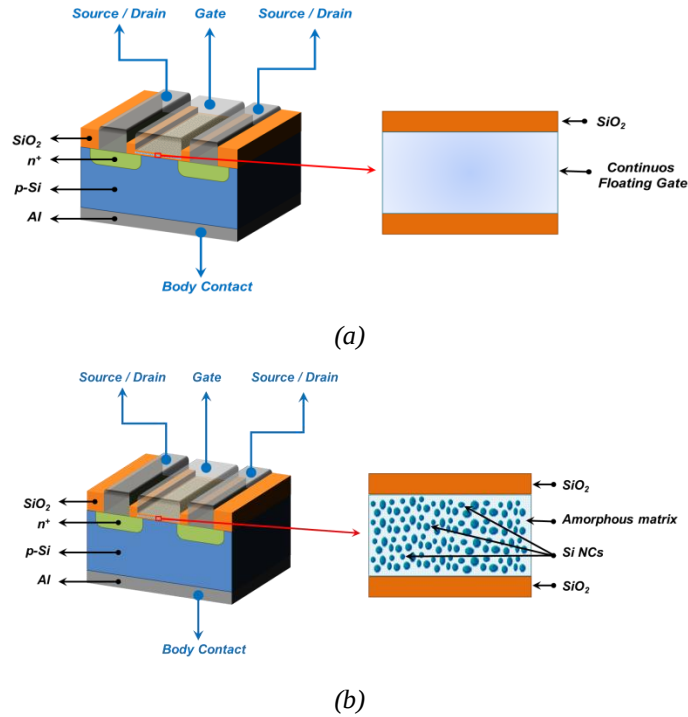


Fig. 2-19: Comparación entre dispositivos de memoria con CFC (a) y CFD que contienen Si NCs (b).

En la Fig. 2-20 se muestra de forma esquemática el proceso de escritura/borrado de un dispositivo de memoria que contiene nanocrisales. En esta representación se puede observar a través de un diagrama de bandas, el sustrato (semiconductor), el óxido de tunelaje, un nanocrystal (pozo potencial), el óxido de control y la compuerta. El proceso es básicamente el siguiente, se aplica un voltaje en polarización directa sobre la compuerta del transistor, lo suficiente para que los electrones del canal atraviesen el óxido de tunelaje y sean capturados en un nanocrystal, al retirar el voltaje la carga permanece almacenada en el nanocrystal, posteriormente se aplica un voltaje inverso y la carga almacenada en el nanocrystal es liberada. Estos pasos corresponden, respectivamente, al proceso de escritura, almacenamiento y borrado de un dispositivo de memoria que contiene Si NCs en la compuerta.

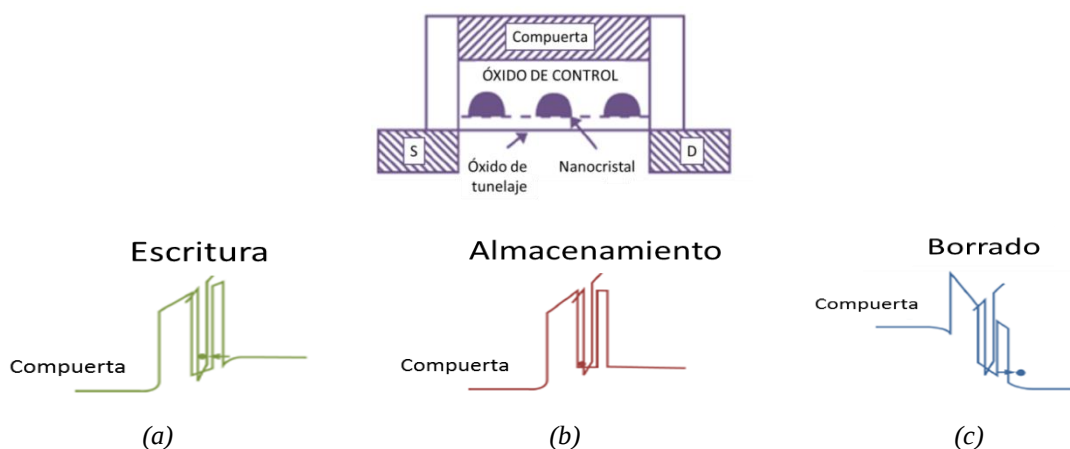


Fig. 2-20: Esquema de una memoria con CFD y su proceso de escritura (a), almacenamiento (b) y borrado (c) [32].

Los procesos de escritura y borrado en un dispositivo de memoria con CFD, se llevan a cabo a través del fenómeno de tunelaje directo a través del óxido o por portadores calientes (electrones calientes del canal, electrones calientes del sustrato o huecos calientes provenientes de las regiones laterales de Drenador o Surtidor). Lo que se desea es modificar el V_T de la memoria, es decir, se quiere producir un ΔV_T . Cuando se carga la estructura a través de tunelaje directo, se produce una muy pequeña ΔV_T , que compromete el funcionamiento de todo el dispositivo, excepto en los casos donde la densidad de nanoestructuras es muy alta, pero en estos casos el proceso de obtención de las nanoestructuras no es compatible con la tecnología CMOS. Sin embargo también ha sido posible obtener buenos resultados cuando las nanopartículas son cargadas por portadores calientes.

Capítulo 3

Principios de las Técnicas de Fabricación y Caracterización

“El investigador sufre las decepciones, los largos meses pasados en una dirección equivocada, los fracasos. Pero los fracasos son también útiles, porque bien analizados, pueden conducir al éxito. Y para el investigador no existe alegría comparable a la de un descubrimiento, por pequeño que sea...”

Alexander Fleming (1881-1955).

Científico escocés, ganador del Premio Nobel de Medicina en 1945 por el descubrimiento de la penicilina.

Este capítulo comprende los procesos de fabricación y las técnicas de caracterización utilizados en este proyecto, lo cual será una herramienta útil para interpretar con claridad los resultados obtenidos.

3.1 Procesos tecnológicos de fabricación

Todos los dispositivos basados en la tecnología MOS de la actualidad, requieren de un proceso de fabricación complicado y crítico, el cual se describe a continuación, en forma muy general.

3.1.1 Obtención de las obleas de silicio

El inventor del proceso que se utiliza para hacer crecer monocristales de Silicio, fue el químico polaco *Jan Czochralski* en 1916, descubriéndolo al dejar una pluma en un crisol de Sn fundido y al sacar la pluma, observó que de la punta colgaba un hilo de metal solidificado, por lo que con este método era capaz de generar filamentos de 1mm de grosor y de más de un metro de longitud. En la actualidad el proceso utilizado, es el siguiente:

1. Se coloca dentro de un contenedor, Silicio en polvo de ultra alta pureza (99.9999%), adicionando posteriormente impurezas para obtener obleas con dopaje tipo-p o n.
2. Se introduce una “semilla” en el Silicio fundido (~1500°C). La semilla es una pequeña muestra de monocristal de Si con cierta orientación, que se coloca sobre una sonda que rota y se introduce en el crisol de Si fundido.
3. La sonda que contiene la semilla se va elevando lentamente mientras el crisol rota, formando así el monocristal a partir de la punta y creando un lingote cilíndrico (Fig. 3-1).

Convencionalmente existen lingotes que cuentan con un diámetro de: 1”, 1.5”, 2”, 3”, 4”, 5”, 6”, 8”, 10”, 12”, 16” (pulgadas) y de hasta dos metros de longitud. La variación del diámetro y grosor depende considerablemente del tipo de estructura a fabricar y su aplicación [6].

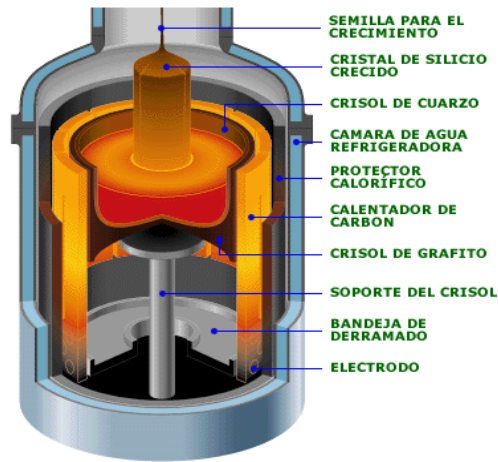


Fig. 3-1: Método de crecimiento cristalino “Czochralsky”.

Después de la formación del lingote de Si, se realizan cortes rectos (*flats*) para indicar la orientación cristalina de la superficie (100) o (111) y el tipo de dopaje: ‘tipo-p’ o ‘tipo-n’, como se muestra en la Fig. 3-2. Finalmente el lingote es seccionado para obtener finalmente las obleas, las cuales poseen un grosor entre 250-500µm [6].

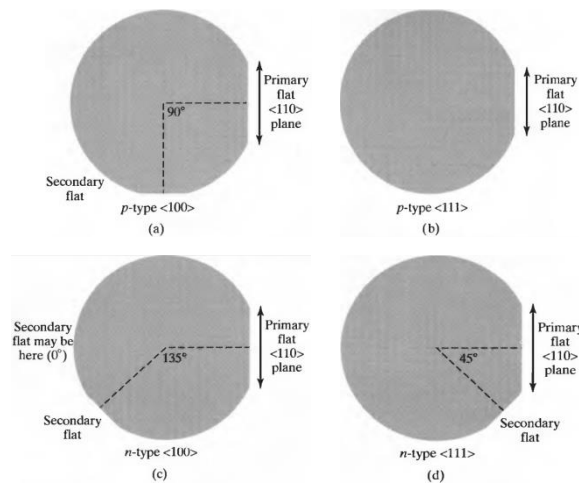


Fig. 3-2: Cortes característicos en una oblea de dopaje tipo-p con orientación 100 (a) y 111 (b). Así como de dopaje tipo-n con orientación 100 (c) y 111 (d), respectivamente [6].

Antes de comenzar a fabricar un dispositivo, es importante conocer ciertas características sobre la oblea, como el tipo de dopaje, orientación cristalina y la resistividad del sustrato de Si. El tipo de dopaje determina los portadores mayoritarios, ya sean huecos o electrones, presentes

en el sustrato. Además de los cortes en las obleas, también se utiliza la técnica de “punta caliente” para determinar el tipo de dopaje, se le denomina así, debido a que una de las puntas tiene una temperatura mayor a otra, generando así un gradiente de temperatura, por lo que el sentido del flujo de la corriente estará dado por la difusión de los portadores mayoritarios, es decir si tenemos una oblea tipo-p, habrá un flujo de huecos de la punta caliente a la punta fría. Esta corriente tendrá una continuidad por el circuito a través del amperímetro, indicando una corriente eléctrica saliendo de la punta fría a la punta caliente. En el caso de un semiconductor tipo-n, el flujo de electrones será de la punta caliente a la punta fría, por lo que el amperímetro indicará una corriente eléctrica saliendo de la punta caliente a la punta fría.

Otro aspecto importante es la orientación cristalográfica, la cual puede influir principalmente en las tasas de oxidación del sustrato y en la densidad de defectos en el óxido crecido térmicamente, el cual origina centros de retención de carga en el aislante. Estas cargas pueden responder de forma no deseada al aplicar un campo eléctrico sobre el dispositivo, reduciendo su desempeño.

Por último, la resistividad (ρ) indica la concentración de dopantes (portadores mayoritarios) en el sustrato de Si. Para calcular la resistividad, primeramente se necesita determinar la resistencia laminar (R_s) utilizando la Ec. (3-1), donde V/I es medido a través del método de cuatro puntas. El cual consiste en colocar cuatro puntas de forma alineada y con la misma separación, donde se inyecta una corriente en la oblea a través de las puntas externas y se mide el voltaje entre las dos puntas internas.

$$R_s \langle \Omega/\blacksquare \rangle \langle \rangle = 4.53 \frac{V}{I} \quad (3-1)$$

$$\rho \langle \Omega \cdot cm \rangle = R_s \cdot t \quad (3-2)$$

Una vez obtenido el valor de R_s se emplea la Ec. (3-2), donde t es el grosor de la oblea, obteniéndose así la resistividad del sustrato. Normalmente, se utilizan sustratos con concentraciones en el orden de 10^{14} y 10^{16} cm^{-3} , con resistividades entre $1\text{-}22 \text{ } \Omega \cdot \text{cm}$.

3.1.2 Procesos de limpieza: química y por plasma

El propósito de realizar una limpieza, es para remover contaminantes orgánicos como: polvo, grasa, restos de piel, o cabello, así como, contaminantes inorgánicos no deseados como: capas de óxido nativo ($\sim 1\text{-}2\text{nm}$), el cual crece naturalmente sobre la oblea o la muestra al entrar en contacto con el oxígeno presente en la atmósfera y adicionalmente para remover cualquier contaminante iónico, sales o metales pesados que pudieran encontrarse en la superficie de nuestra oblea, antes y durante el proceso de fabricación. Los procesos de limpieza química comúnmente utilizados en la industria semiconductora, es la limpieza *RCA*, *piraña* y *orgánica*, donde se emplean algunos químicos agresivos como: *HCL*, *HF*, *H₂SO₄*, *NH₄OH* (*hidróxido de amonio*). Un químico muy importante utilizado en la limpieza de las obleas y a través de todo el proceso de fabricación es el *agua des-ionizada (DI)*. Otro tipo de limpieza utilizado frecuentemente es la limpieza *RIE* (*reactive-ion etching*), la cual requiere de un plasma generado a baja presión y un campo electromagnético de alta energía para ionizar los gases reactivos (comúnmente de O_2) y acelerar los iones para bombardear la superficie de la muestra y reaccionar con ella, comúnmente se utiliza este método para remover residuos de *photoresist* (material sensible a la luz), que no pudieron ser eliminados por la limpieza química, lográndose a través de la oxidación del material [6].

3.1.3 Tratamientos térmicos

Las propiedades físicas de un material dependen de su estructura cristalina, por lo que al aplicar un tratamiento térmico, modificamos su estructura, dando a los materiales ciertas características, mediante un proceso de calentamiento y enfriamiento, hasta conseguir la estructura cristalina deseada, con el fin de mejorar sus propiedades. Este tipo de tratamientos se lleva a cabo convencionalmente en un horno horizontal compuesto de un tubo de cuarzo, con varias regiones de resistencias; las cuales definen la temperatura de operación y mantienen la misma temperatura a través del horno. Las obleas se introducen en un extremo del horno y por el otro extremo, se introducen los gases de alta pureza, requeridos para el proceso. Algunas de las

aplicaciones más comunes durante la fabricación de un dispositivo son: la oxidación térmica y el recocido térmico.

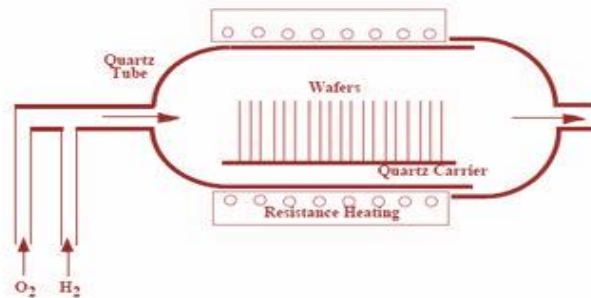
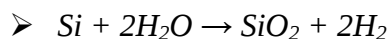


Fig. 3-3: Horno para tratamientos térmicos.

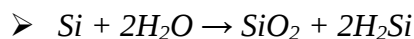
3.1.3.1 Oxidación térmica

Este proceso consiste en formar una capa de SiO_2 , a través del tratamiento térmico de una oblea de Si a una temperatura de $\sim 900\text{-}1200\text{ C}$ y en presencia de oxígeno, este óxido es útil y más apropiado para la fabricación de dispositivos, que el óxido nativo. Existen dos procesos de oxidación comúnmente utilizados:

1. Oxidación húmeda: Se realiza utilizando una atmósfera con vapor de agua, la cual propicia a un crecimiento del óxido más rápido, pero presenta como desventajas, mayores defectos y menor control sobre la oxidación.; este tipo de óxido se utiliza como barrera de protección durante el proceso de fabricación de un transistor MOS. La reacción química que ocurre en la superficie del Si es:



2. Oxidación seca: Se realiza con oxígeno puro, lo que lo hace un proceso más lento pero produce menos defectos y ofrece un mayor control sobre el proceso. El óxido producido con la oxidación seca es de mayor calidad y suele destinarse para el óxido de compuerta del transistor MOS. La reacción química que ocurre es:



Durante el proceso de oxidación térmica, el Si se va consumiendo aproximadamente un 46%, conforme el óxido va creciendo un 54%, tomando como referencia la superficie inicial. Al iluminar con luz blanca una oblea oxidada la interferencia constructiva y destructiva hará que ciertos colores se reflejen y con base en el color de la superficie de la oblea se puede deducir el espesor de la capa de óxido [6].

3.1.3.2 Recocido térmico

Esta etapa es comúnmente utilizada para la pasivación de un dispositivo previamente fabricado, sometiéndolo a un tratamiento térmico a temperaturas relativamente bajas (100-500°C) en una atmósfera de gas inerte como: Ar, N₂, o una mezcla, por ejemplo N₂+H₂ (*forming gas*), para disminuir defectos presentes en la interfaz, dislocaciones, vacancias o enlaces no compensados. Por otra parte, etapas de recocido a temperaturas relativamente altas (800-1200°C), son por lo general utilizadas para lograr el crecimiento o la formación de películas y/o partículas [56].

3.1.4 Implantación iónica

Es una técnica que se utiliza para introducir átomos de impurezas dentro de la superficie de una oblea de Si, a través de un acelerador de partículas de alto voltaje (30-300keV). La concentración de iones (10^{11} a 10^{16} iones/cm²) y la profundidad a la que penetran son controladas por la dosis y la energía de implantación (Fig. 3-4). La implantación se lleva a cabo a baja temperatura para reducir la penetración de las impurezas, este proceso se utiliza normalmente cuando el control del perfil del dopaje es esencial para la operación del dispositivo; por ejemplo para formar las regiones de Drenador y Surtidor en un transistor se utiliza la implantación de iones de boro (B^+), fósforo (P^+) y arsénico (As^+), utilizando las siguientes fuentes: nitruro de boro (BN), pentafluoruro de fósforo (PF_5) e hidruro de arsénico (AsH_3), respectivamente, las regiones tipo-p⁺ quedan implantadas con: $^{11}B^+$, y las regiones tipo-n⁺ con: $^{31}P^+$, $^{51}As^+$, según sea el caso.

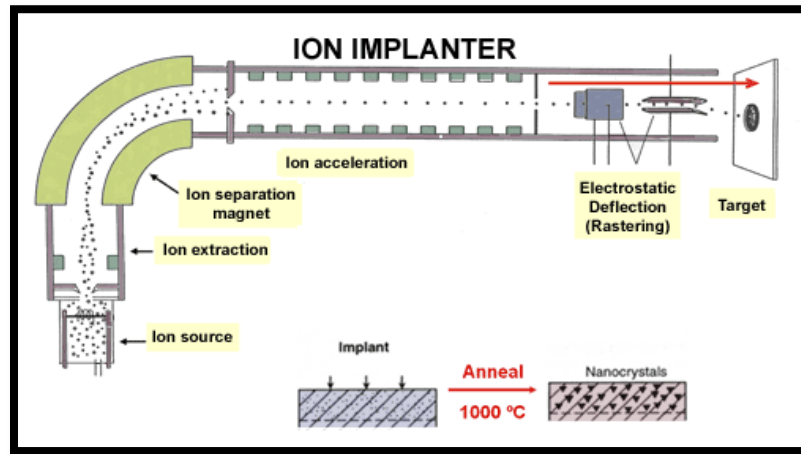


Fig. 3-4: Esquema de un implantador de iones.

El proceso de implantación iónica permite controlar parámetros como [57]:

- i) Energía aplicada a los iones, determina la profundidad media de la penetración en el sustrato.
- ii) Dosis o cantidad de impurezas por unidad de área, proporcionada por la corriente del haz.
- iii) El tipo de dopante implantado, el cual es seleccionado por un espectrómetro de masas.
- iv) La contaminación mínima, que es establecida por un alto vacío 10^{-8} Torr.
- v) Uniformidad lateral y definición espacial de la región implantada.

Después de la implantación, se produce una capa de impurezas en la superficie, la cual puede ser removida con una limpieza química, posteriormente la oblea implantada es sometida a una etapa de recocido, para reacomodar la red cristalina y corregir el daño causado sobre el sustrato. En la Fig. 3-5 podemos observar que el perfil de concentración de impurezas obtenido con esta técnica, corresponde a un comportamiento gaussiano, donde el SiO_2 sirve como una barrera en contra de la implantación de iones [6].

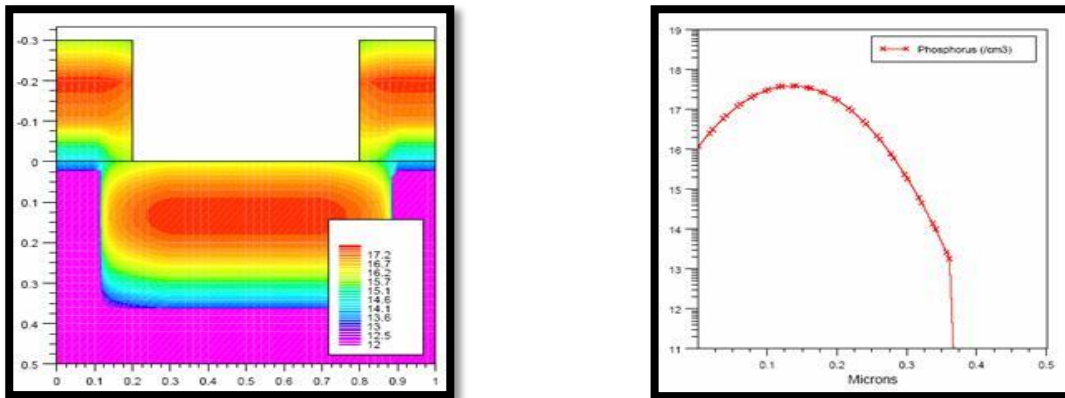


Fig. 3-5: Perfil de concentración para implantación iónica.

3.1.5 Difusión

Al igual que la implantación iónica, la difusión es un método mediante el cual se introducen impurezas en el sustrato de Si para cambiar su resistividad y por efecto de la temperatura las impurezas, se mueven de una región de mayor a una de menor concentración, a través del cristal semiconductor. Incluso en materiales sólidos absolutamente puros, los átomos se mueven de una posición en la red a otra; la razón de movimiento está relacionada con la energía térmica, mediante la ecuación de *Arrhenius*, lo que significa que la capacidad de los átomos y las impurezas para difundirse aumenta conforme a la temperatura. Existen dos mecanismos de difusión importantes:

- a) Difusión intersticial: Un átomo pequeño ocupa un espacio entre los átomos de la red cristalina, pasando de un sitio a otro.
- b) Difusión por vacancias: Un átomo abandona su posición en la red, para ocupar una vacancia cercana, creando así una vacancia en su lugar original en la red y así sucesivamente.

La velocidad a la cual se difunden los átomos en un material, se puede medir mediante el flujo de partículas, el cual se define como el número de átomos que pasa a través de una unidad de superficie por unidad de tiempo. El flujo neto de átomos en el proceso de difusión, está determinado por la Ec. (3-3), conocida como *1ª Ley de Fick* [6].

$$J = -D \frac{\partial N}{\partial x} \quad (3-3)$$

Donde:

J = Flujo de partículas (átomos/cm²·seg).

$\partial N/\partial x$ = Gradiente de concentración de impurezas (átomos/cm³).

D = Coeficiente de difusión (cm²/seg).

El gradiente de concentración muestra la forma en que la composición del material varía respecto a la distancia, mientras que el coeficiente de difusión está relacionado con la temperatura mediante la ecuación de Arrhenius (3-4).

$$D = D_0 e^{\frac{-E_A}{kT}} \quad (3-4)$$

Donde:

E_A = Energía de activación (cal/mol).

k = Constante de Boltzmann's (8.617x10⁻⁵ eV/°K).

T = Temperatura (°K).

D_0 = Constante de difusión del material (cm²/seg).

El proceso de difusión consiste en introducir las obleas de Si en un horno y dejar pasar a través de ellas las impurezas en forma líquida, gaseosa o sólida, al entrar en contacto con la superficie del substrato se deposita una capa material, la cual entra en proceso de difusión sobre el substrato. El proceso se lleva a cabo en alta temperatura (800—1200°C), para acelerar la difusión y obtener el perfil de dopaje deseado. La temperatura y la concentración de impurezas están en función del límite de solubilidad de los dopantes sobre el silicio. De acuerdo al perfil de concentración de impurezas en el semiconductor, existen dos modelos para la difusión:

1. Difusión por fuente constante: se mantiene constante la concentración de impurezas en la superficie del substrato durante el proceso de difusión, el cual presenta un perfil de tipo media gaussiana.

2. Difusión por fuente limitada: se deposita la cantidad final de impurezas en la superficie de la oblea y desde ahí se difunden, con un comportamiento correspondiente a una función de error complementario (*erfc*) mostrada en la Fig. 3-6.

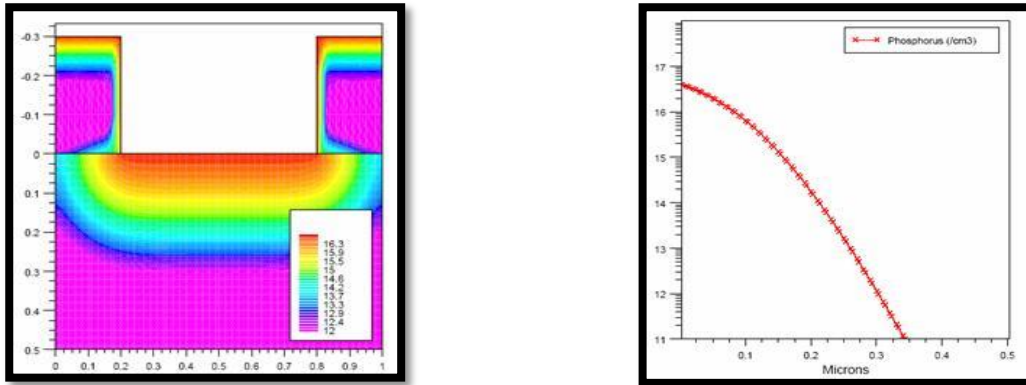


Fig. 3-6: Perfil de concentración para difusión de Fósforo en Silicio, correspondiente a una función *erfc*.

3.1.6 Fotolitografía

Esta técnica es utilizada para definir y crear un patrón sobre la superficie de un material a través de una máscara. Para conseguir esto, se realizan los siguientes procedimientos:

- Recubrimiento de la oblea con un polímero sensible a la luz, llamado *photoresist*. El recubrimiento se lleva a cabo utilizando un disco giratorio (*spinner*), que por fuerza centrífuga cubre la oblea homogéneamente.
- Se coloca la oblea en una placa calefactora (*hot-plate*) para realizar lo que se conoce como etapa de *pre-bake*, la cual se emplea para fijar el polímero al sustrato.
- Alineamiento de la máscara que contiene el patrón deseado, sobre la oblea y después realizar la exposición a luz UV. Después de la exposición, el patrón de la máscara se imprime directamente sobre el *photoresist*. Cuanto más corta la longitud de onda, mayor resolución que se puede alcanzar.

- Posteriormente, la oblea con el *photoresist* son sometidos a la etapa de revelado, donde la oblea es sumergida en una solución conocida como revelador (*Developer MIF—Metal Ion Free*), con la cual se remueve el *photoresist* que fue expuesto a la radiación y posteriormente se enjuaga con agua DI para remover el MIF.
- Una vez obtenido el patón transferido a nuestra estructura, se coloca nuevamente en el *hot-plate* para endurecer la capa fotosensible y fijar los cambios, esta etapa se conoce como *hard-bake*.
- Finalmente se lleva a cabo el ataque químico del material para definir el patrón. El *photoresist* puede utilizarse para proteger por debajo los materiales contra el ataque químico. Y por último se remueve la capa de *photoresist* sobrante con limpieza orgánica.

Algunos aspectos importantes que se deben mencionar, es que en la industria semiconductora se utilizan dos clases de *photoresist*, el positivo y el negativo. En el *photoresist* positivo los enlaces entre las moléculas se rompen en presencia de luz, mientras que para el *photoresist* negativo, las regiones expuestas a la luz son polimerizadas (Fig. 3-7).

La sala donde se lleva a cabo el proceso, debe contar con iluminación de color amarillo, para evitar cualquier tipo de reflejo durante la fotograbación. Un aspecto que afecta de forma importante la adhesión del *photoresist* al sustrato, es la humedad del ambiente de la sala, por lo que se utilizan deshumidificadores, así como la aplicación de un químico sobre la oblea, llamado hexa-metil-disilizano (*HMDS*) con el objeto de facilitar la adhesión del *photoresist*.

Para una transferencia de patrones con buena resolución, depende de la longitud de onda empleada en la proyección, por lo que actualmente las fuentes de luz utilizadas son lámparas de Mercurio (*Hg*), que emplean longitudes de onda UV en el rango de 193-248nm y permiten alcanzar una resolución de ~50nm. Para reducir este límite se emplean otras técnicas como litografía por inmersión y la litografía de rayos X, la cual es la próxima generación de litografía que se supone sustituirá a la óptica, empleando longitudes de onda aún más corta, unas 8 veces menor, de unos 0.1 nm [58].

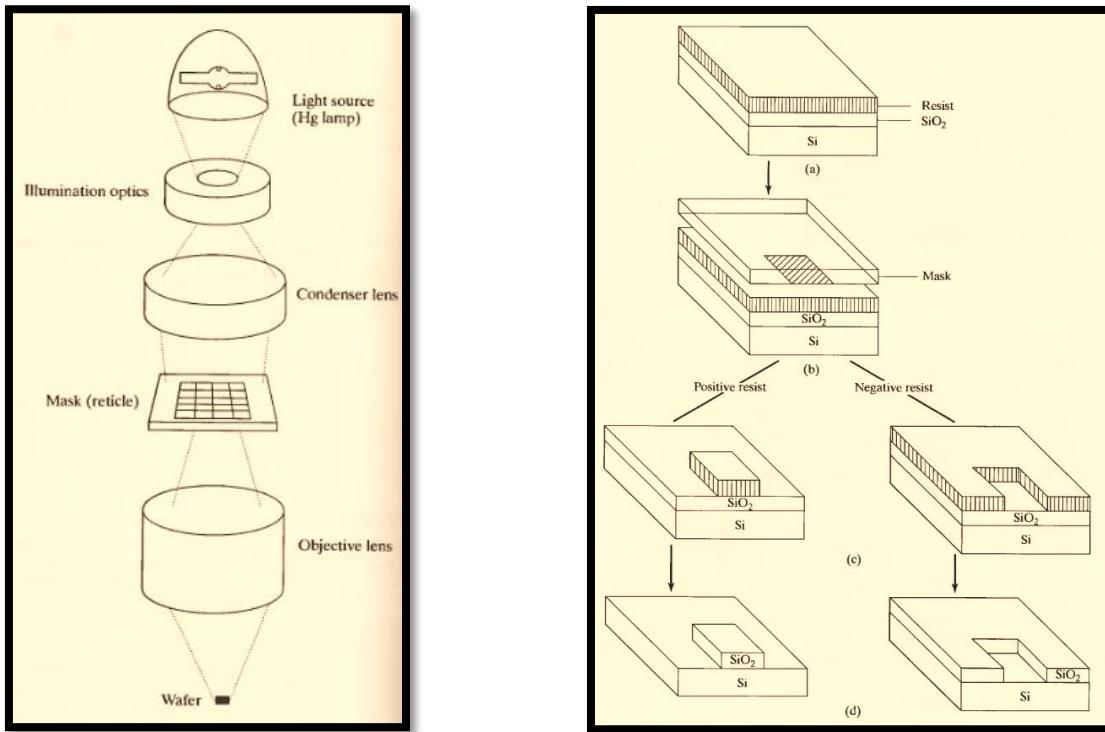


Fig. 3-7: Proceso de litografía óptica [6].

3.2 Síntesis de películas delgadas

Las técnicas de fabricación de películas delgadas son muy amplias, por lo que en esta sección abordaremos las técnicas de deposición de películas utilizadas en este proyecto. Las técnicas empleadas a través de: *Deposición por vapor físico (PVD—Physical Vapor Deposition)*: evaporación térmica y *sputtering*. Por otro lado, para las deposiciones del tipo: *Deposición por vapor químico (CVD—Chemical Vapor Deposition)*, se empleó la técnica: *Resonancia ciclotrónica de electrones (Electron Cyclotron Resonance—ECR-CVD)*, las cuales se discutirán a continuación.

3.2.1 Evaporación térmica

El montaje de la técnica es simple, y resulta muy apropiada para la deposición de capas delgadas de materiales metálicos y algunos compuestos con punto bajo de fusión, entre ellos el aluminio (*Al*) y el monóxido de silicio (*SiO*). El procedimiento es el siguiente, en una cámara de vacío, se hace pasar una corriente eléctrica a través de un filamento o una placa metálica sobre el cual se deposita el material a evaporar, el material se calienta hasta llevarlo a su punto de fusión y posteriormente a su punto de evaporación, al evaporarse el material se desprende en forma radial y se condensa sobre el sustrato, formando una película. El grosor de la película es determinado mediante una microbalanza de cuarzo, situada dentro de la cámara y en una posición próxima al sustrato, la cual permite medir la tasa deposición in situ, mediante el cambio de su frecuencia natural de vibración (5-6MHz) al incrementar la masa. Para obtener una deposición más homogénea, se puede implementar un sistema que haga girar el sustratos manteniéndolo paralelo al filamento.

Los metales típicos usados como filamento, son el tántalo (*Ta*), molibdeno (*Mo*), wolframio o tungsteno (*W*), los cuales presentan una presión de vapor prácticamente nula a la temperatura de evaporación (~1000-2000°C). En la Fig. 3-8 se representa un esquema del equipo de deposición mediante calentamiento por resistencia utilizado en el laboratorio:

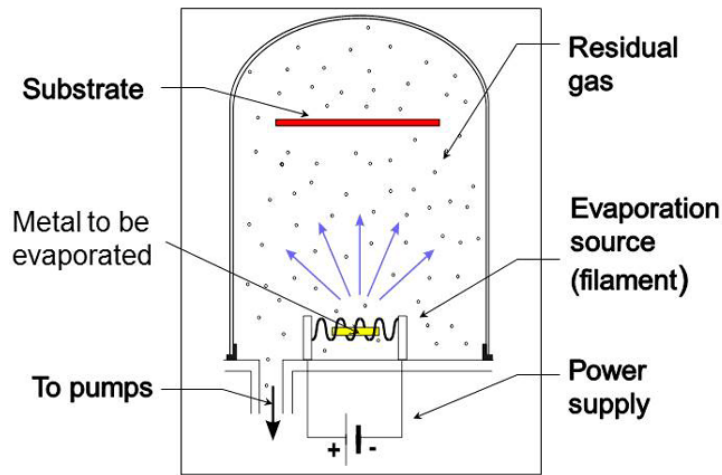


Fig. 3-8: Diagrama del proceso de evaporación térmica [59].

3.2.2 Erosión iónica (Sputtering)

El depósito de películas delgadas por este método es muy común en los procesos de fabricación de la industria semiconductora, debido a que las películas depositadas presentan excelentes características como: uniformidad, homogeneidad, alta pureza y excelente adherencia. Esta técnica también se le conoce como pulverización catódica o espurreo.

El principio físico de la técnica, se basa en el desprendimiento de átomos de un material sólido denominado "blanco", mediante un bombardeo de iones energéticos, los átomos desprendidos del blanco, tienden a depositarse en la superficie de la cámara, lo que tiene como resultado una deposición del material erosionado sobre nuestro sustrato, formando una película delgada. En la mayoría de los casos, los iones de gases nobles utilizados como el Argón (Ar) son utilizados para erosionar la superficie del material a través de la formación de un plasma (gas ionizado) (Fig. 3-9).

En la práctica se usan dos técnicas para crear el plasma: i) aplicando una corriente alterna de radiofrecuencia (*r.f.*) y ii) aplicando un potencial de polarización de corriente directa (*DC*), en ambos casos el sustrato se encuentra eléctricamente polarizado por un magnetrón. Los sistemas de *r.f. sputtering*, se utilizan para depositar materiales aislantes y *DC*, se utiliza para depositar materiales conductores.

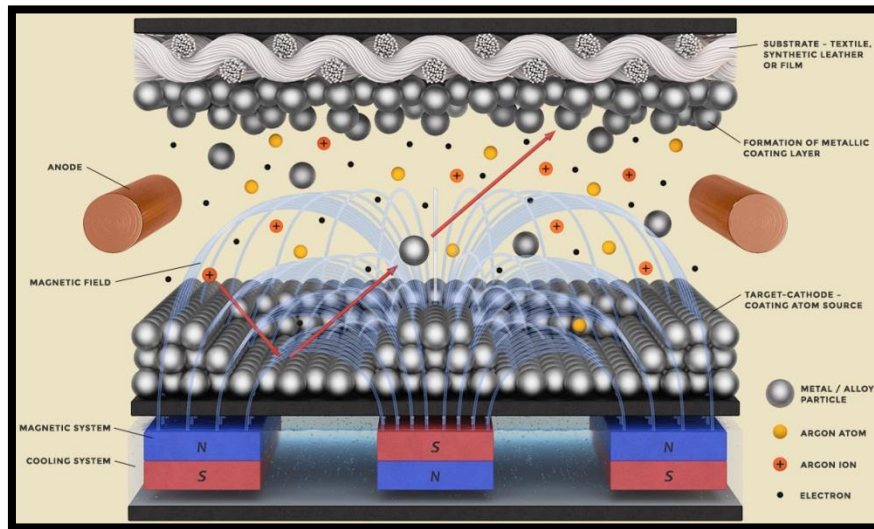


Fig. 3-9: Sistema de erosión iónica [59].

3.2.3 Deposición química de vapor asistida por resonancia ciclotrónica de electrones (ECR-CVD)

El proceso CVD es contrario al PVD, no se parte de un material en bulto, sino de un precursor, el cual son gases o vapores que reaccionan químicamente, lo cual conduce a la formación de sólidos que se depositan en forma de película en un sustrato. Las propiedades de materiales como óxido de silicio depositado por CVD, son tan buenas como las de un óxido térmico, para que actúe como aislante [60]. La ventaja de depositada una capa de óxido por vapor químico es que se deposita con rapidez y a temperatura ambiente, para lo cual se utiliza como precursor Silanoa (SiH_4), Ar y O_2 , los más utilizados en esta técnica.

El sistema ECR-CVD, se trata de un sistema CVD auxiliado por plasma, en el que la densidad de partículas es aumentada a través de la resonancia ciclotrónica de electrones. Esta técnica es auxiliada por plasma del tipo remoto, es decir, plasma generado en una región distante al área de la deposición, lo que reduce drásticamente los daños ocasionados al material donde se deposita. Actualmente es uno de los sistemas CVD más utilizados en procesos tecnológicos de microfabricación, pues trabaja en bajas presiones, temperaturas de sustrato bajas, combinando

un campo eléctrico en la producción de plasma. Su nombre procede, debido a que los electrones actúan en respuesta a un campo magnético que los hace entrar en resonancia y orbitar a una determinada frecuencia. Un plasma de este tipo se genera a través de la excitación por microondas (2.45 GHz) generada por un magnetrón y se inyecta en la cámara de ECR través de una guía de onda y un campo magnético aplicado por las bobinas magnéticas [61].

El sistema de ECR-CVD con plasma remoto reduce los daños ocasionados en la muestra por los iones de alta energía, minimizando la cantidad de defectos de la superficie del sustrato permitiendo la deposición de películas con una excelente uniformidad y a una amplia gama de velocidades de deposición (hasta mayor que 10nm/min), y permite la deposición de la película incluso a presiones más bajas que las utilizadas en los procesos de plasma convencionales y a temperatura ambiente; adicionalmente, permite combinar procesos de corrosión [62].

Los parámetros del proceso, que influyen en las propiedades físicas y la composición química de las películas son gases reactivos, temperatura del sustrato, la presión, el flujo de gas, la potencia de microondas y de RF, tiempo de deposición y otros factores, tales como la limpieza de las paredes de la cámara, que puede generar impurezas que se incorporan en la estructura de película, degradando su calidad.

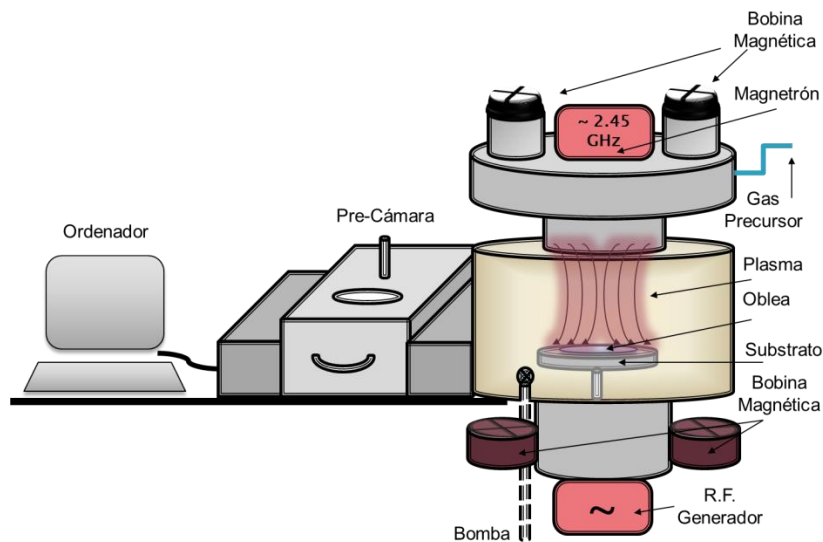


Fig. 3-10: Sistema de ECR-CVD.

3.3 Técnicas de caracterización por espectroscopía

Los métodos de caracterización por espectroscopía son empleadas para analizar y modelar la interacción de la radiación electromagnética y la materia, los cuales se basan en el estudio de la absorción o emisión de energía a una longitud de onda determinada y los niveles de energía implicados en la transición cuántica. La caracterización óptica de las muestras aquí estudiadas nos revelará información de los enlaces químicos, la estructura molecular, el grosor de las capas depositas, la rugosidad de superficie y sus propiedades ópticas (índices de refracción y coeficiente de extinción y absorción de luz), todo esto será de gran importancia para conocer las propiedades de nuestras estructuras y entender su comportamiento. Algunas ventajas de estas técnicas: análisis no destructivo, análisis en cuestión de minutos y las muestras no requieren preparación previa al análisis.

La radiación electromagnética adopta varias formas de acuerdo a su longitud de onda, comprendiendo un espectro bastante amplio, el cual se puede observar en la Fig. 3-11. En función de la longitud de onda, el ser humano es capaz únicamente de observar un rango muy corto del espectro ($\sim 350\text{-}780\text{nm}$), conocido como luz visible, pero existen radiaciones que son imperceptibles como la radiación UV, rayos-X, rayos- γ (gamma), con una longitud de onda mucho menor; en contraparte existen radiaciones con una longitud de onda mucho mayor como la radiación infrarroja, microondas y la de radiofrecuencia que también son imperceptibles para el ser humano [63]. Particularmente en este trabajo de investigación nos enfocaremos únicamente en las técnicas de análisis de Espectroscopía Infrarroja (IR), Raman, Elipsometría (SE), energía dispersada de rayos-X (EDX) y Fotoluminiscencia (PL).

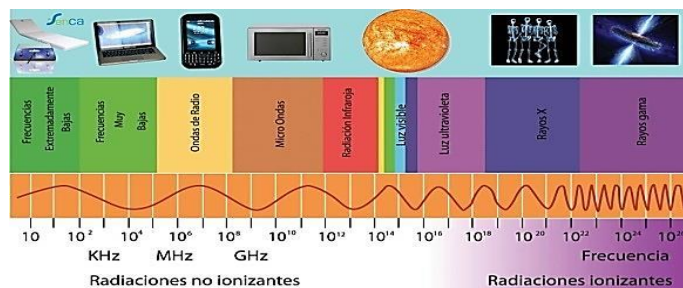


Fig. 3-11: Espectro de radiación electromagnética.

3.3.1 Espectroscopía infrarroja (IR)

La técnica de Espectroscopía de Infrarrojo permite la identificación de los principales grupos funcionales presentes en un material, en función de la cantidad de radiación infrarroja que este absorbe, transmite o refleja. En esta técnica se incide sobre la muestra, un haz de luz infrarrojo monocromático con una longitud de onda determinada, de tal forma que si la longitud de onda de excitación de algún enlace molecular presente en la muestra, coincide con alguna de las frecuencias que componen el haz, se produce absorción de energía. Esto debido a que cuando una molécula absorbe radiación infrarroja, pasa de su estado fundamental a un estado vibracional excitado, produciéndose una vibración característica. Esto genera señales con frecuencias que corresponden a la vibración de un enlace específico de acuerdo a la energía suministrada [64]. En la Fig. 3-12, se muestran los dos modos principales de vibración, alargamiento y flexión, y éstos están cuantizados.



Fig. 3-12: Modos de vibración molecular.

La región infrarroja se divide en tres regiones denominadas infrarrojo cercano (*NIR*) 14000-4000 cm^{-1} , infrarrojo medio (*MIR*) 4000-400 cm^{-1} e infrarrojo lejano (*FIR*) 400-10 cm^{-1} . El espectro obtenido indica una relación directa entre la frecuencia espacial de la onda expresada en unidades de número de onda (cm^{-1}) y la transmisión de luz a través de la muestra expresada en intensidad óptica con unidades arbitrarias (*arb. units*). La frecuencia espacial, se puede interpretar como el número de ondas que existe en una distancia específica, expresándose en número de ciclos o radianes por unidad de distancia; también se conoce convencionalmente como número de onda (*Wavenumber*) y equivale a la radiación electromagnética que se absorbe o transmite, por lo que estos valores pueden ser convertidos a energía.

El espectrómetro de IR con transformada de Fourier (*FT-IR*) permite la obtención de espectros de forma rápida, precisa y con relaciones señal/ruido (*S/N*) elevadas, para esto se requiere un tratamiento por computadora de los datos para convertirlos a la absorción de luz de cada longitud de onda, este procesamiento requiere un algoritmo conocido como transformada de Fourier. Los datos en bruto a veces se denominan "*interferogramas*". La Espectroscopía de Infrarrojo es una de las técnicas espectroscópicas más versátiles y de mayor aplicación en la caracterización e identificación de materiales.

3.3.2 Espectroscopía Raman

Este tipo de análisis se realiza directamente sobre el material a analizar sin necesidad de una preparación previa y no produce alteraciones en la superficie sobre la que se realiza el análisis, es decir, es no-destructiva. Esta espectroscopía nos permite identificar casi cualquier elemento, tanto orgánico como inorgánico y nos proporciona en cuestión de segundos información química y estructural de la muestra analizada. La interacción de la luz con la materia presenta dos tipos de fenómenos observados durante la espectroscopia RAMAN: i) el esparcimiento elástico (*Rayleigh*) y ii) esparcimiento inelástico. El análisis de muestras mediante esta técnica, se basa en hacer incidir un haz de luz monocromático con una frecuencia determinada sobre una muestra, analizando únicamente la luz dispersada por la muestra para poder determinar sus características moleculares. En proporción, la mayor parte de la luz dispersada es de la misma frecuencia que la luz incidente, a este fenómeno se le conoce como dispersión *Rayleigh*, la cual no aporta información sobre la composición de la muestra analizada. Por otro lado, una pequeña porción de la luz es dispersada inelásticamente, es decir a frecuencias diferentes y que son características del material analizado e independiente de la frecuencia de luz incidente proporcionando información sobre la composición química y molecular de la muestra.

La variación de la frecuencia observada en Raman, equivale a variaciones de energía por parte de la luz dispersada. Es decir cuando un fotón con una energía determinada incide sobre una molécula, le transfiere energía suficiente para llevarla a un nivel más energético pero temporalmente, el cual abandona rápidamente para ocupar un nivel de energía permitido, emitiendo un fotón con frecuencia igual al salto energético realizado por la molécula.

En la Fig. 3-13 se muestra un diagrama de energías, representando los casos observados en espectroscopía Raman y las técnicas complementarias de IR y Fluorescencia. En espectroscopía Raman se presentan los siguientes casos [65]:

- 1) Dispersión Rayleigh: Cuando la frecuencia del fotón emitido como resultado de la interacción fotón-molécula, es igual a la frecuencia del fotón incidente.
- 2) Dispersión Inelástica: Cuando el fotón dispersado tiene una frecuencia distinta de la incidente y se presentan dos casos:
 - a. Raman Anti-Stokes: Cuando el fotón emitido tiene una frecuencia mayor a la del incidente, debido a que se transfiere energía de la molécula al fotón; esto quiere decir que la molécula pasa de un estado de mayor energía a uno de menor energía.
 - b. Raman Stokes: Es el caso contrario, aquí el fotón emitido tiene una frecuencia menor a la del fotón incidente, es decir que hubo una transferencia de energía del fotón a la molécula que después de pasar a un estado no permitido, regresa a ocupar un estado permitido de mayor energía al que tenía inicialmente.

A cada uno de los movimientos de vibración y rotación de la molécula le corresponderá un valor determinado de la energía molecular. El espectro de Raman traduce esta información representándolos en intensidad óptica en función del número de onda normalizado al que se produce. El número de onda es una magnitud proporcional a la frecuencia e inversamente a la longitud de onda [65].

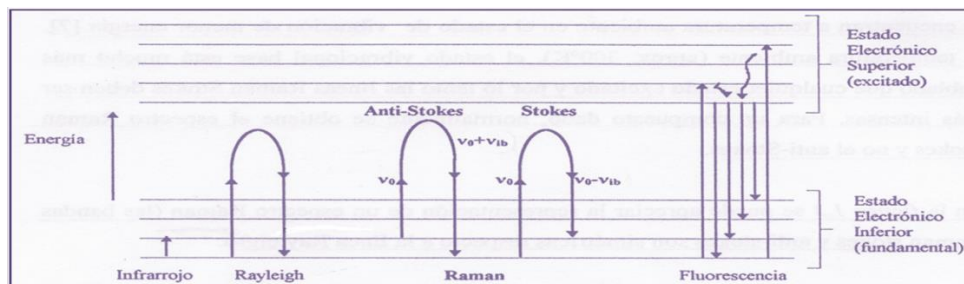


Fig. 3-13: Diagrama de energías para representar la interacción luz-materia, estudiada por Raman y las técnicas complementarias de IR y Fluorescencia.

3.3.3 Espectroscopía por elipsometría (SE)

La técnica de Espectroscopía Elipsométrica (SE), se utiliza como principal herramienta en el análisis de películas delgadas, sustratos o sistemas película-sustrato, ya que es una técnica precisa y exacta que permite medir y analizar la interacción entre la luz y la materia, debido a un cambio en la polarización de la luz que se refleja o transmite sobre una película delgada [66]. Desde su desarrollo inicial en los 70's, se ha convertido en la principal técnica para determinar el índice de refracción (n) y el coeficiente de extinción (k) en función de la longitud de onda (λ), así como el grosor de las películas delgadas, gracias a que la muestra analizada no requiere de una preparación previa y no se le causa daño durante el análisis. Esta técnica posee una infinidad de ventajas importantes, debido a su capacidad no destructiva para determinar dimensiones y propiedades críticas, lo que la volvió una herramienta indispensable en la tecnología de circuitos integrados [67]. Algunas ventajas adicionales de la técnica es que se puede determinar: sensibilidad a la luz, fracción volumétrica de un material, composición química, cristalinidad e incluso la rugosidad, además se pueden analizar estructuras complejas, como lo pueden ser multicapas con grosores desde 3-4nm hasta micrómetros, capas homogéneas, no homogéneas y capas anisotrópicas. Esta técnica es tan versátil y variada que nos permite analizar incluso diferentes tipos de materiales como: metales, aislantes o dieléctricos, semiconductores, superconductores, materiales orgánicos, recubrimientos biológicos y compuestos entre otros [68].

Otro de los aspectos que hace de esta técnica tan versátil, es que permite realizar mediciones *in situ*, es decir, es capaz de monitorear el crecimiento de una película en tiempo real, así como medir los cambios de polarización e intensidad absoluta de la luz, para determinar el tipo de material que se está analizado, incluso es posible monitorear el crecimiento de películas ultradelgadas de unos cuantos angstroms (Å) gracias a su sensibilidad, rapidez en el análisis y su confiabilidad. Estas aplicaciones son posibles gracias a que no es una técnica invasiva ni destructiva y que emplea únicamente una fuente de luz de baja potencia [66].

3.3.3.1 Polarización de la luz

La luz es una onda electromagnética, la cual posee un campo eléctrico y un campo magnético que son ortogonales entre sí, estos a su vez se propagan a través de un medio en dirección perpendicular a ambos. Cuando la luz tiene una dirección completamente aleatoria hablamos de una luz no polarizada y para polarizar la luz es necesario hacerla pasar por un “filtro polarizador” para que adquiriera una dirección y un sentido [66]. Para entender mejor este concepto, en la Fig. 3-14, se muestran los tipos de polarización de la luz, en los cuales la variación con respecto al tiempo de la orientación del campo eléctrico (E) a lo largo de la dirección de propagación es llamada polarización. Las amplitudes relativas determinan la orientación resultante, es decir, para el caso en que dos ondas de luz ortogonales (90°) entre sí, se encuentran en fase, la resultante está polarizada linealmente (a). Para el caso en que las ondas son ortogonales y con la misma amplitud, pero fuera de fase 90° , la resultante sería una polarización circular (b). En el último caso y el más común, una combinación de ondas ortogonales con amplitud y fase arbitraria, la resultante es una polarización elíptica.

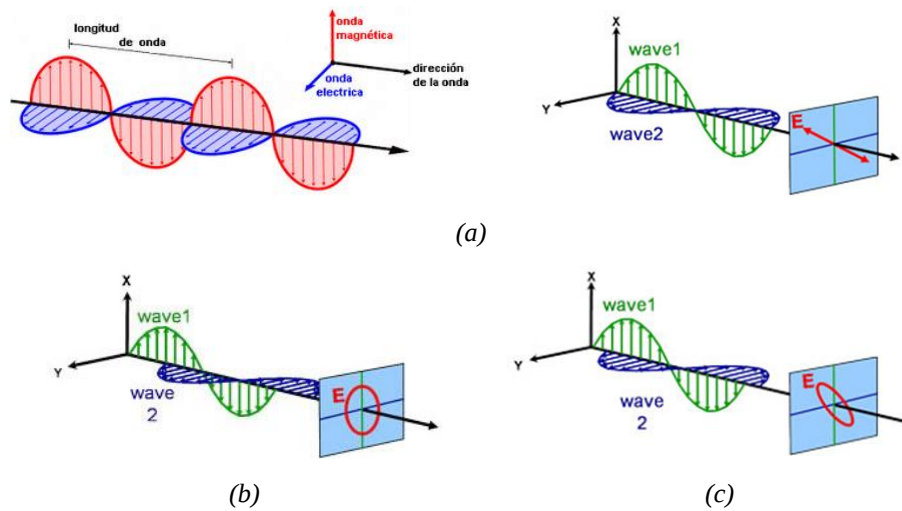


Fig. 3-14: Polarización de la luz en su forma lineal (a), circular (b) y elíptica (c).

En este principio se basa la técnica de elipsometría, ya que la luz que incide sobre el material está polarizada linealmente y al reflejarse y transmitirse el haz incidido produce una diferencia de fase y de amplitud en la luz reflejada, la cual se encuentra polarizada elípticamente,

y así es captada por el detector. Un detector transforma la luz y la convierte en una señal eléctrica para determinar el cambio de polarización ocasionado por la reflexión de la luz sobre la muestra. La luz puede ser separada en componentes ortogonales con respecto al plano de incidencia. Los campos eléctricos paralelos y perpendiculares al plano de incidencia se consideran p - y s -, respectivamente. Estas dos componentes son independientes y pueden calcularse por separado, mediante las *ecuaciones de Fresnel*, las cuales describen la cantidad de luz reflejada y transmitida en una interfaz entre materiales. La elipsometría está principalmente interesada en cómo las componentes p - y s - cambian después de la reflexión o transmisión, con respecto a una de la otra. Una polarización conocida es reflejada o transmitida de la muestra y se mide la polarización de salida. El cambio en la polarización es la medición de elipsometría, comúnmente determinada por la Ec. (3-5):

$$\rho = \frac{r^p}{r^s} = \tan \Psi \cdot e^{i\Delta} \quad (3-5)$$

Donde el cambio de polarización (ρ), está representado como una proporción del índice de reflexión en los planos paralelos y perpendiculares (r^p , r^s) de la amplitud de la luz polarizada, después de la reflexión y que corresponde al cambio de la fase, es decir el cambio que se produjo en su amplitud ($\tan \Psi$) y en su fase (Δ) (Fig. 3-15). La respuesta medida depende de las propiedades ópticas y el espesor de los materiales individuales, así como el modelaje de la rugosidad en la superficie [68].

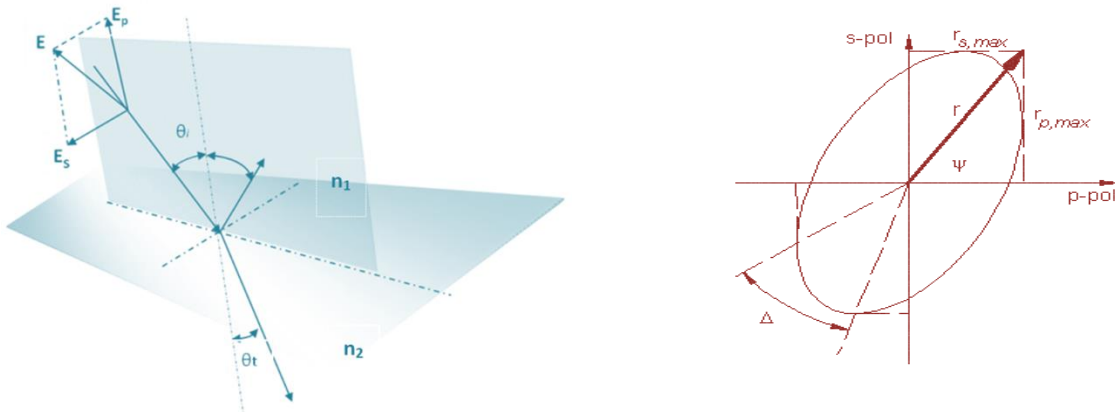


Fig. 3-15: Análisis del cambio de la polarización de la luz por elipsometría.

3.3.3.2 Determinación de las propiedades del material

El procedimiento más utilizado para determinar las propiedades del material se muestra en la Fig. 3-16. Primeramente se obtienen los datos experimentales de la medición de la muestra, posteriormente a través de un modelo matemático, se realiza una descripción de la muestra analizada, insertando parámetros relacionados como: tipo de material, grosor del material, etc. Después se realiza una generación de datos con la información proporcionada, donde a través del uso de un método de aproximación y una base de datos, se pretende reproducir los datos obtenidos experimentalmente. Los valores calculados matemáticamente por el software del equipo deben ser lo más aproximados posibles a los experimentales. Una vez logrado un buen acercamiento, es posible obtener las constantes ópticas de la muestra [68].

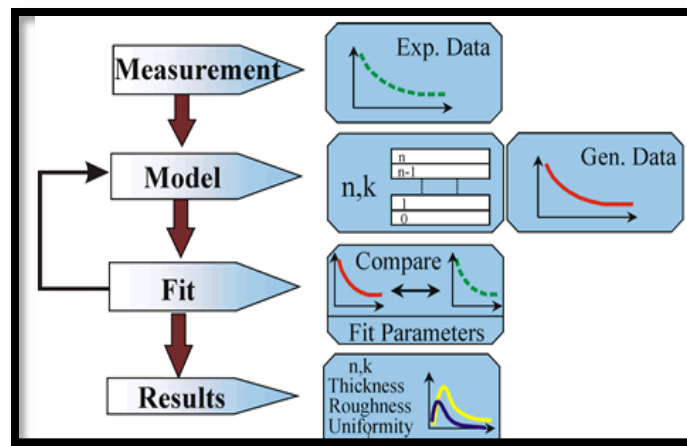


Fig. 3-16: Diagrama de flujo para obtención de las diferentes propiedades [68].

Es importante tomar en cuenta que con estos procesos de estimación mediante regresiones lineales, el número de incógnitas, no debe exceder la cantidad de información contenida en los datos experimentales, para obtener el mejor ajuste con respecto al modelo propuesto. Una herramienta muy útil para determinar qué tan preciso es un ajuste es el *Error Cuadrático Medio (MSE)*, el cual se utiliza para cuantificar la diferencia entre las curvas y por lo tanto, entre menor sea el valor indica un mejor ajuste [69].

3.3.3.3 Modelos de aproximación

Los datos obtenidos en una medición realizada por SE, no son muy útiles por sí mismos, deben ser comparados con un modelo apropiado para poder extraer información relevante. El modelo es construido en base al material presente en cada una de las capas delgadas, iniciando por el sustrato, posteriormente la capa que se encuentra sobre el sustrato y así sucesivamente. Si se conoce perfectamente el material del sustrato y su grosor o bien sus constantes ópticas, es posible tabularlos y obtener un ajuste óptimo. Diferentes modelos de aproximación son aplicables dependiendo del tipo de material que se desea analizar, por ejemplo para metales: modelo *Drude*; para aislantes: *Cauchy*; para semiconductores, *Tauc-Lorentz*, *Cauchy*, *B-Spline*, *Bruggemann's-Aproximación Media Efectiva (EMA)* [70]. Este último se utiliza para predecir las constantes ópticas de una muestra no homogénea, a través de la mezcla las constantes ópticas de los materiales conocidos que se encuentran inmersos en la muestra analizada, en nuestro caso particular, aplica para determinar las propiedades ópticas de capas dieléctricas que contienen nano partículas de silicio embebidas.

3.3.3.4 Factor de Despolarización

Estos instrumentos cuentan con un sistema de medición especializado en detectar la luz que no ha sido polarizada, a esto se le conoce como factor de despolarización. Los efectos de la despolarización de la luz provocados por el *sistema de medición*, están dados por la dispersión angular, efectos del ancho de banda, o incluso ambos. Por otra parte la despolarización de la luz provocada por las *muestras*, se debe a que no son uniformes, o bien, existen reflexiones por la parte trasera. Es importante tomar en cuenta este factor al analizar películas delgadas con sustratos transparentes, ya que cuando la luz refleja en la parte trasera del sustrato, se refleja hacia el detector, por lo que es incoherente con las reflexiones en la parte superior de la muestra [70, 71].

3.3.3.5 Ángulo Variable

La gran mayoría de las muestras pueden analizarse utilizando solo un ángulo de incidencia, pero si nuestra muestra es una multicapa, un material anisotrópico o una estructura muy compleja, es necesario realizar un análisis diferente debido a la complejidad de la muestra. Una de las flexibilidades importantes de Elipsometría, es que permite realizar mediciones a diferentes ángulos de incidencia de la luz, en el rango de 45° a 85° . Las mediciones deben ser efectuadas formando ángulos oblicuos entre la fuente de luz incidente, la muestra y el detector, así también deben ser similares al *ángulo de Brewster*, el cual define el ángulo al que se debe incidir un haz de luz, con respecto a la vertical, para obtener la máxima polarización dada por la formación de un ángulo de 90° entre el haz transmitido y el reflejado (Fig. 3-17).

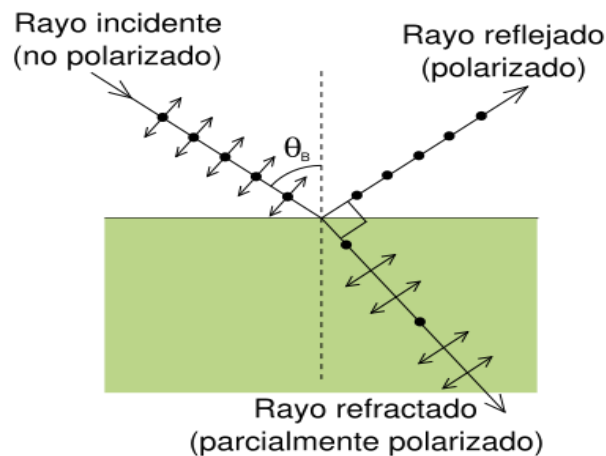


Fig. 3-17: Ángulo de Brewster.

Es importante considerar el ángulo de Brewster ya que en esta posición, el elipsómetro realiza sus mejores mediciones y conforme incrementa el número de capas y la complejidad de la muestra analizada, es necesario realizar mediciones a múltiples ángulos de incidencia para obtener mejor confiabilidad en los resultados finales. Es conveniente realizar mediciones de al menos tres ángulos de incidencia diferentes en películas complejas y gruesas, para obtener una mejor fidelidad en los resultados finales. Esto es recomendable con muestras que contienen multicapas, capas con composición compleja, capas anisotrópicas, capas no homogéneas o bien capas que contienen partículas (cristalinas o amorfas) incrustadas, entre otras [72].

3.3.4 Espectroscopía por energía dispersiva de rayos-X (EDX)

Esta técnica proporciona información sobre la composición química de las muestras, las cuales al ser irradiadas con un haz de electrones primarios acelerados a una diferencia de potencial de $\sim 1\text{-}30\text{KeV}$, generan rayos-X que pueden ser detectados. Los fotones emitidos por la muestra durante un determinado periodo, permiten identificar y cuantificar cada elemento presente en la muestra, lo cual es posible debido a que cada elemento le corresponde una longitud de onda característica. Ésta técnica nos permite conocer y analizar la composición elemental de áreas del tamaño de algunos micrómetros cúbicos. Normalmente, esta técnica se emplea acoplada a un microscopio electrónico de transmisión (TEM) o de barrido (SEM).

El proceso de emisión de rayos-X se muestra en la Fig. 3-18, donde podemos observar que cuando se incide un electrón y este golpea a otro electrón que se encuentra en uno de los niveles de energía más internos de un átomo, le transfiere suficiente energía como para removerlo de su posición creando un hueco, el cual es ocupado por un electrón de un nivel más externo, ésta transición de un nivel externo a uno interno, genera un fotón de rayos-X.

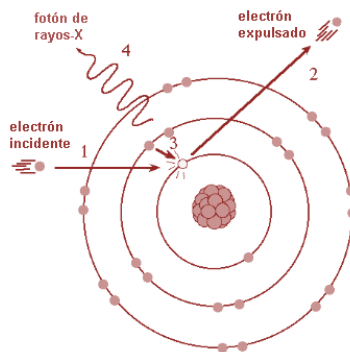


Fig. 3-18: Emisión de rayos-X.

Sí la transición ocurre en un nivel de energía más cercano al núcleo, se le conoce como radiación del tipo K y sus subdivisiones correspondientes de acuerdo a los subniveles de energía son: $K\alpha$, $K\beta$, $K\gamma$. Por el contrario, sí la transición ocurre en las capas más externas a la capa interna, se le conoce como transición L, M, N, etc. y tienen las mismas subdivisiones de K. Para que se originen todas estas transiciones, los átomos deben tener electrones suficientes para producir todas las capas necesarias de electrones.

3.3.5 Fotoluminiscencia (PL)

Esta técnica de caracterización óptica consiste en que la muestra analizada emita radiación, es decir, el proceso de fotoluminiscencia consiste en excitar, ya sea eléctricamente u ópticamente los electrones de la muestra y después de perder cierta cantidad de energía, regresan a su estado inicial, emitiendo luz [73]. En particular estudia la generación y recombinación entre los pares electrón-hueco ($e-h$), para distinguir fenómenos como Fig. 3-19:

- Excitación par $e-h$: La absorción del fotón se debe a la excitación de un electrón de la banda de valencia a la banda de conducción. Los estados iniciales y finales dependen de la energía de excitación. Estas transiciones se pueden dar para diferentes bandas de valencia y conducción.
- Relajación del par $e-h$: La energía de excitación es mayor que la banda prohibida, por lo que cuando los portadores se van relajando hasta quedar en equilibrio con la red hasta quedar relajados en el límite de la banda de conducción.
- Recombinación par $e-h$: Una vez que el electrón pasa a la banda de conducción, el electrón tiende a alcanzar nuevamente su posición de equilibrio, regresando a la banda de valencia y recombinándose con un hueco. Por eso al pasar de la banda de conducción a la de valencia, libera energía mediante un fotón.

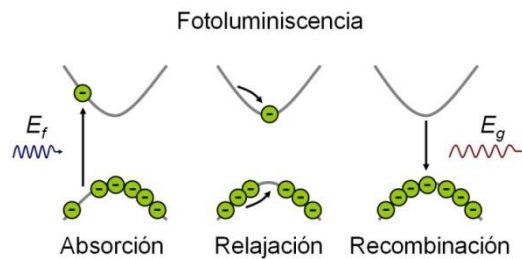


Fig. 3-19: Fenómeno de emisión de luz por PL.

Mediante el análisis del espectro de PL se puede obtener información sobre presencia de nanocristales y su tamaño, así como la energía a la que emiten luz éstas partículas, en relación a los parámetros de crecimiento o tratamientos térmicos después del crecimiento de un material [74].

3.4 Técnicas de caracterización estructural

En esta sección, se llevará a cabo una descripción de las técnicas de caracterización estructural empleadas en este proyecto y que fueron empleadas para el estudio de la estructura atómica y la superficie de las estructuras fabricadas.

3.4.1 Difracción de rayos-X (XRD)

Esta técnica consiste en irradiar un material sólido con rayos-X, para identificar la presencia de fases cristalinas, a través de la detección de los rayos-X difractados. Los patrones de difracción de rayos-X obtenidos, proporcionan información sobre las fases cristalográficas del material, su tamaño de grano, las fronteras de grano, orientación cristalográfica, composición y tensión de red. Esta técnica realiza un análisis no destructivo que permite un estudio morfológico y estructural de muestras policristalinas y monocristalinas, basado en la *Ley de Bragg* (3-6), la cual indica la posición de los patrones de difracción y se muestra en el esquema de la Fig. 3-20, Donde, n_d es el orden de difracción, λ corresponde a la longitud de onda incidente, d es la distancia interatómica, θ es el ángulo incidente y 2θ es el ángulo entre el haz incidente y el detector [75].

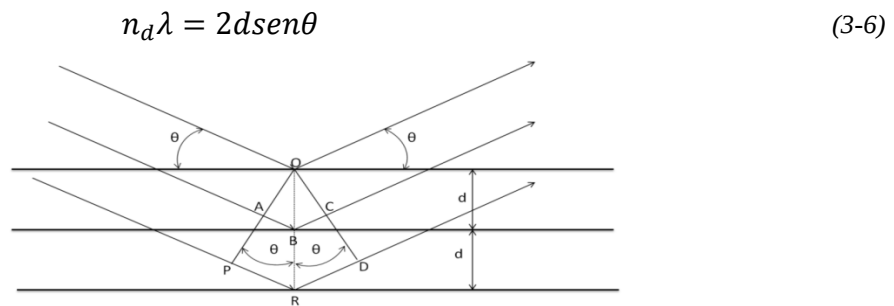


Fig. 3-20: Fenómeno de difracción de rayos-X.

Para analizar películas delgadas se emplea el modo de escaneo θ - 2θ , donde el haz incidente permanece fijo y el detector realiza un escaneo por pasos en un rango de ~ 10 - 80° , para determinar los picos de XRD característicos y determinar el tamaño de las partículas, el cual está relacionado con el ancho completo a la mitad de la intensidad máxima del pico (FWHM).

3.4.2 Microscopía de fuerza atómica (AFM)

Esta técnica nos permite caracterizar la superficie de las muestras, obteniendo información sobre la morfología en 3-D, partiendo de imágenes topográficas en 2-D, mediante las cuales es posible determinar rugosidad, tamaño, distribución y límite de grano. Esta técnica también es empleada en la determinación de propiedades mecánicas como: fuerzas de atracción, repulsión, elasticidad y dureza. El AFM es uno de los microscopios con más alta resolución para el estudio superficial de un material, su operación consiste en realizar un barrido con una punta suspendida llamada *cantiléver* a una distancia muy próxima de la superficie, cuando la punta se acerca lo suficiente a la superficie, las fuerzas de *Van der Waals* provocan la deflexión del cantiléver. Esta deflexión se detecta enfocando un láser en el dorso del cantiléver y es reflejado hacia un fotodetector que transforma la señal óptica en eléctrica. Un circuito de retroalimentación mantiene la deflexión del cantiléver constante y la señal de error se emplea para corregir esta deflexión, recreando una imagen de la topografía de la muestra, en la cual se asignan los niveles correspondientes a las profundidades y levantamientos del cantiléver respecto a la superficie. El movimiento de la punta en las tres coordenadas es controlado por un piezoeléctrico en función del voltaje aplicado, el cual se encuentra colocado en la base que porta la muestra o en el soporte del cantiléver y el láser [76]. En la Fig. 3-21 se muestra un esquema descriptivo de la explicación anterior.

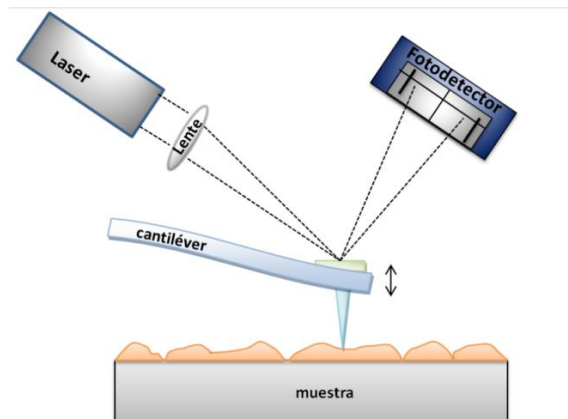


Fig. 3-21: Esquema de un AFM.

El AFM tiene ciertos modos de operación [76]:

1. Modo de contacto: En el cual la punta se aproxima lo más posible a la superficie de la muestra que tanto la fuerza entre los átomos de la punta y la muestra se traslapan, ejerciéndose sobre la punta una fuerza de repulsión. La cual se mantiene constante y es corregida por el circuito de retroalimentación para mantener y controlar la deflexión del cantiléver.
2. Modo de no contacto: La punta se justa a una cierta distancia intermedia de la muestra en la cual la muestra ejerce sobre ella las fuerzas de atracción de Van der Waals.
3. Modo de contacto intermitente: El cantiléver se pone a vibrar a un punto cercano a su frecuencia de resonancia, esta oscilación es monitoreada por un fotodetector y cuando la punta se acerca a la superficie, el nivel de amortiguamiento se hace igual a un valor prefijado y las variaciones de este valor se registran para construir una imagen de la morfología. Este modo presenta una ventaja de eliminar casi en su totalidad la influencia de fuerzas laterales y aportar información sobre la rugosidad de la superficie, la cual puede calcularse fácilmente de la imagen obtenida. La rugosidad puede ser cuantificada como un valor directo pico a pico, o bien, como es más comúnmente calculado, como un valor de la raíz cuadrática media (*rms*), de todos los puntos dentro del área escaneada.

3.4.3 Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM)

Este equipo consistente en un microscopio con doble columna, una iónica y otra electrónica. La columna iónica se encuentra separada a 52° de la electrónica, la cual es perpendicular a la muestra (Fig. 3-22). La columna de iones es utilizada para la observación de muestras sólidas y la posibilidad de realizar cortes selectivos; deposiciones de capas metálicas, dieléctricas y semiconductoras; permite la preparación de muestras para microscopía electrónica de transmisión (*TEM*) y la microfabricación de muestras. Estos microscopios constan comúnmente de una fuente de iones de Galio (Ga^+), que los acelera hasta $\sim 50\text{keV}$. Por otro lado la microscopía electrónica de barrido es una técnica que sirve para analizar en vacío la morfología y determinar el tamaño, distribución y la forma de las partículas de materiales sólidos de todo tipo: metales, cerámicos, polímeros, biológicos (requieren preparación). Ésta técnica consiste en acelerar un haz de electrones hasta $\sim 30\text{keV}$ y que incida sobre la muestra, realizando un barrido de la superficie y detectando los electrones emitidos por la superficie. Al interactuar los electrones incididos con la muestra, se generan electrones secundarios y retrodispersados. Los electrones secundarios son aquellos que se obtienen debido al choque elástico entre el electrón incidente y el electrón del núcleo, los electrones liberados son monitoreados por un detector, el cual a través de píxeles origina la imagen de la superficie de acuerdo a la intensidad de la señal emitida por cada área escaneada del material, en una escala de grises. En cambio los electrones retrodispersados, son los electrones que se emplean en la técnica *EDX*, si se emplean los electrones retrodispersados se puede obtener una imagen por contraste en función de la composición química del material.

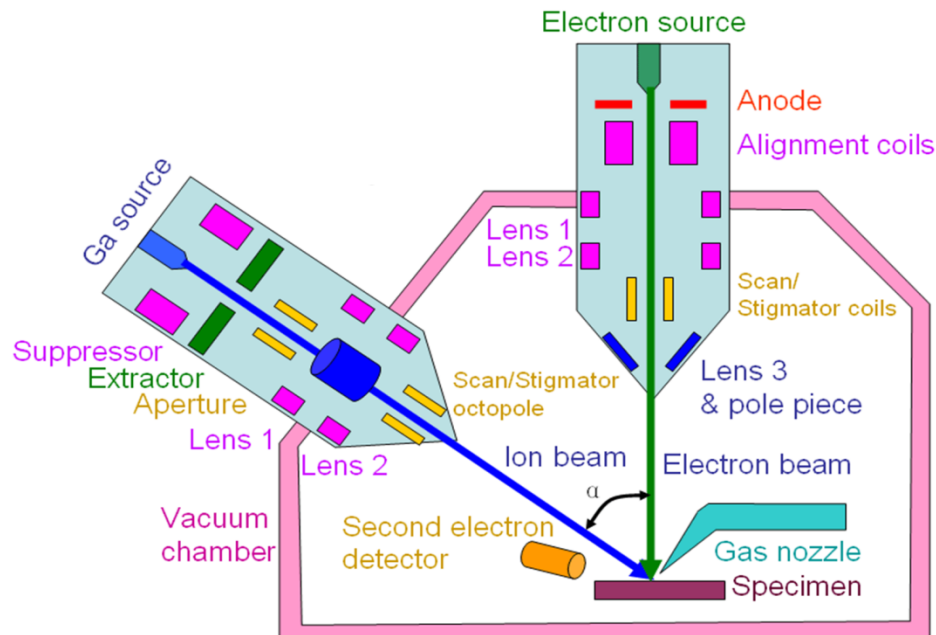


Fig. 3-22: Microscopio con sistema de doble columna: FIB/SEM [77].

3.4.4 Microscopía electrónica de transmisión (TEM)

Esta técnica se basa en irradiar una muestra ultra delgada con un haz de electrones acelerados hasta $\sim 200\text{keV}$. Para producir una fuente emisora de electrones, se emplea un filamento de tungsteno (W) o hexaboruro de lantano (LaB_6).

Los electrones son acelerados por una diferencia de potencial en un ambiente de alto vacío para evitar la interacción con otras partículas, y el haz es direccionado a través de bobinas electromagnéticas hacia la muestra. Es importante que la muestra sea lo más fina posible, ya que el análisis se basa en los electrones que son transmitidos, es decir que atraviesan la muestra. Los electrones transmitidos excitan una pantalla fluorescente, una película fotográfica o una cámara *CCD*, creando un patrón de contraste y como resultado se obtiene la imagen de la muestra analizada. Para la observación de la muestra, se requiere una preparación previa mediante técnicas como *FIB/SEM* o bien por devastación mecánica y posteriormente iónica para disminuir su grosor, el cual debe ser aproximado a algunos cientos de nanómetros.

Esta técnica de microscopía permite determinar el tamaño, la distribución y la forma de las partículas con resolución menor a $2\text{\AA}$. El uso de esta técnica nos permite la observación de muestras con cortes muy finos a escalas atómicas, lo cual es una técnica muy importante para el estudio y análisis de las estructuras dieléctricas que contienen nano partículas.

Es posible observar detalles muy finos, es decir con una alta resolución (*HRTEM*) en tres dimensiones de la superficie o bien la sección transversal conocida como *Cross-Sectional TEM* (*XTEM*), incluso se puede determinar el tipo de estructura atómica a través del patrón de difracción de los electrones o bien la composición química como en el microscopio electrónico de barrido (*SEM*). Con esta técnica es posible aumentar hasta un millón de veces el tamaño de un objeto, ventaja que los microscopios ópticos no tienen. En la Fig. 3-23 se muestra una comparación entre los tres tipos de microscopios, óptico, de transmisión y de barrido.

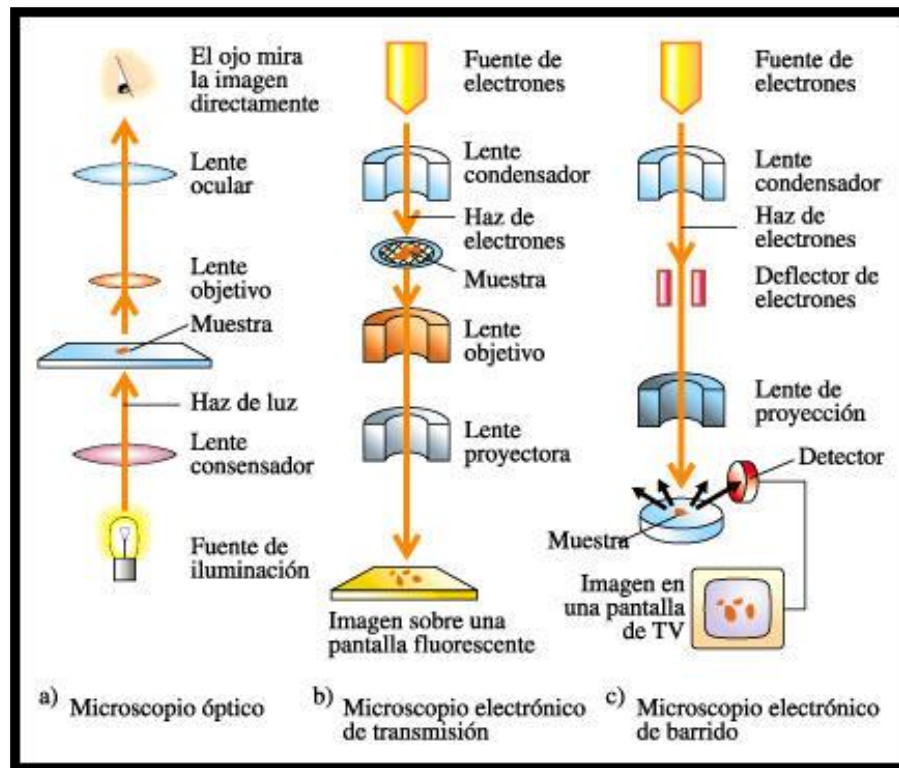


Fig. 3-23: Comparación de la estructura interna de las diferentes clases de microscopios.

3.5 Técnicas de caracterización eléctrica

En esta sección se describirán las técnicas de caracterización eléctrica empleadas para estudiar los efectos de carga, descarga, almacenamiento y fenómenos de conducción, aplicando un voltaje sobre las estructuras MOS para determinar su capacitancia y conductancia, así como el mecanismo de conducción a través de la estructura.

3.5.1 Mediciones capacitancia-voltaje (C-V)

Las características C-V del capacitor MOS son una herramienta poderosa para el especialista en dispositivos, ya que revelan la naturaleza interna de la estructura y permite identificar fenómenos inusuales al comportamiento ideal tanto en el óxido como en el semiconductor. Esta técnica permite calcular el grosor del óxido, la carga fija en el óxido y una estimación cualitativa de los estados electrónicos cerca de la interfaz c-Si/SiO₂. Este método se utiliza adicionalmente para estudiar el efecto de retención de carga en las nanopartículas de Si, ya sea por carga positiva (huecos) o negativa (electrones). En la caracterización de capacitores MOS, el valor de la capacitancia en la condición de inversión, es dependiente de la existen diferentes tipos de curvas C-V, dependiendo del tipo de sustrato y de la frecuencia de la señal de AC aplicada.

La capacitancia total (C_t) del capacitor MOS está dada por dos capacitancias en serie: i) la capacitancia del óxido (C_{ox}), la cual es constante y solamente depende del área y el grosor del óxido y ii) la capacitancia del semiconductor, la cual es dependiente del voltaje. Por lo que la C_t se calcula como se muestra en la Ec.(3-7).

$$C_t = \frac{C_{ox} \cdot C_{Si}}{C_{ox} + C_{Si}} \quad (3-7)$$

En la región de acumulación, $C_{ox} \ll C_s$ debido a la presencia de portadores mayoritarios, por lo tanto $C_{ox} \approx C_t$. Mientras que en la región de inversión, se crea una región de agotamiento de portadores, por lo tanto se deben considerar ambas capacitancias para determinar la C_t .

3.5.1.1 Análisis en baja frecuencia ($f \leq 1\text{kHz}$).

Para las mediciones C-V se aplica un voltaje que tiene una parte de DC con una contribución de una señal de AC. Normalmente el voltaje de AC se encuentra en un rango de 30-100mV y el voltaje de DC puede variar según el barrido deseado, comúnmente de (+5,-5) V y en el caso de bajas frecuencias, típicamente se utilizan frecuencias en el rango de 5Hz a 1kHz. En este tipo de caracterización el período de una señal de AC es mucho más largo que el tiempo de respuesta de los portadores minoritarios. Entonces, cuando se produce la capa de inversión ocurre una generación de pares electrón-hueco suficiente para compensar la señal aplicada, es decir los portadores minoritarios en alta concentración acompañan la señal de AC a baja frecuencia manteniendo un estado de equilibrio, por lo tanto $C_{ox} \approx C_t$ en la región de inversión [27].

En el caso de un capacitor MOS con sustrato tipo-p, acontece lo siguiente en cada condición:

- Acumulación ($V_G < 0$): Al describir esta curva de baja frecuencia, comenzamos en el lado izquierdo (voltaje negativo). Cuando V_G es negativo tenemos una acumulación de huecos y por lo tanto un diferencial alto en la capacitancia del semiconductor. Por lo que si la C_{Si} es muy elevada, se concluye que la $C_{ox} \approx C_t$, lo que es igual a la $C_{máx}$.
- Bandas Planas ($V_G = 0$): El capacitor está prácticamente en banda plana, entonces $C_t = C_{fb}$. La C_{fb} tiene un valor ligeramente menor que C_{ox} y esta se determina por: $1/C_{fb} = 1/C_{ox} + 1/C_{Si}$, en la cual $C_{Si} = \epsilon_{Si}/L_d$, determinándose por la Ec. (3-8).

$$L_d = \sqrt{\frac{kT\epsilon_{Si}}{N_A q^2}} \quad (3-8)$$

Donde L_d es la distancia de Debye, N_A es la concentración de impurezas aceptadores, k constante de boltzman, T es la temperatura, ϵ_{Si} es la permitividad del Silicio. La capacitancia total en la condición de bandas planas está dada por la Ec.(3-9).

$$C_{FB} = \frac{\epsilon_{ox} \cdot \epsilon_{Si}}{\epsilon_{Si} t_{ox} + \epsilon_{ox} L_d} \quad (3-9)$$

- a) Agotamiento ($V_G > V_{fb}$): Si V_G es ligeramente positivo, algunas cargas del semiconductor se empiezan a escapar de la zona de agotamiento cercana al óxido. Por lo que C_{Si} actúa como un dieléctrico en la superficie del semiconductor en serie con el óxido y como resultado la capacitancia continúa disminuyendo. El valor de la capacitancia en agotamiento (C_d) está dado por la Ec. (3-10).

$$C_d = \frac{\epsilon_{Si}}{W_d} \quad (3-10)$$

- b) Inversión ($V_G \gg V_{fb}$): si V_G sigue aumentando llegará un punto donde la capacitancia deja de disminuir (C_{min}), y es cuando ocurre la condición de inversión. Una vez formada la capa de inversión, el valor de la capacitancia comienza a crecer debido a que la C_{Si} depende de la carga presente en la región de inversión y no de la carga presente en la zona de agotamiento. Por lo que la capacitancia en inversión (C_{inv}) se aproximará al valor de C_{ox} rápidamente.

En la Fig. 3-24 se muestra la curva C-V característica para bajas frecuencias de un capacitor MOS, con substrato tipo p y tipo-n para cada una de las condiciones.

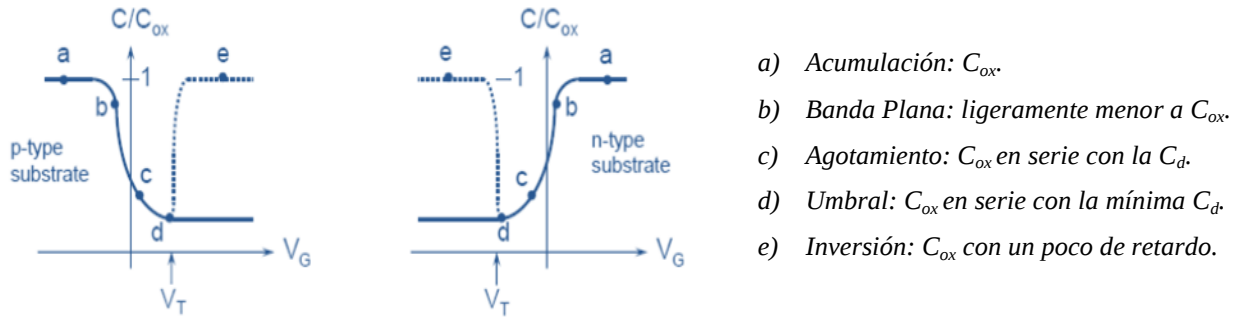


Fig. 3-24: Curva C-V normalizada para bajas frecuencias de un capacitor MOS, con substrato tip-p y tipo-n.

3.5.1.2 Análisis en alta Frecuencia ($f > 1\text{kHz}$)

Para las mediciones de C-V a alta frecuencia ($>1\text{kHz}$), tanto en la región de acumulación como de agotamiento existen portadores mayoritarios en concentración suficiente para responder a una señal de corriente alterna de este tipo. Pero en la condición de inversión, la capacitancia se determina por el tiempo de respuesta de los portadores minoritarios. Por lo tanto cuando se aplica una señal de alta frecuencia, existe un retraso en la respuesta de los portadores minoritarios con respecto a la señal de corriente alterna, es decir, estos portadores no son generados con una tasa lo suficientemente alta como para compensar la señal aplicada al electrodo superior. Por lo que se modula la región de agotamiento hasta alcanzar un ancho máximo y constante. En la condición de inversión fuerte, la capacitancia total de la estructura MOS se convierte en mínima y se establece por la Ec. (3-11).

$$C_{min} = \sqrt{\frac{1}{C_{ox}} + \frac{W_d}{\epsilon_{Si}}} \quad (3-11)$$

Donde C_{min} es la capacitancia total mínima para la condición de inversión en alta frecuencia, W_d corresponde al ancho máximo de la capa de agotamiento, C_{ox} es la capacitancia en el óxido y ϵ_{Si} corresponde a la constante dieléctrica del silicio.

En la Fig. 3-25 se muestra una comparación entre la curva característica de baja frecuencia (a) y el resto para curvas de alta frecuencia. La curva (b) corresponde al caso de frecuencias intermedias donde el valor de C_{Si} se ve influido tanto por C_{inv} como por C_d . La curva característica para altas frecuencias (c) donde la capa de inversión no responde a las variaciones de la señal de alterna y únicamente responde la carga en la zona de agotamiento (portadores mayoritarios), por lo tanto $C_{Si} \approx C_d$ y la capacitancia en inversión es la C_{min} . La curva (d) corresponde a un caso en particular, en el cual no se forma la capa de inversión y V_G es positivo, de manera que en inversión profunda, la capacitancia cae por debajo de C_{min} hasta que la aceleración por impacto tiene lugar y puede haber ruptura del semiconductor.

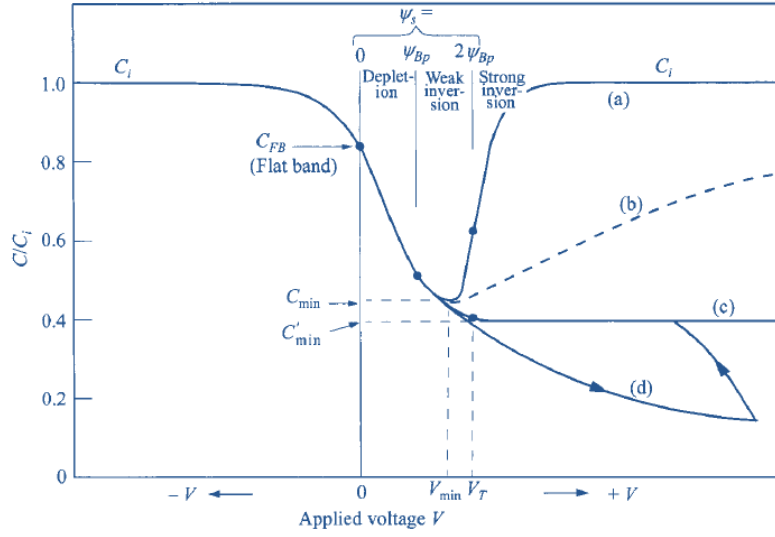


Fig. 3-25: Curva C-V de un capacitor pMOS a baja frecuencia (a), frecuencia intermedia (b), alta frecuencia (c), inversión profunda (d). Asumiendo un voltaje de bandas planas $V_{fb}=0$ [27]

Inversión profunda no es una condición estable, si un capacitor MOS es llevado a ese estado, su capacitancia se incrementará gradualmente hacia C_{min} hasta que los portadores minoritarios generados térmicamente reconstruyan la capa de inversión y restablezcan el estado de equilibrio. El tiempo que le lleva al capacitor MOS recobrase de la inversión profunda y volver al estado de equilibrio (pasar de curva d a curva c) se denomina tiempo de retención y es un buen indicador de la densidad de defectos en la oblea de Silicio [27, 52].

Como hemos visto, la técnica de caracterización C-V es muy útil ya que permite determinar importantes propiedades eléctricas de las estructuras MOS tales como: la capacitancia plana banda (C_{FB}), el voltaje de banda plana (V_{FB}), ancho de la región de agotamiento (W_d), grosor del óxido (t_{ox}), la concentración efectiva de impurezas (N_A , impurezas aceptadoras y de N_D impurezas donadoras), la densidad de carga efectiva en el óxido (Q_{EF}), densidad de carga capturado en la interfaz (Q_{it}), densidad de cargas móvil (Q_m), densidad de cargas fija (Q_f) y la densidad de cargas capturadas en el óxido (Q_{OT}) [27, 52, 78, 79].

3.5.1.3 Variaciones en las curvas C-V

En una estructura MOS no ideal, se tiene la presencia de cargas en el óxido y en la interfaz Si/SiO₂, así como una diferencia entre la función de trabajo del metal y del semiconductor, lo que origina un desplazamiento en la curva C-V comparada con la curva de una estructura MOS ideal. Este desplazamiento se debe a la diferencia de potencial entre los electrodos del capacitor MOS (V_G), la cual depende directamente de: i) el voltaje en el óxido (V_{ox}), que está relacionado con la carga efectiva en el óxido (Q_{EF}); ii) la diferencia entre las funciones de trabajo (Φ_{MS}) y iii) el potencial de superficie (Ψ_s).

Por lo tanto, se presenta un desplazamiento de la curva C-V en función del voltaje aplicado a la compuerta, es decir, si en un capacitor MOS ideal el $V_{FB}=0$ en un capacitor MOS real el V_{FB} estará relacionado con V_G ($V_{FB}=V_G$). Este desplazamiento se debe a la presencia de los cuatro tipos de carga, en el óxido:

- a) Presencia de carga fija en el óxido (Q_f): Generalmente ésta carga es positiva y provoca un desplazamiento hacia voltajes negativos, sin presentar histéresis. El desplazamiento de la curva incrementa o decrece en función del barrido aplicado.
- b) Presencia de carga móvil (Q_m): Se presenta una histéresis en las dependencias C-V, ocasionado por el movimiento de iones presentes en el óxido debido a la influencia de un barrido de voltaje aplicado sobre el óxido.
- c) Presencia de carga capturada en la interfaz (Q_{it}): Este tipo de carga provoca una distorsión de la curva C-V en alta frecuencia, la cual está relacionada con la densidad de defectos a la interfaz en los que las cargas pueden ser capturadas. Provocando una mayor comunicación eléctrica entre las bandas de valencia y de conducción de silicio, lo que resulta en una variación del voltaje de bandas planas (ΔV_{FB}).
- d) Presencia de carga capturada en el óxido (Q_{ot}): Las cargas que son capturadas en el óxido causan histéresis en las curvas C-V, principalmente presentan un desplazamiento hacia voltajes positivos cuando se capturan electrones, o bien, un desplazamiento negativo causado por huecos capturados. Este desplazamiento es resultado de alteraciones como el paso de una corriente de electrones a través del óxido o la generación de pares electrón-hueco dentro del óxido.

En la Fig. 3-26 se muestra una comparación entre la curva C-V de un capacitor MOS ideal y la curva obtenida por influencia de cada una de las cargas presentes en el óxido. Por lo tanto, la curva C-V también puede ser utilizada como un indicativo de la calidad eléctrica de la estructura así como la calidad de la interfaz c-Si/SiO₂, la cual puede ser fácilmente determinada mediante la pendiente de la curva C-V en la región de agotamiento, mientras mayor sea la pendiente, menor será la densidad de defectos en la interfaz.

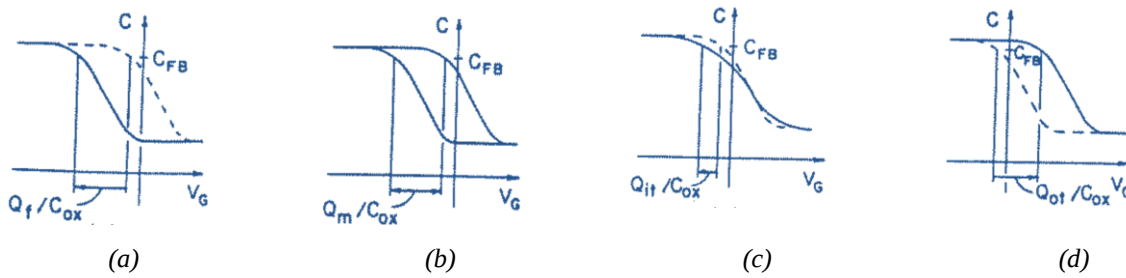


Fig. 3-26: Variación de la curva C-V en alta frecuencia debido a la presencia de cargas en el óxido: Q_f (a); Q_m (b); Q_{it} (c); Q_{ot} (d); con respecto a la curva ideal de un capacitor MOS (línea punteada) [53].

Un aspecto muy importante de estas curvas C-V es la posibilidad de identificar la presencia de nanopartículas de Si embebidas en una matriz de óxido, produciendo una variación del voltaje de bandas planas (ΔV_{FB}) el cual se determina por la Ec (3-12), ya que estas nanopartículas pueden actuar como centros de retención o almacenamiento de carga. Cuando existe presencia de carga dentro de las nanopartículas, la curva C-V tendrá un desplazamiento hacia la derecha si las cargas atrapadas son electrones y un desplazamiento hacia la izquierda cuando las cargas atrapadas sean huecos. Durante los barridos de voltaje, este efecto será visto como ciclos de histéresis, o bien ventana de memoria, el cual es semejante al proceso de programación (escritura, borrado) de un dispositivo de memoria no-volátil con compuerta discreta (Fig. 3-27).

$$V_{FB} = \phi_{MS} - \frac{Q_f + Q_m + Q_{ot}}{C_{ox}} \quad (3-12)$$

Donde Q_f corresponde a las cargas fijas, Q_m a las cargas móviles y Q_{ot} a las cargas capturadas en el óxido.

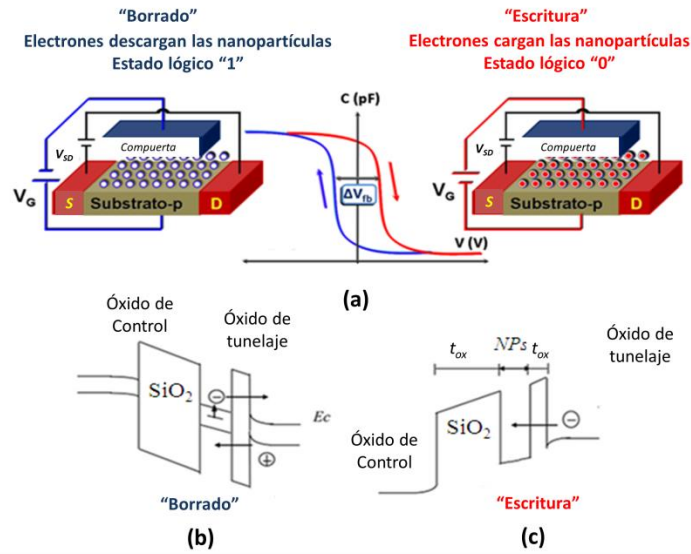


Fig. 3-27: Mecanismo de operación de una memoria con CFD (a). Operación de borrado (b) y operación de escritura (c).

Algunos análisis adicionales que se deben considerar de estas mediciones C-V son:

- La variación de la capacitancia de banda plana con el tiempo, es un indicativo de las características de retención y los procesos de descarga de las estructuras.
- Si se presenta un incremento de la ventana de memoria al aumentar el barrido de voltaje, indica una mayor contribución de electrones y/o huecos que permanecen capturados en trampas o estados relacionados a la capa de óxido.
- La carga capturada causa un cambio paralelo de las curvas C-V (ciclo de histéresis), lo que indica una distribución uniforme de la carga capturada. Este cambio paralelo se debe principalmente a la captura de electrones/huecos en las nanopartículas embebidas en la capa de óxido y no en defectos de la estructura.
- Si el valor del voltaje de bandas planas V_{fb} es cercano a cero en ambos casos (barridos de voltaje en sentido positivo y negativo), la contribución de la carga fija es eliminada casi en su totalidad.
- El proceso de recocido a altas temperaturas reduce significativamente la cantidad de defectos presentes en la interfaz.

3.5.2 Medidas Conductancia-Voltaje (G-V)

La conductancia (G) se refiere a la facilidad de un elemento o material por permitir el flujo de corriente eléctrica, debido a que ningún elemento detiene por completo este fenómeno. La conductancia es el recíproco de la resistencia eléctrica del material, es decir equivalente a $1/R$, y la unidad con que se mide es el *siemen* (S) o *mho* ($\bar{O}$).

Este tipo de caracterización al igual que las mediciones de capacitancia en función del voltaje y la frecuencia, proporcionan información idéntica acerca de la densidad de trampas en la interfaz. Aunque en las mediciones C-V surgen mayor cantidad de imprecisiones al extraer la información, debido a que se debe determinar una diferencia entre dos capacitancias. Por lo tanto las mediciones de conductancia producen resultados más precisos y confiables, sobre todo cuando la densidad de defectos a la interfaz es baja Si/SiO₂ como en el caso del óxido térmico [27, 52]. En la Fig. 3-28 se muestra una comparación entre una medida de capacitancia y una de conductancia en dos frecuencias diferentes, a 100kHz y a 5kHz, esto demuestra que la conductancia es mucho más sensible a la frecuencia que a la capacitancia.

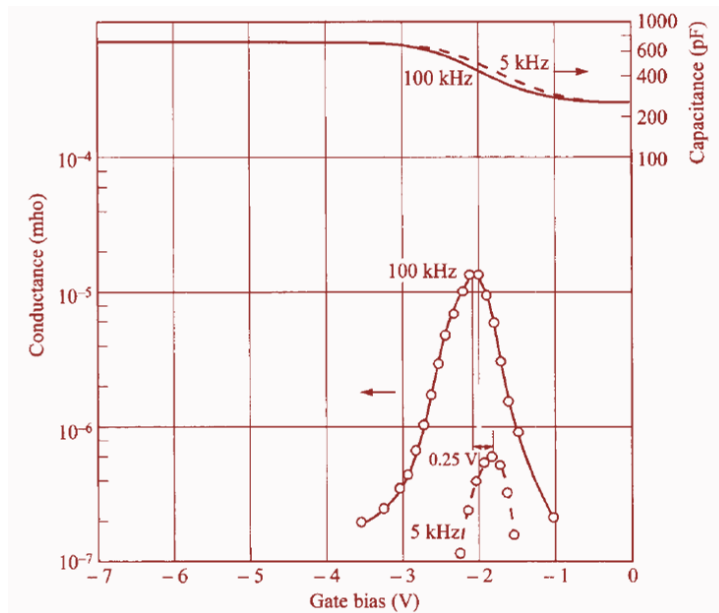


Fig. 3-28: Comparación entre una medida de capacitancia y una de conductancia sobre estructuras MOS medidas a dos frecuencias distintas [27, 52].

3.5.3 Medidas Corriente-Voltaje (I-V)

Caracterización eléctrica mediante mediciones corriente-voltaje (I-V), son comúnmente utilizadas para determinar la calidad del óxido y monitorear el aumento de la corriente eléctrica que pasa a través de la estructura, en función del voltaje aplicado a la compuerta del dispositivo MOS. En teoría un aislante no conduce, pero en la realidad existe una pequeña corriente de fuga, la cual varía en función del voltaje aplicado en la compuerta. Un aspecto importante de esta medición, es la posibilidad de determinar el campo eléctrico de ruptura (E_{br}), es decir el voltaje que se requiere aplicar en la compuerta del capacitor MOS, en relación al grosor del dieléctrico (SiO_2), para que este pierda sus propiedades aislantes. Esta relación se muestra en la Ec. (3-13).

$$E_{br} = \frac{V_G}{t_{ox}} \quad (3-13)$$

Adicionalmente en la interfaz c-Si/ SiO_2 existe una gran influencia de cargas e impurezas que disminuyen el funcionamiento de la estructura MOS. La ruptura del dieléctrico, puede ocurrir a través de un fenómeno que puede ocurrir por efecto avalancha. La curva característica I-V es de gran importancia para determinar la carga almacenada en el dieléctrico, la corriente a través del dieléctrico, la resistencia y el voltaje de ruptura. En la Fig. 3-29 se muestra la curva I-V característica, en la cual se identifican dos regiones principales [80]:

- 1) Región de corriente de desplazamiento (I_D): donde la corriente medida es ocasionada por el reordenamiento de los polos eléctricos, en función del voltaje aplicado Ec. (3-14):

$$I_D = \frac{C_{ox}}{(dV/dt)} \quad (3-14)$$

- 2) Región de corriente a través del dieléctrico: Corriente medida debido a un mecanismo de conducción.

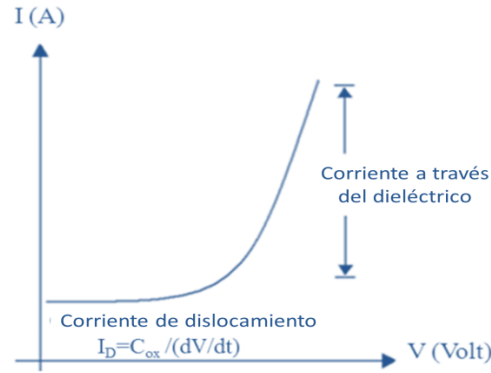


Fig. 3-29: Curva I-V típica.

La presencia de impurezas y/o estados de almacenamiento presentes en el óxido o en la interfaz, producen alteraciones que pueden ser apreciadas en las curvas I-V. A través de un análisis de estas curvas, se puede determinar el tipo de carga, presente en la estructura MOS, así como el tipo de mecanismo de conducción presente [81, 82].

3.5.3.1 Mecanismos de Conducción.

En la teoría clásica un electrón no puede atravesar una barrera con mayor energía, pero según la física cuántica, esto es posible a través de ciertos mecanismos de conducción, entre los cuales se encuentran [27, 79]:

- Tunelaje: es el mecanismo de conducción más común a través del aislante, en el cual un electrón penetra a través de una barrera de potencial bajo la influencia de un campo eléctrico alto. El tunelaje es un resultado de la mecánica cuántica y se divide en dos clases:
 - a) Tunelaje directo: El óxido de la compuerta es tan delgado (~5nm) que los electrones pasan de la banda de conducción del semiconductor a la del metal, sin pasar completamente por la banda de conducción del óxido. Este tunelamiento depende del ancho de la barrera (grosor del óxido) y se puede modelar con la Ec. (3-15).

$$J_{TD} = A_G A E_{ox}^2 \exp\left(\frac{-B[1 - (1 - qV_{ox}/\phi_B)^{3/2}]}{E_{ox}}\right) \quad (3-15)$$

- b) Tunelaje Fowler-Nordheim [83]: Es muy similar al anterior, los electrones atraviesan por óxido de tunelaje con grosor de 5-10nm, debido a que la influencia de un campo eléctrico intenso, modifica la barrera a una forma triangular. Este mecanismo está modelado por la Ec. (3-16):

$$J_{FN} \propto A_G A E_{ox}^2 \exp\left(\frac{-B}{E_{ox}}\right) \quad (3-16)$$

Una curva característica de este modelo se graficaría en las coordenadas “eje-y” $\ln(J_{FN}/E_{ox}^2)$ y “eje-x” $1/E_{ox}$, observándose una línea recta, si la corriente a través del óxido se debe a este mecanismo. La intersección de ésta línea recta con el “eje-y” $\ln(J_{FN}/E_{ox}^2)$ debe ser la constante A y la pendiente debe ser la constante B . Donde J es la densidad de corriente, A_G es el área de la compuerta, V_{ox} es el voltaje en el óxido, E_{ox} es el campo eléctrico, A y B son consideradas constantes y están determinadas con E_{ox} en unidades de V/cm. Las constantes A y B están dadas por la Ec. (3-17) y Ec. (3-18):

$$A = \frac{q^3 m_o}{8\pi h m^* \phi_B} = 1,54 \times 10^{-6} \frac{m_o}{m^* \phi_B} \left[\frac{A}{V^2} \right] \quad (3-17)$$

$$B = \frac{8\pi \sqrt{2m^*}}{3 qh} \phi_B^{3/2} = 6,83 \times 10^7 \left(\frac{m^*}{m_o} \right)^{1/2} \phi_B^{3/2} \left[\frac{V}{cm} \right] \quad (3-18)$$

Donde m^* es la masa efectiva del electrón, m_o es la masa en reposo del electrón, ϕ_B altura de la barrera de potencial en la interfaz Si/SiO₂ en unidades de “eV”, h constante de Planck y q carga del electrón.

- Emisión Schottky: El proceso corresponde a una emisión termoiónica por encima de la barrera metal-aislante o la barrera del aislante-semiconductor, responsables del transporte de los portadores. Este mecanismo está modelado por la Ec. (3-19):

$$J_{SC} \propto AT^2 \exp\left(\frac{-q(\phi_B - \sqrt{qE_{ox}/4\pi\epsilon_{ox}})}{kT}\right) \quad (3-19)$$

Donde ϵ_{ox} es la permitividad eléctrica del óxido, k es la constante de Boltzmann, T es la temperatura.

- Emisión Poole-Frenkel: Es ocasionada por electrones atrapados en la banda de conducción, los cuales son inyectados en las trampas través de excitación térmica. Este modelo de conducción se describe por la Ec. (3-20).

$$J_{PF} \propto E \exp\left(\frac{-q(\phi_B - \sqrt{qE_{ox}/4\pi\epsilon_{ox}})}{kT}\right) \quad (3-20)$$

- Óhmica: A baja tensión y alta temperatura, la corriente es transportada por los electrones excitados térmicamente, saltando de un estado aislado al siguiente. Este mecanismo produce una característica óhmica que depende exponencialmente de la temperatura y se modela a partir de la Ec. (3-22).

$$J_{Oh} \propto E \exp\left(\frac{-\Delta E_{ac}}{kT}\right) \quad (3-21)$$

- Conducción Iónica: Cuando se aplica un campo eléctrico, la conductividad iónica disminuye ya que los iones no pueden ser inyectados o extraídos del aislante. Al retirarse el campo aplicado, los campos eléctricos internos causan que los iones fluyan de nuevo hacia su posición de equilibrio, pero no todos los iones logran fluir hacia su posición de equilibrio debido a la distorsión en la distribución del potencial. Esta corriente se modela a partir de la Ec. (3-22).

$$J_{IC} \propto \frac{E}{T} \exp\left(\frac{-\Delta E_{ai}}{kT}\right) \quad (3-22)$$

- Corriente limitada por carga espacial: Esta corriente se presenta en materiales dieléctricos cuando los portadores son inyectados sin compensación de carga Ec. (3-23).

$$J_{sc} = \frac{9\epsilon_i \mu V_{ox}^2 E_{ox}}{8t_{ox}^3} \quad (3-23)$$

Donde t_{ox} es el grosor del dieléctrico y μ es la movilidad de los portadores.

Gracias a estos mecanismos podemos complementar el estudio del comportamiento interno de una estructura MOS. En el caso de mecanismos de transporte en películas dieléctricas que contienen Si NCs, se han reportado con mayor frecuencia los mecanismos de tunelaje directo, *F-N*, *Schottky* y *Poole-Frenkel*. En la Fig. 3-30 se muestra un esquema de estos mecanismos de conducción.

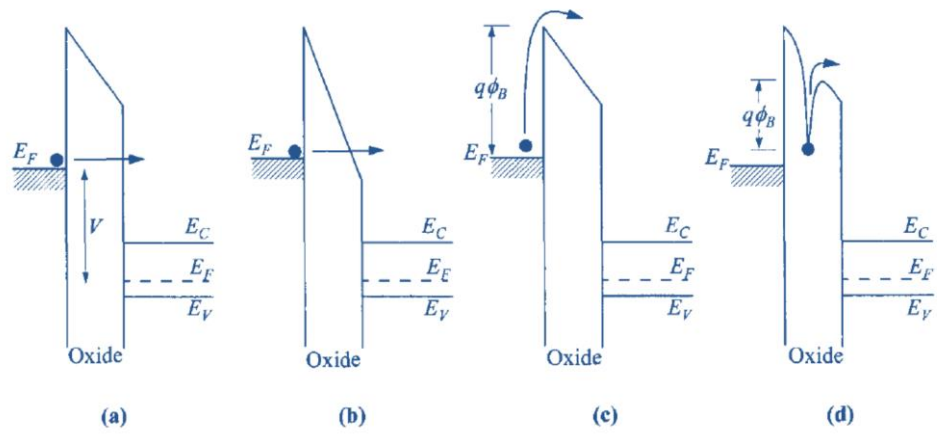


Fig. 3-30: Diagrama de bandas de los mecanismos de conducción: tunelaje directo (a), Fowler-Nordheim (b), Emisión Schottky (c) y emisión Frenkel-Poole (d) [27].

Capítulo 4

Detalles Experimentales

*“Mi máximo respeto y mi máxima admiración a todos los ingenieros,
especialmente al mayor de todos ellos: Dios...”*

Thomas Alva Edison (1847-1931).

Inventor y empresario estadounidense, con más de 2,000 patentes registradas.

Todos los dispositivos fabricados y caracterizados en este proyecto de investigación, requirieron de un proceso de fabricación y caracterización específico, que a continuación se describe de una forma detallada. Los procesos de fabricación y caracterización empleados en este trabajo, son similares a los utilizados en la industria microelectrónica para la fabricación de dispositivos basados en la tecnología MOS.

4.1 Caracterización y limpieza del sustrato

4.1.1 Caracterización del sustrato

En todo proceso de fabricación, el primer paso es identificar el tipo de oblea que se va a utilizar y la familia correspondiente, esto se realiza identificando visualmente los cortes realizados en la oblea, los cuales son rectos y poseen un ángulo definido. En este proyecto se utilizaron obleas con orientación (100) y con dopaje tipo-p y n como se muestra en la Fig. 4-1 [6]. Algunas ventajas de utilizar esta orientación, es que propicia a una menor cantidad de defectos en la superficie y facilita el clivaje de las obleas. Es decir, los óxidos crecidos sobre obleas con orientación (100) presentan menos defectos que los crecidos sobre sustratos con orientación (111).

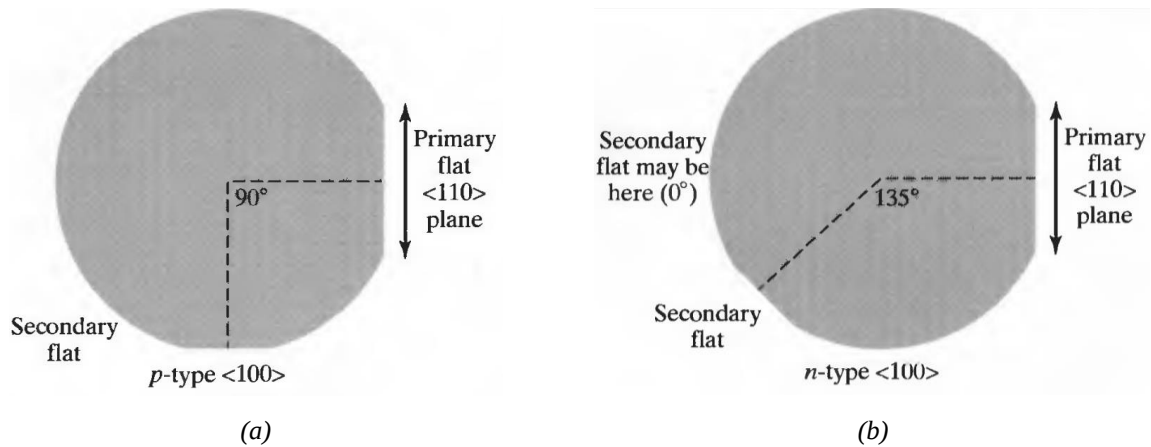
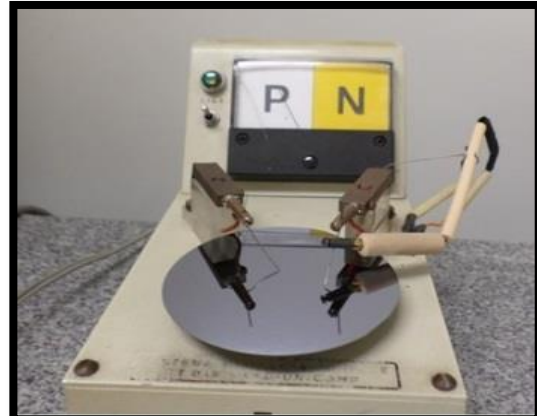


Fig. 4-1: Oblea con orientación 100 y dopaje tipo-p (a) y tipo-n (b), utilizadas en este proyecto de investigación.

Posteriormente es importante conocer las dimensiones de nuestra oblea, tales como diámetro y grosor. Para este proyecto se utilizaron obleas de 3" con grosores aproximados a 400μm, caracterizadas con los equipos mostrados en la Fig. 4-2 para determinar el grosor y cerciorarse del dopaje de la oblea, a través del método de “punta caliente”.



(a)



(b)

Fig. 4-2: Equipo utilizado para determinar el grosor en una oblea (a) y tipo de dopaje (b).

Paso seguido, se verifica la resistividad de la oblea a través del método de cuatro puntas, para lo cual se utilizó el equipo *JANDEL RM3* mostrado en la Fig. 4-3, obteniéndose valores entre $1-10 \Omega \cdot \text{cm}$, valores que coinciden con los indicados por el fabricante de las obleas.



(a)



(b)

Fig. 4-3: Equipo utilizado para determinar la resistividad de la oblea (a), usando un equipo de cuatro puntas (b).

4.1.2 Procesos de limpieza utilizados

La limpieza de las obleas de Si, es fundamental en un proceso de microfabricación. Para garantizar una limpieza eficaz, con la menor cantidad de impurezas posibles, se lleva a cabo un proceso estándar. Los procesos de limpieza utilizados en este proyecto, fueron implementados en CCS-UNICAMP, los cuales son similares a los utilizados en la industria microelectrónica [57]:

❖ Limpieza RCA

- 1) Sumergir la oblea en $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$ (4:1) por 10min a 80°C en una placa térmica (*hot-plate*), esta solución es conocida como: “*Piraña*”; la cual remueve compuestos orgánicos superficiales.
- 2) $\text{HF}+\text{H}_2\text{O}$ (1:10) a temperatura ambiente por 10seg: remueve O_2 nativo del substrato. En este proceso ocurre la reacción química: $\text{SiO}_2+4\text{HF}\rightarrow\text{SiF}_4+\text{H}_2\text{O}$.
- 3) $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ (1:1:5) a 80°C por 10 min: remueve grasa y metales del grupo IB y IIIB, por ejemplo: Cu, Ag, Zn, Cd.
- 4) $\text{HCl}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ (1:1:5) a 80°C por 10 min: disuelve iones alcalinos e hidróxidos de Fe^{+3} , Al^{+3} y Mg^{+3} en la superficie del substrato.

Entre una etapa y otra, son sometidas a un enjuague con agua desionizada (*DI*) de $18\text{M}\Omega\cdot\text{cm}$ durante 3min. Después se dejan por 3min dentro de un recipiente con agua DI. Los substratos se secan con N_2 y se guardan en una caja limpia, cuidando de que no sean expuestas al ambiente.

❖ Limpieza Orgánica

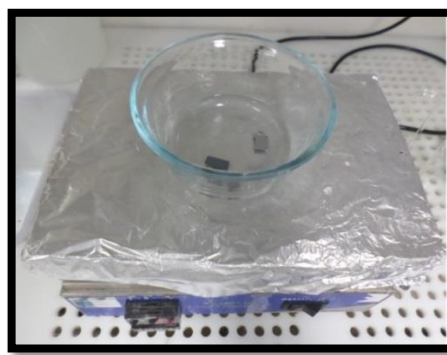
Esta limpieza se utilizó durante los procesos de fabricación de los capacitores para remover residuos orgánicos y *photoresist*, el proceso consiste en:

- 1) Hervir las muestras en acetona a 80°C por 10 minutos.
- 2) Hervir por 10 minutos en isopropanol 80°C .
- 3) Enjuagar por 5 minutos en agua DI.

Es importante contar con un área amplia y ventilada designada para realizar todo proceso químico, como se muestra en la Fig. 4-4 (a). Los químicos que intervienen en el proceso de limpieza tales como ácidos y solventes, se recomienda que se encuentren en áreas separadas por cuestión de seguridad. Toda solución química que se utilice en el proceso de limpieza debe formularse al mismo tiempo para disminuir retrasos en el proceso.



(a)



(b)

Fig. 4-4: Área condicionada para manipular productos químicos (a). Hot-plate y recipiente con solventes para realizar procesos químicos de limpieza sobre muestras (b).

Limpieza por plasma

Técnica utilizada para remover residuos de *photoresist* de las obleas durante el proceso de fabricación de los dispositivos MOS, utilizando los siguientes parámetros: potencia de 350Watts, flujo de O₂: 50sccm y tiempo: 30min.

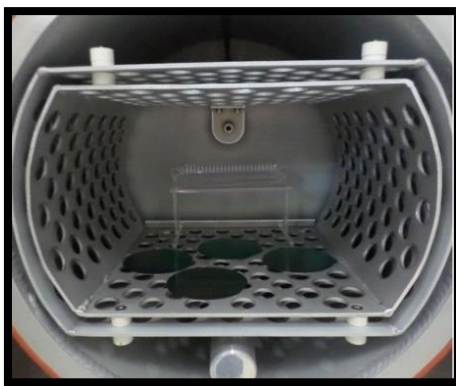


Fig. 4-5: Equipo RIE utilizado para remover photoresist.

4.2 Películas delgadas depositadas por evaporación térmica

4.2.1 Estructuras: c-Si/SiO_x

Capas de SiO_x con composiciones iniciales de $x=1.15$ y 1.3 , fueron obtenidas por medio de la evaporación de monóxido de Si (SiO) con un vacío de 1×10^{-3} Pa y a temperatura ambiente. Se depositaron capas con diferentes espesores 60-70 nm y 100-110 nm sobre sustratos de silicio (100) tipo-n, con resistividad de 4-6 $\Omega \cdot \text{cm}$. El grosor de las capas depositadas fue monitoreado por medio de un sistema de micro-balanza de cuarzo. Antes de la deposición las obleas fueron químicamente limpiadas utilizando una limpieza RCA. Para obtener dos regiones dieléctricas (SiO₂-Si NCs /SiO₂), partiendo de la capa depositada, la película de SiO_x se sometió a un proceso de doble etapa de recocido a una temperatura de 1000°C durante 60 minutos. Primero las muestras fueron recocidas en una atmósfera de N₂, posteriormente se sometieron a una segunda etapa de recocido en una atmósfera de 90% N₂ + 10% O₂, etapa denominada oxidación. Los tiempos de oxidación fueron 5 y 10 min para muestras de 60 nm, mientras que para las muestras de 100 nm los tiempos de recocido fueron 10 y 15 min, para probar que la variación del espesor de la capa de óxido de Si superior, es controlada por la variación de los tiempos de recocido. También se prepararon muestras de control recocidas a 250°C durante 30 min en Ar para estabilización (Tabla 4-1).

Estructuras: c-Si / SiO _x					
SiO _x (x = 1.15; 1.3)		t~60-70 nm t~100-110 nm		Evaporación térmica de SiO	
Recocido de doble etapa: N ₂ / 90% N ₂ + 10% O ₂					
x=1,15	t~60-70nm	Control T=250°C 30min Ar	x=1,15	t~100-110nm	Control T=250°C 30min Ar
x=1,3			x=1,3		
x=1,15	t~60-70nm	T=250 °C T=1000 °C 60 min N ₂	x=1,15	t~100-110nm	T=250 °C T=1000 °C 60 min N ₂
x=1,3			x=1,3		
x=1,15	t~60-70nm	T=250 °C T=1000 °C 55 min N ₂ + 5 min O ₂	x=1,15	t~100-110nm	T=250 °C T=1000 °C 50 min N ₂ + 10 min O ₂
x=1,3			x=1,3		
x=1,15	t~60-70nm	T=250 °C T=1000 °C 50 min N ₂ + 10 min O ₂	x=1,15	t~100-110nm	T=250 °C T=1000 °C 45 min N ₂ + 15 min O ₂
x=1,3			x=1,3		

Tabla 4-1: Muestras c-Si/SiO_x fabricadas.

Para la caracterización eléctrica de las estructuras MOS, se fabricaron capacitores utilizando Al como contacto en la superficie con un área de $\sim 2 \times 10^{-3} \text{ cm}^2$ y también para formar el contacto trasero. Las muestras fabricadas y estudiadas para caracterización estructural y eléctrica se indican en la Fig. 4-6.

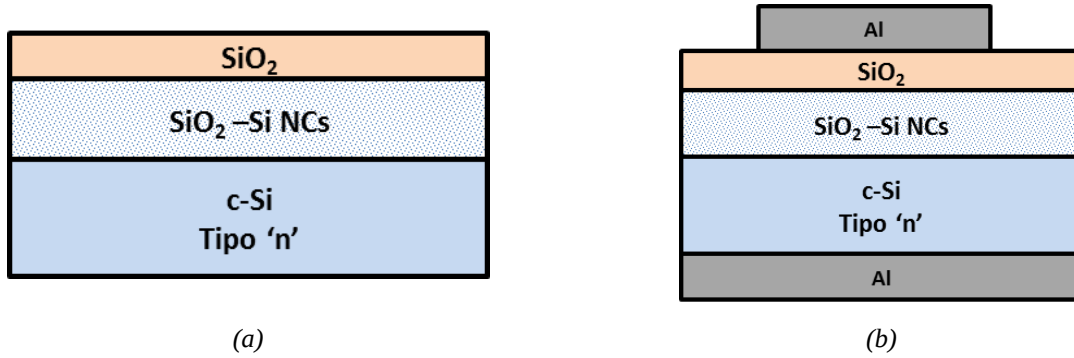


Fig. 4-6: Representación de las estructuras $c\text{-Si/SiO}_x$ analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).

4.2.2 Estructuras: c-Si/SiO₂/SiO_x

Las muestras analizadas fueron fabricadas partiendo de un sustrato de Si cristalino (100) tipo-n con una resistividad de 4-6 $\Omega \cdot \text{cm}$. Utilizando un proceso de oxidación térmica se creció una capa de óxido de Si con un grosor de $\sim 15 \text{ nm}$ a través de una oxidación seca a 1000°C por 5min. Para obtener mejores propiedades en la interfaz, se recoció por 30min en atmósfera de N_2 a la misma temperatura. Posteriormente, por encima del óxido crecido térmicamente, se depositó una capa de SiO_x con composición $x=1.15$ y $x=1.3$ con espesor de $\sim 100 \text{ nm}$, a través de la evaporación de SiO. Las estructuras fueron sometidas a un proceso de recocido de doble etapa para formar dos regiones partiendo de la capa de SiO_x depositada. La primera región es una matriz de SiO₂ con nanopartículas y la segunda región es una capa de óxido de Si por arriba, libre de nanopartículas. Para obtener estas dos regiones se realizó el siguiente proceso, primeramente la estructura bicapa (c-Si/SiO₂/SiO_x) se recoció en N_2 por 40 minutos, posteriormente un segundo proceso de oxidación en atmósfera 90% N_2 + 10% O_2 durante 20min. El proceso de doble etapa de recocido fue realizado a diferentes temperaturas para la obtención de diferentes tipos de nanopartículas. Una parte de las muestras se recocieron a 1000°C para la formación de Si NCs en una matriz de SiO₂, mientras que para la formación de nanopartículas de Si amorfo, el recocido se llevó a cabo a 700°C en ambiente de N_2 y 800°C para el proceso de oxidación (Tabla 4-2).

Estructuras: c-Si / SiO ₂ / SiO _x		
SiO ₂ térmico	t~15 nm	1000°C en O ₂ por 5 min
SiO _x (x = 1.15)	t~100 nm	Evaporación térmica de SiO
Proceso de doble etapa de recocido en: N ₂ / 90% N ₂ + 10% O ₂		
a)	40 min en N ₂ / 20 min en 90% N ₂ + 10% O ₂	T = 1000 °C
b)	40 min en N ₂ / 20 min en 90% N ₂ + 10% O ₂	T = 700 °C / 800°C

Tabla 4-2: Muestras c-Si/SiO₂/SiO_x fabricadas.

Adicionalmente, para la caracterización eléctrica se fabricaron capacitores utilizando Al como contacto en la superficie, con un área de $\sim 2 \times 10^{-3} \text{cm}^2$ y también para formar el contacto trasero. En la Fig. 4-7 se observan las muestras fabricadas y estudiadas para caracterización estructural y los capacitores fabricados.

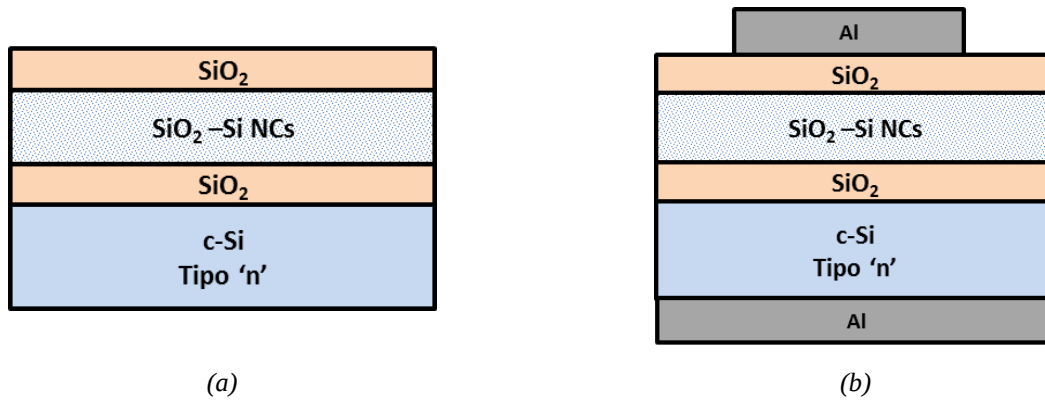


Fig. 4-7: Representación de las estructuras c-Si/SiO₂/SiO_x analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).

Resultados previos revelaron que el recocido de SiO_{1.1} en N₂ durante 60min a 1000°C lleva a una separación de fases y una formación de Si NCs con diámetro de $\sim 5\text{-}6\text{nm}$ [84, 85] en una matriz de SiO₂ [86, 87], mientras que el recocido a 700°C conduce a una formación de nanopartículas amorfas con diámetro $\sim 2.1\text{nm}$ en una matriz de SiO_{1.7} [86]. Una de las ventajas del proceso de doble etapa de recocido es la obtención de una capa de SiO₂ por encima de la capa dieléctrica que contiene nanopartículas.

4.3 Películas delgadas depositadas por evaporación térmica y por r.f. sputtering

4.3.1 Estructuras: c-Si/SiO₂/SiO_x/SiO₂

Las estructuras MOS que contienen tres capas dieléctricas (c-Si/SiO₂/SiO_x/SiO₂), fueron fabricadas partiendo de un sustrato de c-Si (100) tipo-n con resistividad de 4-6 Ω·cm, en estas muestras se creció térmicamente un óxido ~3.9nm de espesor a 850°C en óxido seco. Posteriormente se depositó una capa de SiO_x con espesor de ~15nm y con composición x=1.15 por medio de evaporación térmica de SiO. Adicionalmente se depositó una capa de SiO₂ con un espesor de ~60 nm por encima de las dos capas dieléctricas (SiO₂/SiO_x) utilizando la técnica de erosión iónica por radiofrecuencia (*r.f. sputtering*). La muestra de control se recoció en Ar durante 30 min a una temperatura de 250°C. El resto de las muestras se sometió a un recocido en ambiente de puro N₂ durante 30min y 60min a una temperatura de 1000°C para la formación de Si NCs en una matriz de SiO₂ (Tabla 4-3).

Estructuras:c-Si / SiO ₂ / SiO _x / SiO ₂		
Thermal SiO ₂	t ~ 3.9 nm	850°C en O ₂
SiO _x (x = 1.15)	t ~ 15 nm	Evaporación térmica de SiO
SiO ₂	t ~ 60 nm	r.f. Sputtering
Procesos de recocido utilizados		
a)	Control 30 min @ 250°C	Ar
b)	30 min @ 1000°C	N ₂
c)	60 min @ 1000 °C	N ₂

Tabla 4-3: Muestras c-Si/SiO₂/SiO_x/SiO₂ fabricadas.

Para realizar mediciones C-V y G-V se realizó una metalización de las muestras con Al, en la parte trasera y superior utilizando una máscara para formar los capacitores MOS con un área de $2 \times 10^{-3} \text{cm}^2$. Finalmente un segundo recocido se llevó a cabo en un ambiente de puro hidrógeno a 430°C por 30 min para mejorar las propiedades de la interfaz entre el sustrato y el óxido crecido térmicamente (c-Si/SiO₂). En la Fig. 4-8 se observan las muestras fabricadas y estudiadas para caracterización estructural y los capacitores fabricados.

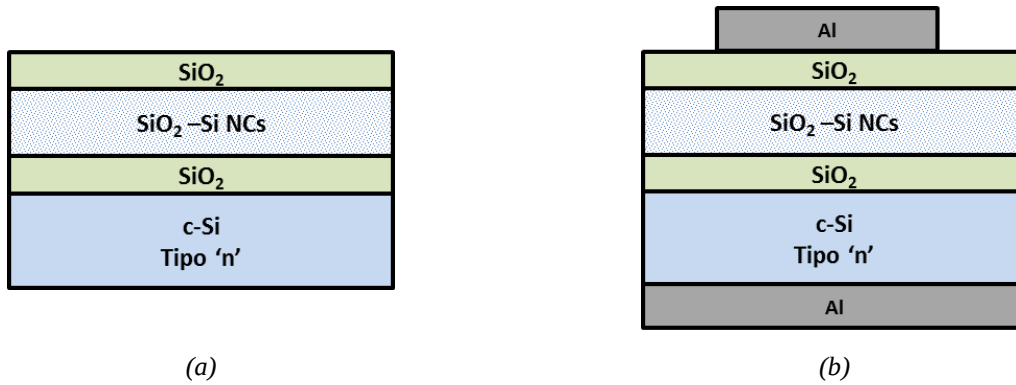


Fig. 4-8: Representación de las estructuras c-Si/SiO₂/SiO_x analizadas, después del proceso de recocido (a) y su capacitor correspondiente (b).

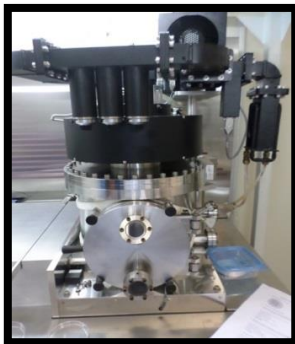
4.4 Películas delgadas depositadas por ECR-CVD

4.4.1 Estructuras: $c\text{-Si/SiO}_2/a\text{-S:H}$ y $c\text{-Si/SiO}_2/a\text{-S:H/SiO}_2$

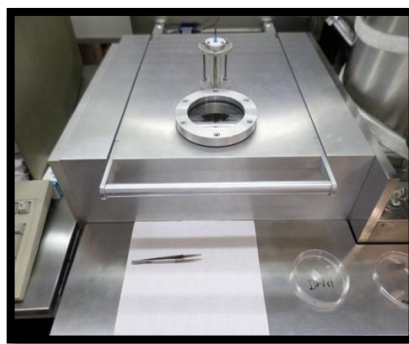
Películas delgadas de SiO_2 y $a\text{-Si:H}$ fueron depositadas por la técnica ECR—CVD, sobre substratos de $c\text{-Si}$ (100) tipo-p con resistividad de $1\text{--}10\ \Omega\cdot\text{cm}$ y de 3” de diámetro. Antes de la deposición, los substratos pasaron por un proceso de limpieza RCA. La fuente ECR está incorporada a un sistema CVD y juntos forman el sistema ECR—CVD modelo: PLASMA THERM SLR 770 asistido por un plasma remoto, este sistema utiliza un generador de r.f. (13.56MHz) acoplado al substrato para reducir el impacto de los iones sobre la muestra. Además cuenta con una computadora que permite la comunicación entre el operador y las partes del sistema, así como una ante-cámara que posibilita la colocación de las muestras a ser procesadas, sin que sea necesario abrir la cámara principal (Fig. 4-9).



(a)



(b)



(c)

Fig. 4-9: Equipo utilizado para depositar las capas dieléctricas, modelo PLASMA THERM 770 (a), acoplado a un sistema ECR-CVD (b) y además cuenta con una ante-cámara (c).

Las condiciones de la cámara utilizadas para la deposición de las películas se muestran en la Tabla 4-4:

Parámetros de la cámara de ECR-CVD	
• Presión:	2 mTorr.
• Frecuencia del magnetrón:	2.45 GHz.
• Temperatura:	20°C.
• Potencia- ECR:	250 Watts.

Tabla 4-4: Parámetros de la cámara del sistema ECR-CVD utilizados para la deposición.

Para la deposición de las películas delgadas de SiO₂ y a-Si:H, se utilizaron los parámetros indicados en la Tabla 4-5 y Tabla 4-6, respectivamente [61].

Parámetros para depositar SiO ₂	
(2% SiH ₄ +98% Ar):	125 sccm
Ar:	5 sccm
O ₂ :	2.5 sccm
Tiempo:	1 min
Temperatura:	20°C
Tasa	~6nm/min

Tabla 4-5: Parámetros para depositar óxido de Si por ECR-CVD.

Parámetros para depositar a-Si:H	
(2% SiH ₄ + 98% Ar):	125 sccm
Ar:	5 sccm
Tiempo:	1min
Temperatura:	20°C
Tasa:	~3-4nm/min

Tabla 4-6: Parámetros para depositar Si amorfo hidrogenado por ECR-CVD.

Posteriormente las estructuras fueron clivadas, pasaron por una limpieza orgánica y finalmente fueron sometidas a un proceso de recocido en alta temperatura para la obtención de nanopartículas (Tabla 4-7), reservando una muestra sin recocido para utilizarla como referencia (control).

Temperatura	Ambiente	Tiempo
800°C	N ₂	60min
900°C		
1000°C		
1100°C		

Tabla 4-7: Proceso de tratamiento térmico en alta temperatura, aplicado en las muestras fabricadas por ECR-CVD.

El proceso de recocido en alta temperatura, se llevó a cabo en un horno con tubo de cuarzo modelo THERMCO SYSTEMS (Fig. 4-10), el cual es un horno horizontal compuesto de 3 regiones de resistencias; una central que define la temperatura de operación y dos externas que sirven para aplanar el perfil de temperatura a través de toda la extensión del horno, donde las variaciones de temperatura son menores a 1°C. Las muestras fueron introducidas utilizando un soporte de cuarzo.

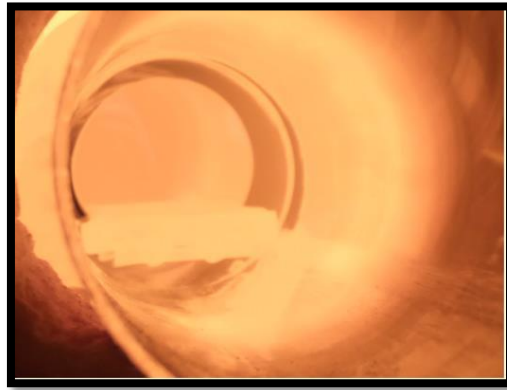


Fig. 4-10: Horno para tratamientos térmicos, modelo THERMCO SYSTEMS.

Posterior al proceso de recocido, se fabricaron capacitores MOS para estudiar las propiedades eléctricas de las capas dieléctricas depositadas. Por lo que se realizó una metalización de las muestras con Al, depositando ~500nm de espesor en la parte superior y trasera de las muestras, utilizando la receta descrita en la Tabla 4-8. Para la deposición de Al se utilizó la técnica de *r.f. sputtering* empleando un equipo ULVAC system MCH-9000 (Fig. 4-11). Los capacitores MOS con un diámetro de 200µm fueron obtenidos a través de un proceso de fotolitografía, el cual se explica detalladamente en el Apéndice II *Error! Reference source not found.*

Presión:	10×10^{-3} Torr
Presión de base:	1×10^{-8} Torr
Fujo de Ar:	60 sccm
Potencia:	1KW
Magnetron:	137 Volts, 2.7 A
Tiempo:	5'50'' = 500nm
Tasa de deposición:	1'10'' = 100nm

Tabla 4-8: Parámetros utilizados para depositar Al por r.f. sputtering.



Fig. 4-11: Equipo de sputtering ULVAC system MCH-9000, utilizado para metalizar las muestras con aluminio.

Finalmente, un segundo recocido en *forming°gas* ($92\% \text{N}_2 + 8\% \text{H}_2$) se llevó a cabo sobre los capacitores MOS a una temperatura de 450°C durante 20min para mejorar las propiedades de la interfaz entre el substrato y el óxido depositado (c-Si/SiO₂). La Fig. 4-12 (a), (b) muestran las estructuras fabricadas de dos (c-Si/SiO₂/a-Si:H) y tres capas (c-Si/SiO₂/a-Si:H/SiO₂), con sus respectivos capacitores.

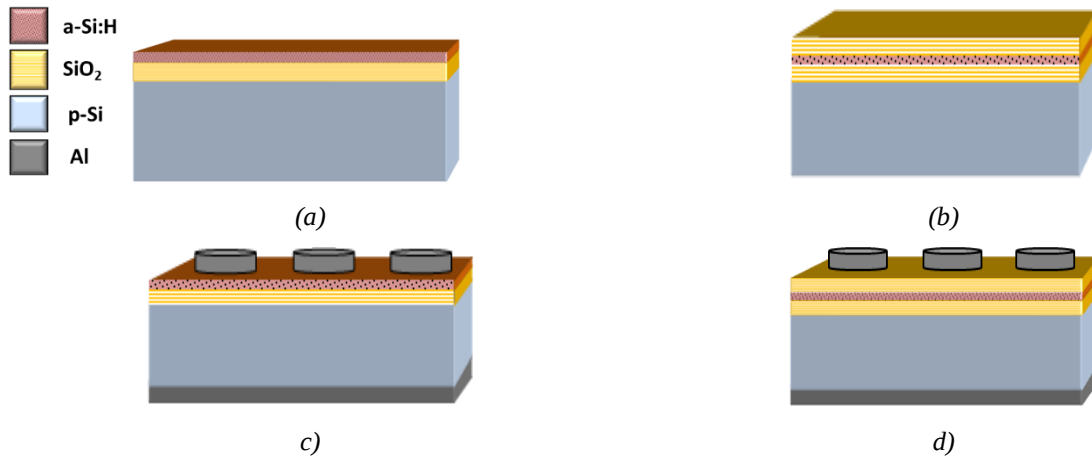


Fig. 4-12: Representación de la sección transversal de estructuras SiO₂/a-Si:H (a) y SiO₂/a-Si:H/SiO₂ (b) fabricadas por ECR-CVD, así como sus capacitores MOS correspondientes (c), (d).

4.4.2 Estructuras Adicionales.

Adicionalmente, se fabricó un tipo de muestras que contienen SiO₂ crecido por oxidación húmeda de ~800nm, el cual fue crecido térmicamente a una temperatura de 1000°C durante 200min sobre substratos de c-Si (100) tipo-p con resistividad de 1–10Ω·cm y de 3” de diámetro, los cuales pasaron por un proceso de limpieza RCA previo. Posteriormente se depositaron las películas delgadas de SiO₂ y a-Si:H utilizando los mismos parámetros. Estas muestras fueron fabricadas con el propósito de disminuir la contribución del sustrato de Si y poder obtener información composicional y estructural a través de las técnicas de caracterización por RAMAN y XRD.

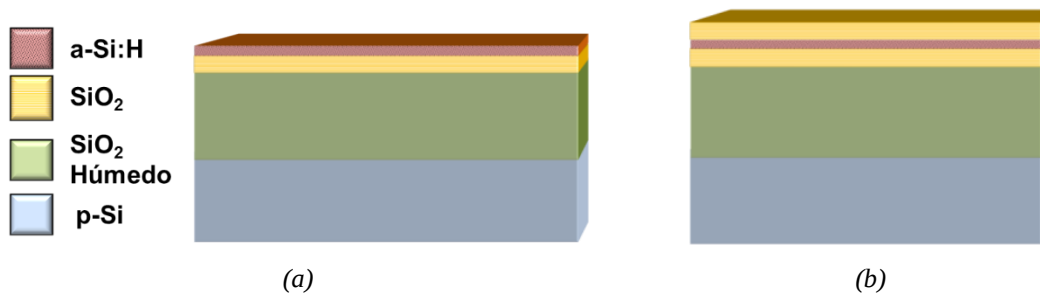


Fig. 4-13: Estructuras fabricadas para realizar análisis por RAMAN y XRD.

4.5 Fabricación del transistor.

Una vez fabricadas y caracterizadas las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ se procedió a la fabricación del transistor nMOS, el cual se describe en el *Apéndice III*. Desafortunadamente el proceso de fabricación se detuvo en la etapa 15 por cuestiones de tiempo e infraestructura, la cual consiste en depositar las películas delgadas por ECR-CVD y posteriormente someter las estructuras al proceso de recocido en alta temperatura para la formación de nanopartículas y continuar con el proceso de fabricación y caracterización de los dispositivos, así como su comparación con un transistor nMOS libre de nanopartículas. En la Fig. 4-14 se puede observar la etapa #15 del proceso de fabricación del transistor, en la cual se define la región de la compuerta. En el recuadro amarillo se observan 4 tamaños de diferentes de compuerta para obtener una longitud de canal aproximada de: $200\mu\text{m}$, $50\mu\text{m}$, $10\mu\text{m}$ y $5\mu\text{m}$ [57].

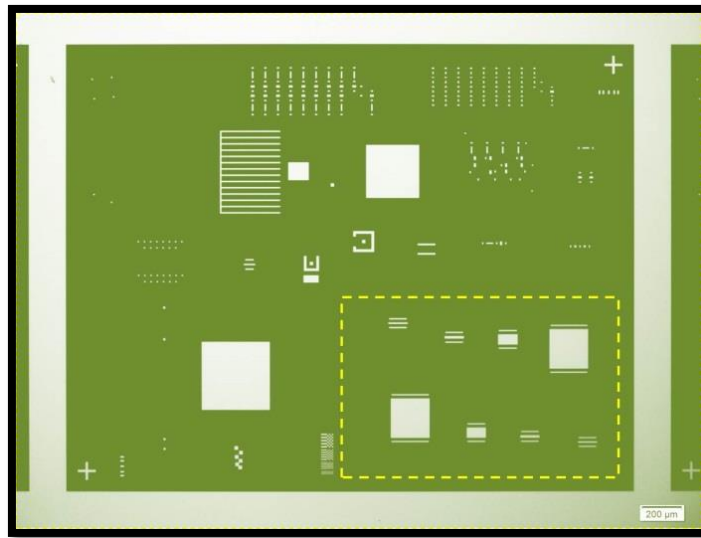


Fig. 4-14: Etapa #15 de la fabricación de transistores: definición de la compuerta del transistor.

4.6 Condiciones para caracterización espectroscópica

4.6.1 Espectroscopía infrarroja (IR)

Par el estudio de las muestras depositadas por evaporación térmica, se utilizó el equipo *Perkin Elmer Spectrum One FTIR* (Fig. 4-15) del Laboratorio de Corrosión del II-UABC, para obtener el espectro de transmisión y de absorción de las muestras fabricadas por evaporación térmica en un rango espectral de 400 a 4000cm^{-1} con una resolución de 4cm^{-1} . Para disminuir la humedad de la cámara se utilizó N_2 .



Fig. 4-15: Equipo *Perkin Elmer Spectrum One FTIR*.

Para las muestras fabricadas por ECR-CVD, las mediciones de IR se llevaron a cabo en LAMULT-IFGW en UNICAMP. Para realizar medidas de absorción en infrarrojo se utilizó un espectrómetro *JASCO FT-IR 6100* (Fig. 4-16), donde se monitoreó el haz absorbido por las muestras dentro de un rango espectral de 400 a 4000cm^{-1} , con una resolución de 4cm^{-1} y 40 escaneos. Los espectros fueron obtenidos a temperatura ambiente y se introdujo N_2 en la cámara, para disminuir la humedad del ambiente.

Antes de cada medición, se utilizó un sustrato de c-Si con las mismas características que las muestras analizadas, para obtener un espectro de referencia (ambiente + sustrato), el cual se sustrae de cada medida realizada, para obtener y analizar únicamente la señal proveniente de nuestras películas delgadas.



Fig. 4-16: FTIR 6100.4. Equipo JASCO.

4.6.2 Espectroscopía Raman

Con esta técnica se analizaron las muestras que contienen películas delgadas por ECR-CVD depositadas sobre un óxido grueso crecido en ambiente húmedo, con el propósito de obtener información directa de las películas depositadas y recocidas, debido a la penetración del láser sobre la estructura [88]. Para la realización de estas se utilizó un espectrómetro *Raman cofocal* acoplado a un microscopio AFM, modelo *NT-MDT Ntegra-Spectra* (Fig. 4-17). Los espectros fueron obtenidos utilizando un espectrómetro *SOLAR*, donde un láser UV-VIS de estado sólido marca *COBOLT* con longitud de onda de 473.8nm y con una potencia de 50mW como fuente de excitación, además cuenta con un detector *CCD (Charge Coupled Device)* marca *ANDOR* con resolución de ~300-450nm con rejillas de 150 a 1800 l/mm.



Fig. 4-17: Raman cofocal+AFM, modelo NT-MDT Ntegra-Spectra.

4.6.3 Espectroscopía elipsométrica (SE)

Mediciones de las estructuras tricapa con doble proceso de recocido fueron efectuadas utilizando un elipsómetro de ángulo variable, *J.A. Woollam EC 110 Multi-Wavelength Ellipsometer* y una fuente *M44* con un rango espectral de 275-825nm (Fig. 4-18). Se realizaron mediciones con ángulos de incidencia a 65°, 70° y 75°, para una mayor confiabilidad de las propiedades ópticas determinadas en las estructuras. Las mediciones se realizaron en el Laboratorio de Espectroscopía de Superficies en el CNyN.



Fig. 4-18: *J.A. Woollam EC 110 Multi-Wavelength Ellipsometer*.

Las muestras fabricadas por ECR-CVD, fueron caracterizadas en el CCS-UNICAMP, utilizando un elipsómetro de una longitud de onda (*SWE- Single Wavelength Ellipsometer*) modelo *RUDOLPH/Auto- EL NIR 3* (Fig. 4-19), con una fuente laser He-Ne con longitud de onda de 632.8nm y un ángulo de incidencia de 70°. Para calibrar el equipo se utilizó una película de SiO₂ crecida térmicamente, con un $n=1.46\pm0.002$ y un grosor de 113.6 ± 0.3 nm.



Fig. 4-19: *Elipsómetro RUDOLPH/Auto-EL NIR 3*.

4.6.4 Fotoluminiscencia (PL)

Estas mediciones se llevaron a cabo en el IFGW-UNICAMP, donde se utilizó un espectrómetro *SPEX 500M (f/4)* equipado con una red de difracción de 600 líneas/mm, con un CCD de Si: *EEV 100x1340B Kodak* con 1340x100 pixeles, refrigerado con N₂ líquido en un controlador modelo ST133A de Princeton Instruments (Fig. 4-20). Se utilizó una potencia nominal del láser de 50mW, es decir, no se utilizaron barridos ni filtros neutros. En estos análisis se utilizó una línea de Ar de 488nm a temperatura ambiente (aprox. 300K), un tiempo de integración del CCD igual a 5seg y abertura de la rejilla a 600μm.

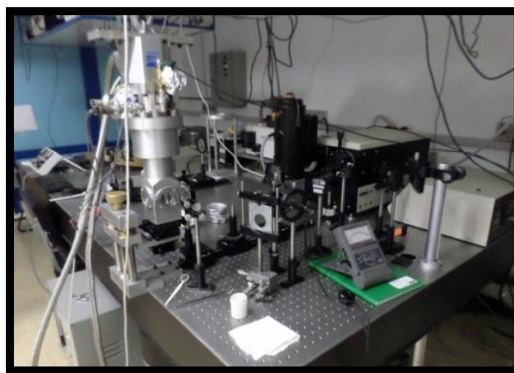


Fig. 4-20: Estación utilizada para realizar medidas de PL.

4.7 Condiciones para caracterización estructural

4.7.1 Difracción de rayos-X (XRD)

Análisis de XRD fueron realizados sobre las muestras depositas por ECR–CVD, para verificar la presencia de nanopartículas en la capa de a-Si:H. Para esto se utilizó un difractómetro *BRUKER D8 ADVANCE* (Fig. 4-21), utilizando la línea incidente del cobre $\text{Cu}_{K\alpha}=1.54184\text{nm}$, con una potencia de 1600W (corriente límite de 40mA a 40V). Antes de la medición se calibró el equipo utilizando rejillas *Axial Soller slit* de Cu (0.1mm) como atenuador y para reducir la divergencia del haz. Para mejorar las mediciones en películas delgadas se utilizó un espejo *Göbel*

(0.2 mm) y un *Soller slit* (6.0 mm) para producir un haz intenso y paralelo libre de radiación $K\beta$. Las mediciones fueron bajo los siguientes parámetros; ángulo de incidencia rasante: 0.15° , en un rango 2θ : $10-80^\circ$, con un paso de: 0.01° y un tiempo de: 10seg por paso.

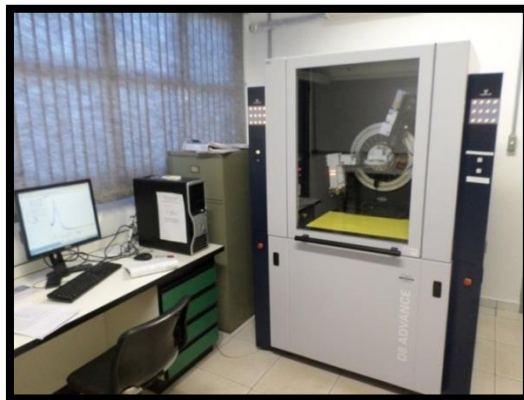


Fig. 4-21: Difractómetro Bruker modelo D8 Advance.

4.7.2 Microscopía de fuerza atómica (AFM)

Para la adquisición de las imágenes de AFM, se utilizó un equipo *nanoSurf°easy°scan°2 Flex°AFM* (Fig. 4-22) operado en el modo de no contacto sobre un área de barrido de $40 \times 40 \mu\text{m}$ en la muestra de interés; este equipo está acoplado a una estación de trabajo anti-vibración. Para el procesamiento de las imágenes se utilizó el software *Gwyddion*, con el cual se procesaron las imágenes de la superficie de las muestras y se determinó su rugosidad [89].



Fig. 4-22: nanoSurf easy Scan 2 Flex AFM.

4.7.3 Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM)

Para la observación de la sección transversal de las estructuras depositadas por ECR-CVD, se utilizó un sistema *Dual FIB: FEI Nanolab 200* (Fig. 4-23) ubicado en CCS-UNICAMP. Este sistema combina un haz de iones focalizados (FIB) con un microscopio electrónico de barrido (SEM), que utiliza un haz de iones de Galio (Ga^+) con voltaje nominal de 30kV y un diámetro mínimo de 7nm; para el haz de electrones utiliza un voltaje de 30kV y un diámetro mínimo de 1-2nm., el sistema de electrones cuenta con una emisión de campo con resolución de 2nm a través de una amplia gama de energías. Adicionalmente este equipo cuenta con un sistema de EDX para determinar y cuantificar los componentes químicos de las muestras analizadas.

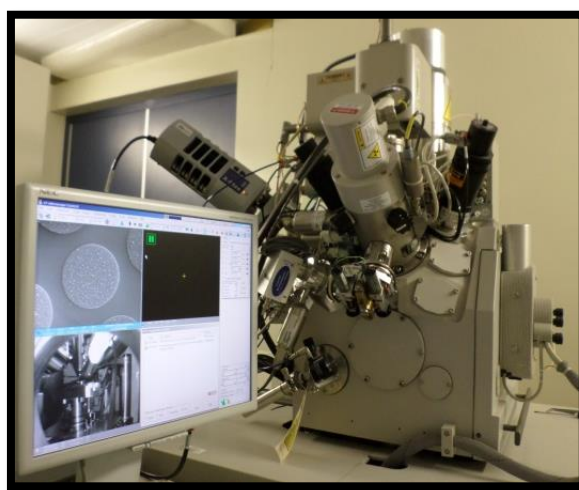


Fig. 4-23: Sistema Dual FIB: FEI Nanolab 200.

4.7.4 Microscopía electrónica de transmisión (TEM)

4.7.4.1 Preparación de muestras

Para el análisis de TEM sobre las estructuras estudiadas en este proyecto se requirió una preparación previa de las muestras, la cual se realizó en el Laboratorio de Preparación de Muestras para TEM en el CNyN-UNAM. Para esta preparación se requirió cortar un pedazo de la muestra y adherirla en un porta muestra mediante el uso de resina, después con una cortadora de disco de diamante (Fig. 4-24) se obtuvieron varias tiras de la muestra en forma laminar ($\sim 2 \times 5 \text{ mm}$). El mismo procedimiento se realizó para obtener tiras de Si cristalino, las cuales son utilizadas para proteger la muestra durante el adelgazamiento mecánico, por lo que se recomienda utilizar una oblea de Si con orientación (100) ya que al fracturarse lo hace en ángulos rectos, caso contrario a la oblea (111).



Fig. 4-24: Cortadora de disco de diamante.

Conseguido el corte laminar de la muestra y del substrato de Si, se fijaron con resina o epoxy dos tiras de la muestra (película con película y además se adhieren dos tiras de Si en los extremos como protección de la muestra para adelgazar (Fig. 4-25).



Fig. 4-25: Estructura utilizada para adelgazar mecánicamente la muestra.

El apilamiento se adhiere a con resina a una estructura de cuarzo y se ajusta en un trípode milimétrico (Fig. 4-26) para realizar un pulido mecánico preciso y controlado en forma de cuña.

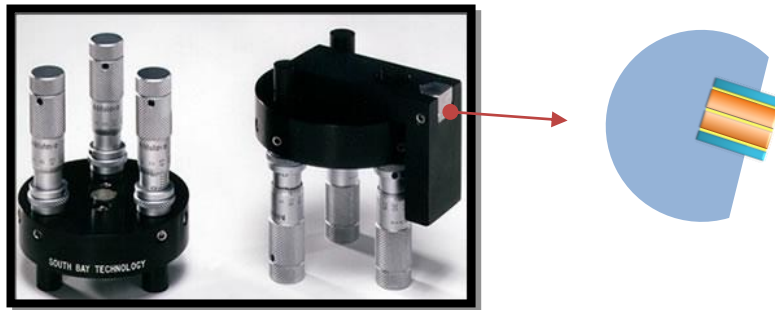


Fig. 4-26: Trípode especial para pulido mecánico con montaje de la muestra sobre el cuarzo.

Se utilizó una pulidora para adelgazar la muestra, utilizando diferentes paños para reducir gradualmente el espesor de la muestra (Fig. 4-27), por lo que se debe monitorear continuamente el adelgazamiento para no dañar o destruir la muestra hasta llegar a un punto crítico, donde no es posible adelgazar más por este método y se necesita utilizar una técnica de devastación adicional. Por reducción mecánica podemos alcanzar hasta un espesor aproximado de 20-30 μ m.



(a)



(b)

Fig. 4-27: Pulidora (a) y paños (b) utilizados para adelgazamiento mecánico.

Una representación esquemática de la muestra, después del pulido mecánico se indica en la Fig. 4-28, donde se observa un adelgazamiento de la superficie pulida, que se observará por TEM.

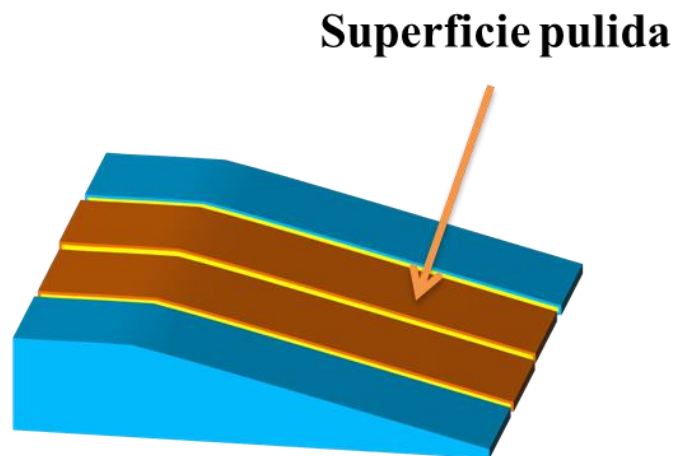


Fig. 4-28: Geometría transversal de una muestra, después del adelgazamiento mecánico.

Después del adelgazamiento mecánico y para no dañar la muestra, se empleó una segunda etapa con la cual es posible adelgazar la muestra aún más, utilizando la técnica de *Ion Milling* (Fig. 4-29). Esta técnica nos permite adelgazar muestras mediante el disparo de iones de Ar en vacío a un ángulo entre 10° y 15° , haciendo rotar la muestra 360° , hasta alcanzar una transparencia en la muestra. En esta etapa, los iones fueron acelerados utilizando 5kV y una corriente de $10\mu\text{A}$.



Fig. 4-29: Equipo de Ion milling.

Para realizar el adelgazamiento por iones, la muestra se debe fijar sobre una rejilla de cobre (Fig. 4-30), durante el proceso de erosión un láser es dirigido al centro de la muestra para monitorear el proceso, de modo que cuando el láser atraviesa la muestra indica que se ha alcanzado el espesor necesario para finalmente ser introducida al TEM.



Fig. 4-30: Rejilla de ranura para TEM donde se colocó la muestra adelgazada.

4.7.4.2 Microscopio TEM

La caracterización estructural de las muestras fabricadas sin metalización fue llevada a cabo, utilizando un microscopio electrónico de transmisión modelo *JEOL JEM-2010* (Fig. 4-31) con filamento de LaB_6 (*Hexaboruro de Lantano*) y un voltaje de aceleración de 200kV, la resolución punto a punto del equipo es de 0.22nm. El equipo fue operado bajo la asistencia del técnico Francisco Ruiz en CNyN-UNAM.



Fig. 4-31: TEM modelo JEM-2010 utilizado para el análisis estructural.

4.8 Condiciones para caracterización eléctrica

4.8.1 Mediciones capacitancia-voltaje (C-V)

Mediciones C-V y G-V fueron llevadas a cabo en el LSMN del II-UABC, sobre capacitores MOS en el rango de bajas a altas frecuencias (20Hz–2MHz) limitados por el equipo, utilizando una señal de AC de 30mV y aplicando diferentes barridos de voltaje en sentido positivo y negativo. Las mediciones fueron realizadas, utilizando un medidor *Precision LCR Meter: Agilent E4980A*, el cual está acoplado a un *Semiconductor Device Analyzer: Agilent B1500A*, el cual nos permite monitorear las mediciones en tiempo real (Fig. 4-32).



Fig. 4-32: Medidor LCR de alta precisión (a) y analizador de dispositivos semiconductores (b).

Para la caracterización C-V de las muestras obtenidas por ECR-CVD, se utilizó un equipo *Keithley 590 CV Analyzer* acoplado a un analizador de parámetros de semiconductores *HP 4145B*, sobre estructuras MOS (Fig. 4-33).

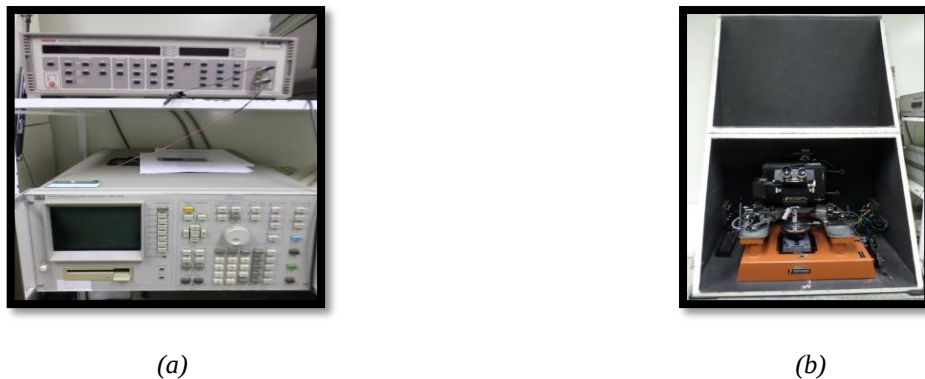


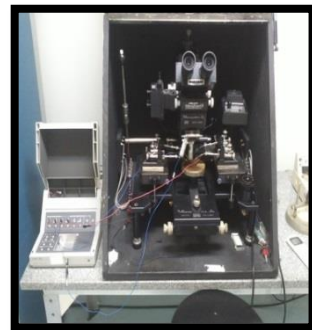
Fig. 4-33: Equipos de medición C-V (a) y estación de prueba (b).

4.8.2 Mediciones corriente-voltaje (I-V)

La caracterización I-V de las muestras obtenidas por evaporación térmica fue llevada a cabo con el equipo mostrado anteriormente en la Fig. 4-32 (b). Por otra parte, las muestras obtenidas por ECR-CVD fueron estudiadas utilizando un *Semiconductor Characterization System: Keithley 4200 SCS* (Fig. 4-34). Todas las pruebas eléctricas fueron realizadas en una estación de prueba adecuada y en completa oscuridad dentro de la cámara.



(a)



(b)

Fig. 4-34: Keithley 4200 SCS Semiconductor Characterization System (a) y estación de prueba para mediciones I-V (b).

Capítulo 5

Resultados y Discusiones

“El hombre encuentra a Dios detrás de cada puerta que la ciencia logra abrir”.

*“Todo aquel que está seriamente comprometido con el cultivo de la ciencia,
llega a convencerse de que en todas las leyes del universo,
está manifiesto un espíritu infinitamente superior al hombre, y ante el cual,
nosotros con nuestros poderes debemos sentirnos humildes...”*

Albert Einstein (1879-1955).

Físico y matemático alemán, ganador del Premio Nobel de Física en 1921.

En este capítulo se muestran los resultados obtenidos a través de las técnicas de caracterización utilizadas sobre las estructuras fabricadas y estudiadas en este proyecto de investigación. De forma paralela se llevará a cabo una discusión sobre los resultados más sobresalientes, con el objetivo de poder interpretar y conocer el comportamiento de estas estructuras y la formación de nanopartículas de Si dentro de una matriz dieléctrica. Finalmente se evaluarán sus posibles aplicaciones en dispositivos de memoria no-volátil o bien en otros dispositivos semiconductores.

5.1 Caracterización por espectroscopias

5.1.1 Espectroscopía Infrarroja (IR)

5.1.1.1 Estructuras depositadas por evaporación térmica

A continuación, se muestran los resultados obtenidos por espectroscopía IR asistida por transformada de Fourier sobre las muestras: c-Si/SiO_x con composición $x=1.3$, las cuales fueron sometidas a diferentes condiciones de temperatura, tiempos y atmósferas de recocido (Fig. 5-1). En la muestra de control se obtuvo un espectro con un conjunto de dos picos (curva negra), el primer pico que se observa es ancho y de poca intensidad, ubicado en $\sim 1040\text{ cm}^{-1}$, mientras que un segundo pico con mayor intensidad pero estrecho, aparece a $\sim 1105\text{ cm}^{-1}$. Por otro lado la muestra recocida en ambiente de N₂ (curva roja), solamente presenta un pico mínimo con intensidad en $\sim 1100\text{ cm}^{-1}$ y un ancho de banda comprendido entre $\sim 1000\text{ cm}^{-1}$ y $\sim 1150\text{ cm}^{-1}$, correspondiente al modo de vibración característico del SiO₂ [90]. En las muestras sometidas a un doble proceso de recocido (N₂/N₂+O₂), con tiempos de oxidación de 10 min (curva verde) y 15 min (curva azul), presentaron características similares a las muestras recocidas en ambiente de N₂. Por otra parte los resultados obtenidos en muestras con una composición de $x=1.15$ presenta concordancia con estudios realizados anteriormente.

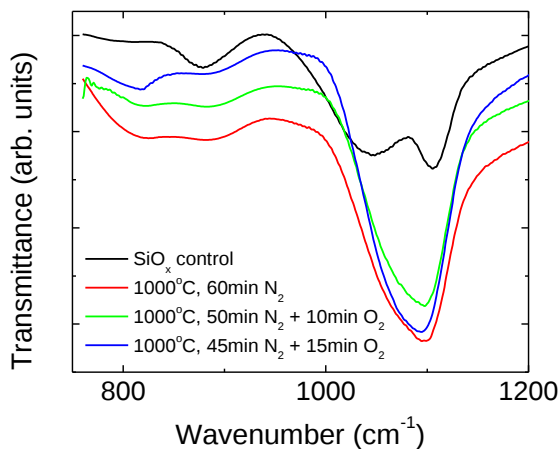


Fig. 5-1: Espectro IR de muestras bicapa con SiO_{1.3} y grosor de 100nm.

Para las muestras fabricadas con un óxido crecido térmicamente (c-Si/SiO₂/SiO_x), se obtuvieron los espectros de IR mostrados en la Fig. 5-2 de las muestras de control (curva café), recocidas en ambiente de N₂ (curva azul) y recocidas en N₂/N₂+O₂ (curva roja) con composición de x=1.15 y x=1.3, respectivamente.

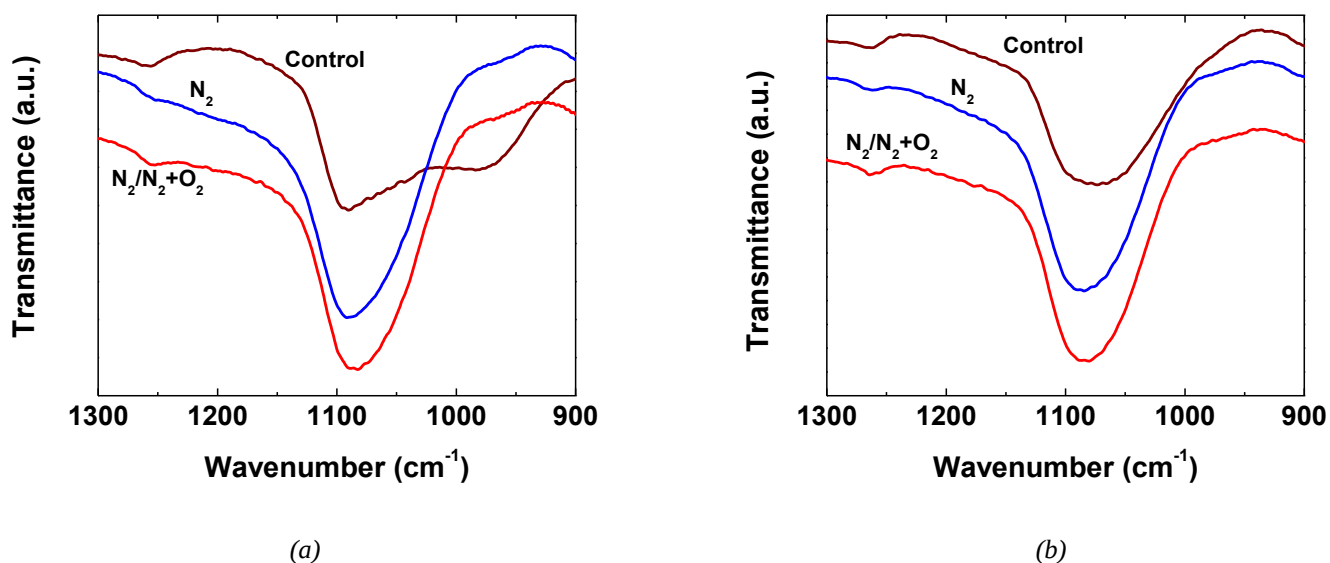


Fig. 5-2: Espectro IR de muestras c-Si/SiO₂/SiO_x con composición x=1.15 (a) y x=1.3 (b), con un grosor de ~100nm.

El espectro de la muestra de control en la Fig. 5-2 (a) indica una banda ancha de absorción en el rango de ~920 cm⁻¹ a ~1160 cm⁻¹, en la cual se presentan dos picos mínimos en ~985 cm⁻¹ y ~1096 cm⁻¹. Esta banda ancha es característica del modo de vibración de estiramiento (*stretching*) de Si-O-Si, que se presenta en ~1080 cm⁻¹ para un SiO₂ estequiométrico [90, 91], del mismo modo se presenta una disminución de la amplitud de los picos, lo cual es característico para las películas SiO_x con composición de x<2 [92]. El espectro IR de la muestra de control con composición de SiO_{1.3} (Fig. 5-2 (b)) indica un comportamiento muy similar al obtenido en la muestra con composición SiO_{1.15}, pero en particular esta muestra presenta solamente un mínimo en ~1060 cm⁻¹. Los procesos de recocido a alta temperatura con atmósferas de recocido en N₂ y en N₂/N₂+O₂ presentaron efectos muy similares, tales como un decremento en el ancho de la banda y un incremento en la amplitud del pico. En la Fig. 5-2 (a), el ancho de banda a la mitad del punto máximo (*FWHM-full width at half maximum*) de los espectros, en las películas recocidas en N₂/ N₂+O₂, se encuentra en ~86 cm⁻¹ para x=1.15 y

$\sim 85 \text{ cm}^{-1}$ para $x=1.3$ (Fig. 5-2 (b)), ambos valores son cercanos al óxido estequiométrico, el cual se encuentra reportado en $\sim 85 \text{ cm}^{-1}$ [92]. La posición del pico mínimo característico que se observa en las muestras $\text{SiO}_{1.15}$ y $\text{SiO}_{1.3}$ se disloca hacia valores próximos del pico característico de SiO_2 que se ubica en $\sim 1086 \text{ cm}^{-1}$ [90]. Todos estos resultados indican que la matriz de óxido formada, después de un recocido a altas temperaturas de la película de SiO_x depositada con composición $x=1.15$ y $x=1.3$, en la cual se obtuvieron Si NCs y de la misma manera se obtuvo una capa de SiO_2 en la superficie, como resultado de un segundo proceso de recocido con una atmósfera de N_2+O_2 a diferentes tiempos, revelan que cuenta con una composición muy cercana a la estequiometría (SiO_2), en concordancia con resultados previos [85, 87].

5.1.1.2 Estructuras depositadas por ECR-CVD

Para estos análisis se emplearon espectros de absorción infrarroja como una poderosa herramienta para determinar ligaciones químicas y estados de vibración presentados en las estructuras $\text{SiO}_2/\text{a-Si:H}$ y $\text{SiO}_2/\text{a-Si:H/SiO}_2$ depositadas por ECR-CVD y posteriormente sometidas a un proceso de recocido en alta temperatura en ambiente de N_2 . Para el caso de las estructuras $\text{SiO}_2/\text{a-Si:H}$ de control (sin recocido) y con recocido, se obtuvieron los espectros mostrados en la Fig. 5-3, donde se observan dos picos principales característicos. El primer pico se localiza en $\sim 610 \text{ cm}^{-1}$ y corresponde al modo de vibración del Si-Si [93], y de forma similar, el máximo del segundo pico se localiza en $\sim 1107 \text{ cm}^{-1}$, atribuido al modo de vibración de *stretching* Si-O-Si característico del SiO_2 [90, 91]. De forma muy similar se localizaron los mismos modos de vibración en las estructuras $\text{SiO}_2/\text{a-Si:H/SiO}_2$, tanto de la muestra de control como las muestras sometidas a recocido en alta temperatura. Para análisis de estos espectros se aplicó una línea base (*baseline*), para evidenciar los picos presentes.

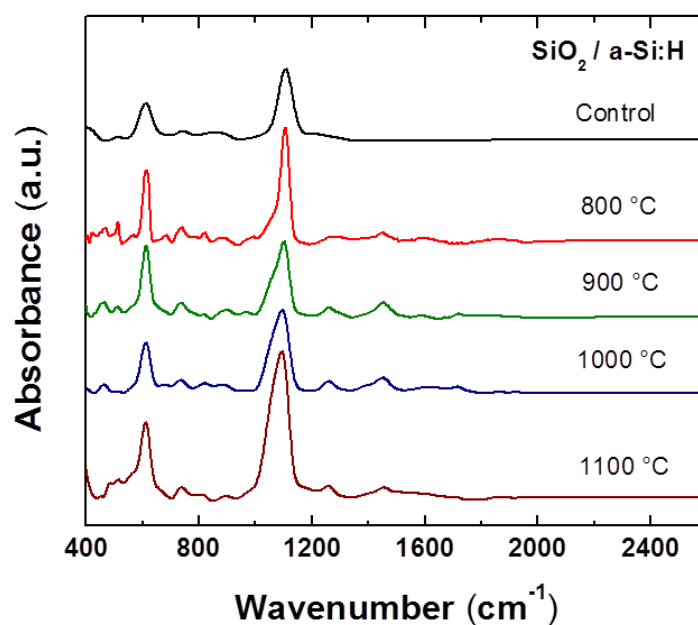


Fig. 5-3: Espectros de FTIR obtenidos para las muestras $\text{SiO}_2/\text{a-Si:H}$ con recocido a diferentes temperaturas.

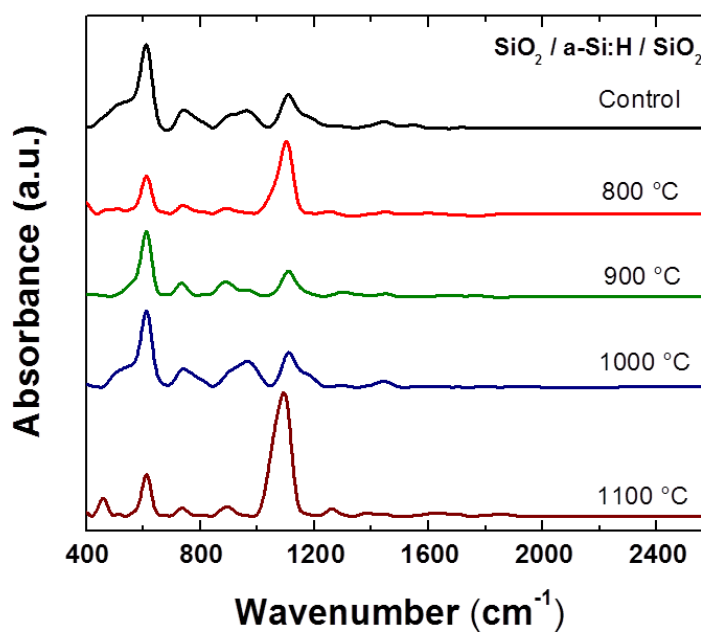


Fig. 5-4: Espectro de FTIR obtenido para las muestras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ a diferentes temperaturas de recocido.

Analizando los espectros de absorción obtenidos y enfocándonos primeramente en el pico máximo del modo de vibración Si-Si, se observa una variación en FWHM y un desplazamiento del pico con respecto a la temperatura (Fig. 5-5). En las muestras $\text{SiO}_2/\text{a-Si:H}$ se observa que al incrementar la temperatura, el ancho del pico también incrementa, pero en caso contrario las muestras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ presentan un incremento en el ancho del pico hasta 1000°C y en 1100°C el ancho disminuye (Fig. 5-5 (a)). Al comparar estos comportamientos con la posición del pico respecto a la temperatura, podemos observar que existe un desplazamiento del pico hacia menores valores de número de onda (Fig. 5-5 (b)), aunque este desplazamiento se encuentra dentro del rango de resolución empleado para estas medidas. Una posible explicación sobre el aumento del ancho del pico y su abrupta disminución a 1100°C , puede adjudicarse a un estrés en la capa de a-Si:H y la interfaz a-Si:H/ SiO_2 , lo cual es bien visto pues se busca crear irregularidades y/o defectos en el Si amorfo, los cuales pueden ser utilizados como centros de almacenamiento de carga.

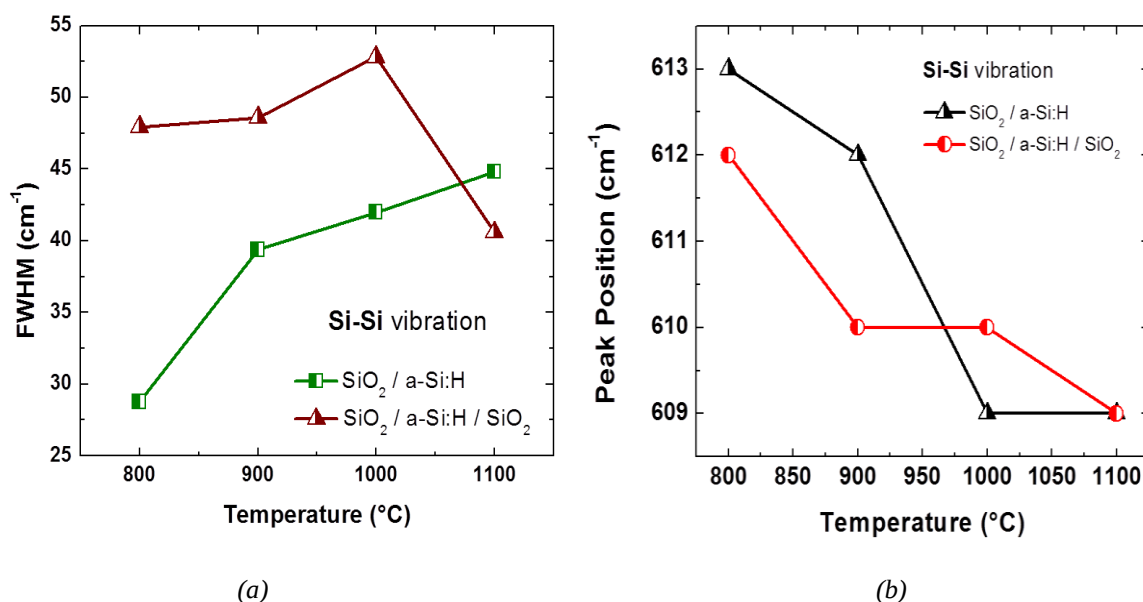


Fig. 5-5: Comparación del modo de vibración Si-Si obtenidos por FTIR, para ambas estructuras. Comparando FWHM (a) y la posición del pico (b) respecto a la temperatura de recocido.

Para el caso del pico característico del modo de vibración *stretching* Si-O-Si, se observó que en ambas muestras: SiO₂/a-Si:H y SiO₂/a-Si:H/SiO₂, el incremento de la temperatura produce un aumento en el ancho de banda del pico (Fig. 5-6 (a)), por otro lado la posición del pico en la muestra SiO₂/a-Si:H, tiene un desplazamiento hacia valores menores, lo que indica un enriquecimiento en Si $x < 2$, de forma similar la estructura SiO₂/a-Si:H/SiO₂ presenta este desplazamiento a la temperatura más alta, que es de 1100°C (Fig. 5-6 (b)) en la cual se cree existe una tendencia a la formación de nanoclusters de silicio.

Diversos trabajos se han llevado a cabo en relación a la posición del pico de *stretching*, para determinar el grado de la estequiometría (x) en el SiO _{x} , la cual nos representa la razón de concentración relativa de Si y oxígeno en el SiO₂, este valor varía entre 0, para Si puro y 2 para óxido de Si estequiométrico - SiO₂ [92, 94, 95].

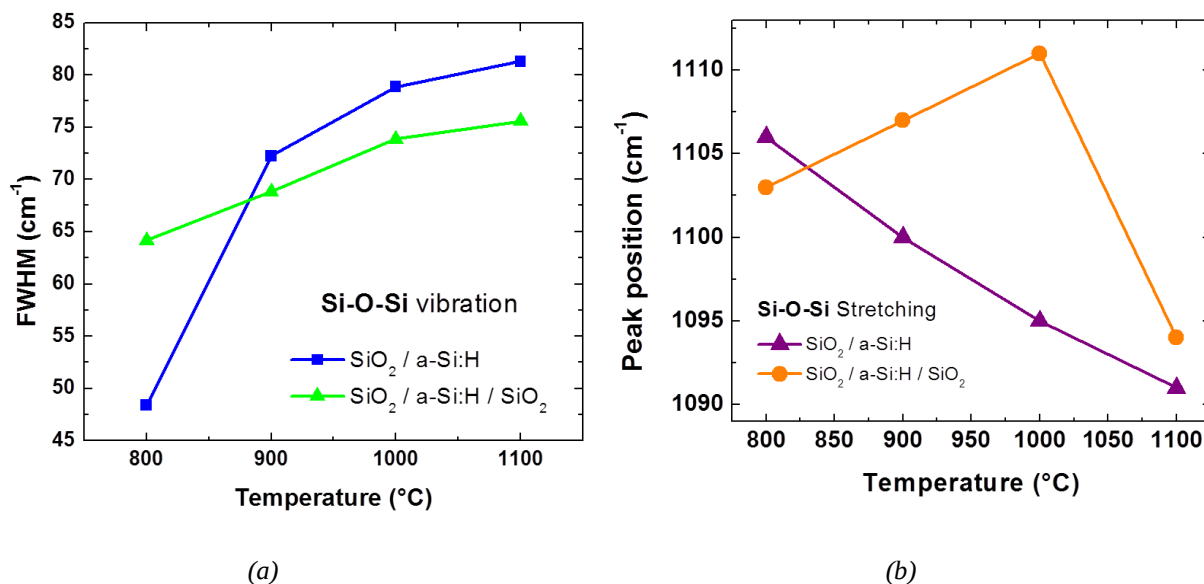


Fig. 5-6: Relación entre la temperatura y FWHM (a), así como entre la posición del pico (b), tomando como referencia el pico máximo característico del modo de vibración Si-O-Si, obtenido por FTIR para ambas estructuras.

Por otro lado, en las muestras anteriores no fue posible detectar con FTIR, modos de vibración correspondientes a las ligaciones Si-H en las estructuras $\text{SiO}_2/\text{a-Si:H}$ y $\text{SiO}_2/\text{a-Si:H/SiO}_2$, lo cual se atribuye principalmente a alcances técnicos y condiciones dentro de la cámara; estas cuestiones son críticas debido al grosor de las estructuras analizadas pues la señal de respuesta es muy baja. Prueba de esto, es el mejor espectro obtenido para la muestra $\text{SiO}_2/\text{a-Si:H/SiO}_2$ recocida a 1100°C , mostrado en la Fig. 5-7, en la cual se exhiben claramente, las características típicas de los modos de vibración de las ligaciones Si-O, como el pico *stretching* asimétrico, que se encuentra en $\sim 1075\text{ cm}^{-1}$, el pico *bending*, localizado en $\sim 800\text{ cm}^{-1}$ y el pico de *rocking* que se encuentra en $\sim 450\text{ cm}^{-1}$, para las ligaciones Si-H *stretching* se encuentra un pico doble característico entre $\sim 2300\text{ cm}^{-1}$ y 2380 cm^{-1} , los resultados son congruentes con lo reportado por otros autores [92, 96-98]. Es importante señalar la importancia de un estudio a futuro, mejorando las condiciones de la medición en un ambiente más controlado aumentando la cantidad de N_2 en la cámara, con el objetivo de reducir los niveles de vapor de H_2O y CO_2 , evitando así que se enmascaren pues presentan picos muy próximos a las vibraciones de Si-H en sus diferentes modalidades.

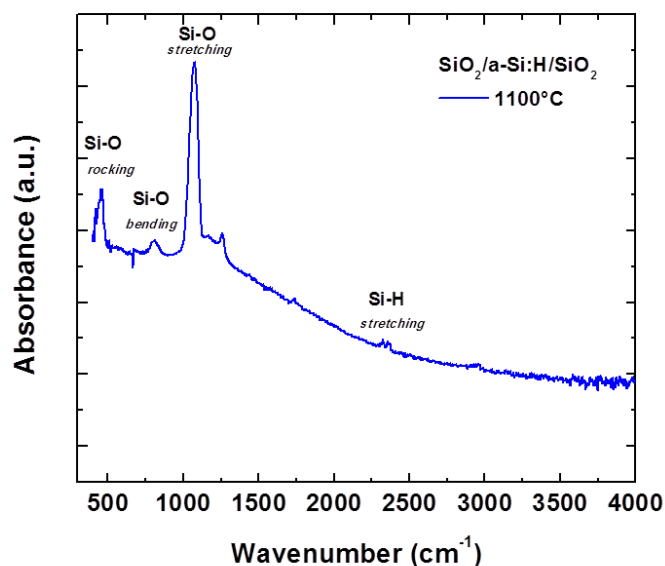


Fig. 5-7: Espectro IR de una muestra $\text{SiO}_2/\text{a-Si:H/SiO}_2$ recocida a 1100°C .

Adicionalmente se realizaron análisis únicamente sobre la capa de a-Si:H, depositada bajo las mismas condiciones en el mismo tipo de substrato y posteriormente recocida en alta temperatura. Los resultados se muestran en la Fig. 5-8, donde los espectros de absorción de la muestra de control y de las muestras recocidas a 800°C y 1100°C, presentan modos de vibración Si-Si en $\sim 615 \text{ cm}^{-1}$ [99] y Si-H similares a los antes mencionados. También se observa la presencia de ligaciones Si-O, por la formación de óxido nativo en las muestras debido a exposición al ambiente. Así como un desplazamiento hacia valores menores, indicando una tendencia al enriquecimiento en Si [100-102], como se mencionó anteriormente.

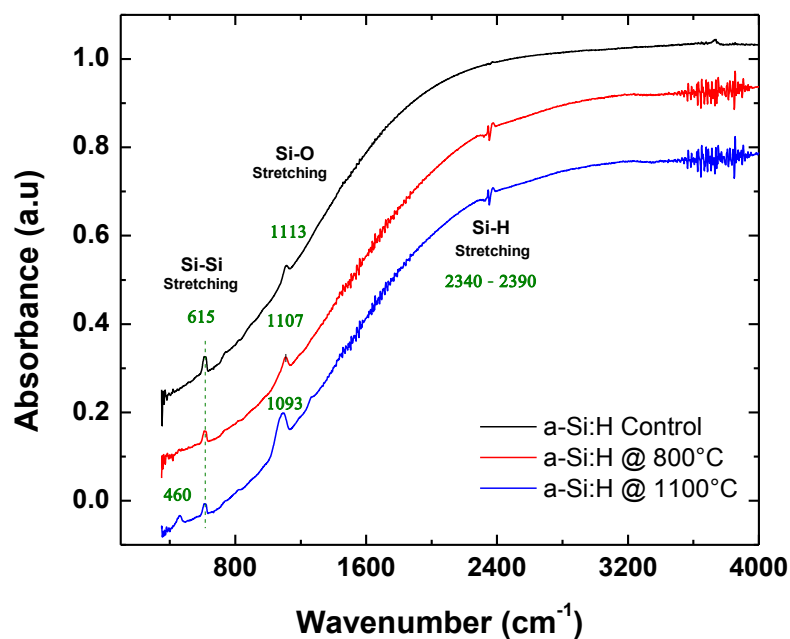


Fig. 5-8: Espectros de IR obtenidos para muestras de Si amorfo sin recocido y con recocido a 800°C y 1100°C.

5.1.2 Espectroscopía Raman

5.1.2.1 Estructuras depositadas por evaporación térmica

Con la técnica de espectroscopía Raman, no fue posible detectar una contribución de nanopartículas de Si en estas muestras, debido a las características del equipo y las condiciones utilizadas para realizar este análisis, aunque en base a los resultados obtenidos en trabajos anteriores, se tiene la seguridad de la presencia de nanopartículas de Si amorfo en películas de $\text{SiO}_{1.15}$ con $1\mu\text{m}$ de espesor y recocidas a 700°C y 1000°C , que fueron depositadas sobre sustratos de cuarzo y c-Si [103]. En la Fig. 5-9 se observa una banda característica del Si amorfo centrada en $\sim 470\text{ cm}^{-1}$ [104, 105] para las películas recocidas a 700°C , lo que indica la formación de nanopartículas amorfas. Para el caso de las películas recocidas a 1000°C , se observa un pico localizado en $\sim 518\text{ cm}^{-1}$, que indica una formación de Si NCs [105], los cuales tienen una dimensión aproximada de 2.1nm obtenida por espectroscopía visible y UV-VIS [86].

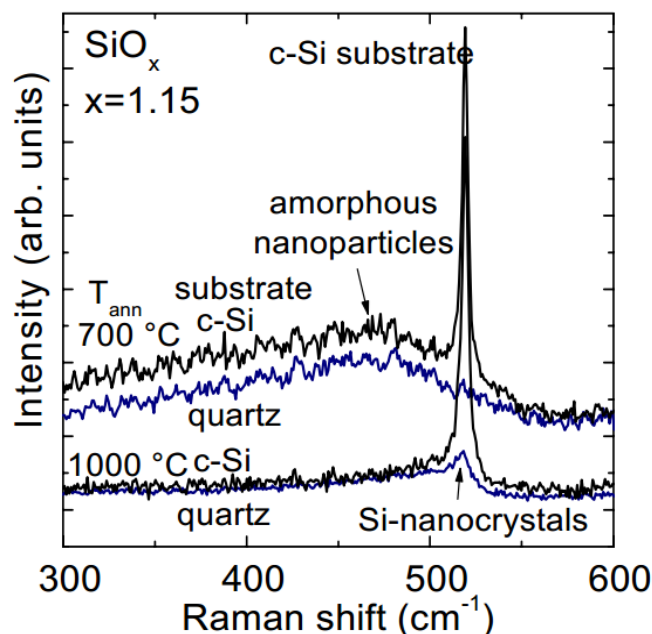


Fig. 5-9: Espectros Raman de capas SiO_x con recocido a 700°C y 1000°C , depositadas sobre sustratos de cuarzo y c-Si [103].

5.1.2.2 Estructuras depositadas por ECR-CVD

En el caso de las películas depositadas por ECR-CVD, se realizó una comparación entre el sustrato de Si, así como las películas depositadas antes y después del proceso de recocido para poder observar el pico característico de Si amorfo, por lo que a continuación se hace una breve discusión sobre los mejores resultados obtenidos. En ausencia de sustrato de cuarzo y antes de depositar las películas delgadas, se creció intencionalmente un óxido grueso de $\sim 800\text{nm}$ para disminuir la intensidad de la señal del sustrato de Si y poder observar alguna contribución de nanopartículas amorfas y/o cristalinas. En la Fig. 5-10 se muestra una comparación entre el espectro del Si (curva negra), el óxido húmedo (curva azul), películas depositadas (curva cian), películas con recocido a 800°C (curva morada) y a 1100°C (curva rosa). Para el caso de los espectros del sustrato y del óxido húmedo, se detectó un pico intenso en $\sim 521\text{ cm}^{-1}$ y una banda menos intensa entre $\sim 900\text{ cm}^{-1}$ y $\sim 1000\text{ cm}^{-1}$, que corresponde al segundo armónico característico del Si cristalino [106, 107]. En el caso de la muestra de control se observa claramente aparición de una banda amorfa entre $\sim 170\text{ cm}^{-1}$ y $\sim 500\text{ cm}^{-1}$, así como un pico característico en $\sim 480\text{ cm}^{-1}$. Estas características aparecen de forma similar pero con mayor intensidad en la muestra recocida a 800°C , lo que puede ser atribuido a la presencia de nanopartículas amorfas de Si, por causa del recocido a alta temperatura [108]. Es bien sabido que las ligaciones dispersas de Si-Si en una matriz de óxido de Si aparecen en números de onda alrededor de $\sim 400\text{ cm}^{-1}$ a 500 cm^{-1} y un pico característico alrededor de $\sim 480\text{ cm}^{-1}$ corresponde a ligaciones Si-Si dentro de una matriz amorfa [108, 109]. Por último el espectro de la muestra recocida a 1100°C es muy similar a la muestra de control y del sustrato, pero con mayor intensidad, posiblemente debido a la formación de ligaciones Si-Si de nanopartículas cristalinas, las cuales aparecen entre $\sim 510\text{ cm}^{-1}$ y 530 cm^{-1} , valores congruentes a los aquí obtenidos [110].

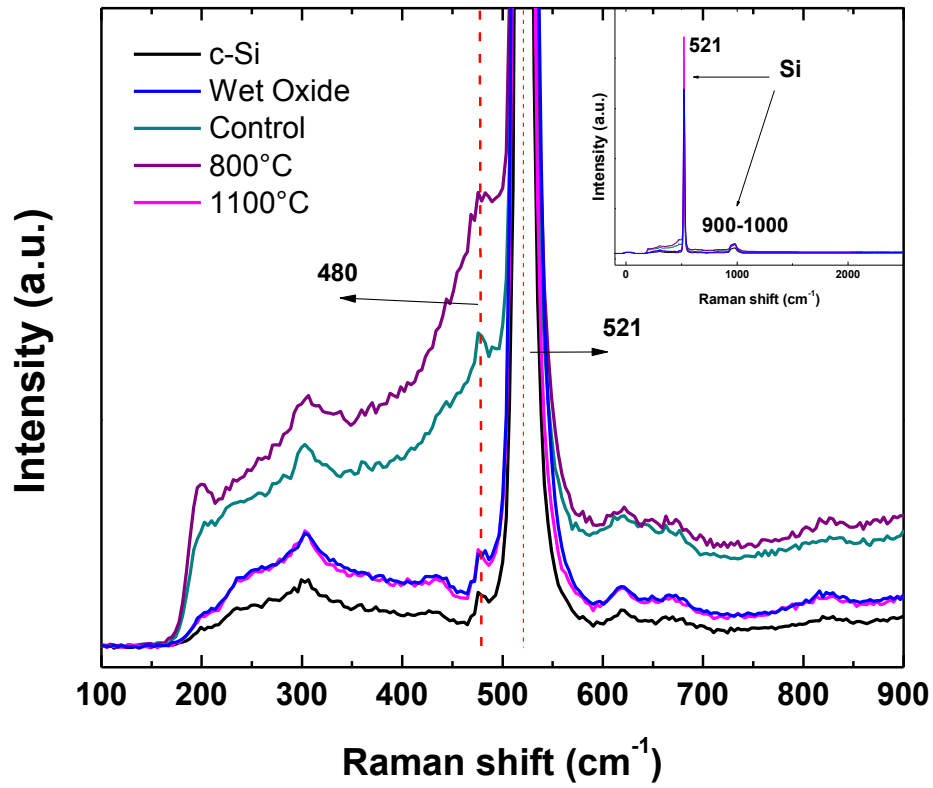


Fig. 5-10: Espectro Raman del sustrato, muestra de control y con recocido a 800°C y 1100°C.

5.1.3 Espectroscopía Elipsométrica (SE)

5.1.3.1 Estructuras depositadas por evaporación térmica

Mediciones elipsométricas de las estructuras $\text{SiO}_2/\text{SiO}_{1.15}$ con doble proceso de recocido a 700/800°C y 1000°C, se llevaron a cabo en el rango de 275–825 nm utilizando diferentes ángulos de incidencia: 65°, 70° y 75°, para una mejor interpretación del modelo, determinación de las propiedades ópticas y el grosor de las estructuras tricapa que contienen nanopartículas embebidas. Esto fue posible a través de los ángulos de elipsometría Ψ y Δ , obtenidos de forma experimental y posteriormente se aplicó un modelo de aproximación que se ajustara a los resultados obtenidos.

El estudio de las propiedades ópticas de la capa que contiene nanopartículas, se realizó utilizando el modelo: *Bruggemann-Aproximación Media Efectiva (EMA-Effective Media Approximation)* y para modelar tanto el óxido térmico (tunelaje), como el óxido formado por la doble etapa de recocido (control), se utilizó la base de datos del software.

El modelo EMA nos permite asumir que un material heterogéneo, puede ser remplazado por un medio efectivo homogéneo de forma virtual, el cual sus propiedades ópticas son construidas a partir de las propiedades ópticas de los materiales conocidos que forman la capa analizada. El modelo de Bruggemann considera un medio efectivo y un arreglo aleatorio esférico de inclusiones con cierta fracción de volumen [71]. Los resultados obtenidos de los datos experimentales son presentados en la Fig. 5-11, donde se muestran las dependencias de Ψ y Δ con respecto a la longitud de onda de las estructuras tricapa recocidas a 1000°C que contienen Si NCs, y la línea negra sólida representa los ajustes obtenidos por el modelo EMA.

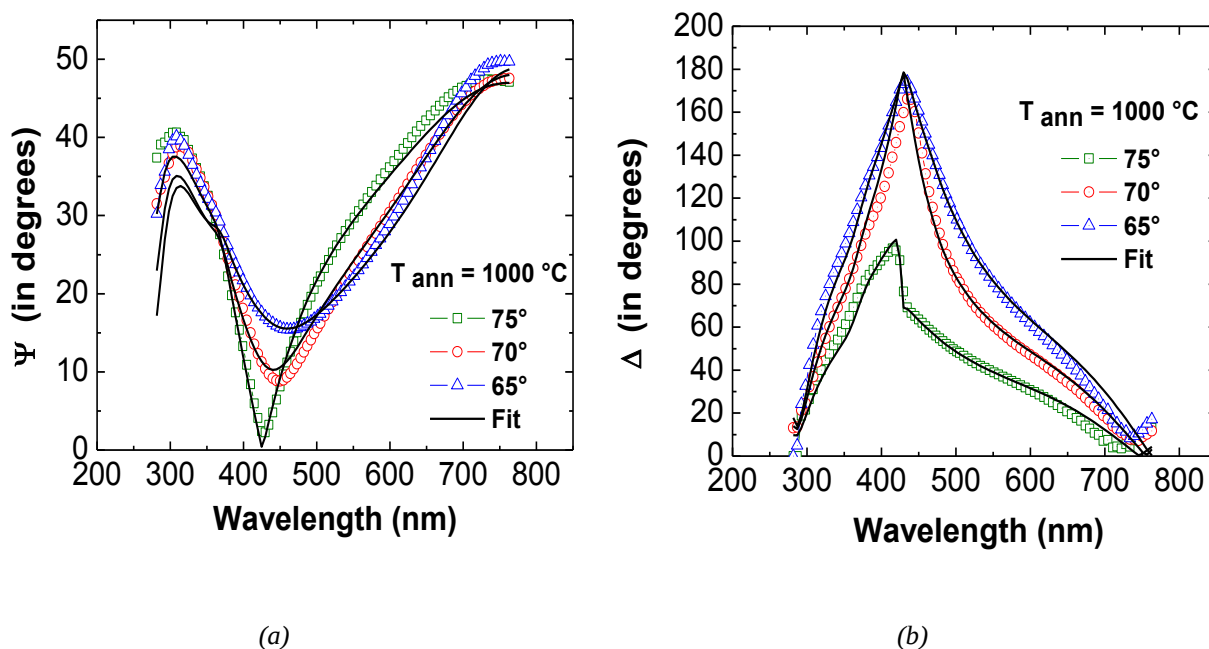


Fig. 5-11: Ajustes obtenidos de Ψ (a) y Δ (b) en función de la longitud de onda utilizando el modelo EMA a diferentes ángulos de incidencia: 65° , 70° y 75° sobre las estructuras dieléctricas que contienen Si NCs.

Los grosores obtenidos por el modelo, para las capas dieléctricas: SiO_2 térmico, $\text{SiO}_2/\text{NCs Si}$ y SiO_2 se presentan en la Tabla 5-1, respectivamente. Estos resultados son similares a los grosores de las capas obtenidos por las imágenes de TEM (sección 5.2.4.1).

Material	Espesor
SiO_2	19 nm
$\text{SiO}_2/\text{NCs Si}$	91 nm
SiO_2 Térmico	15 nm

Tabla 5-1: Espesores obtenidos de las estructuras que contienen Si NCs.

Las fracciones volumétricas obtenidas por las mediciones elipsométricas de la región determinada por el modelo EMA se indican en la Tabla 5-2.

Material	% Fracción volumétrica
SiO ₂	69%
c-Si	19%
a-Si	12%

Tabla 5-2: Porcentaje de fracciones volumétricas en la capa que contiene los Si NCs, de las muestras tricapa recocidas a 1000°C.

Adicionalmente, en la Fig. 5-12 se muestran las constantes ópticas obtenidas de los mejores ajustes, sobre la región que contiene Si NCs.

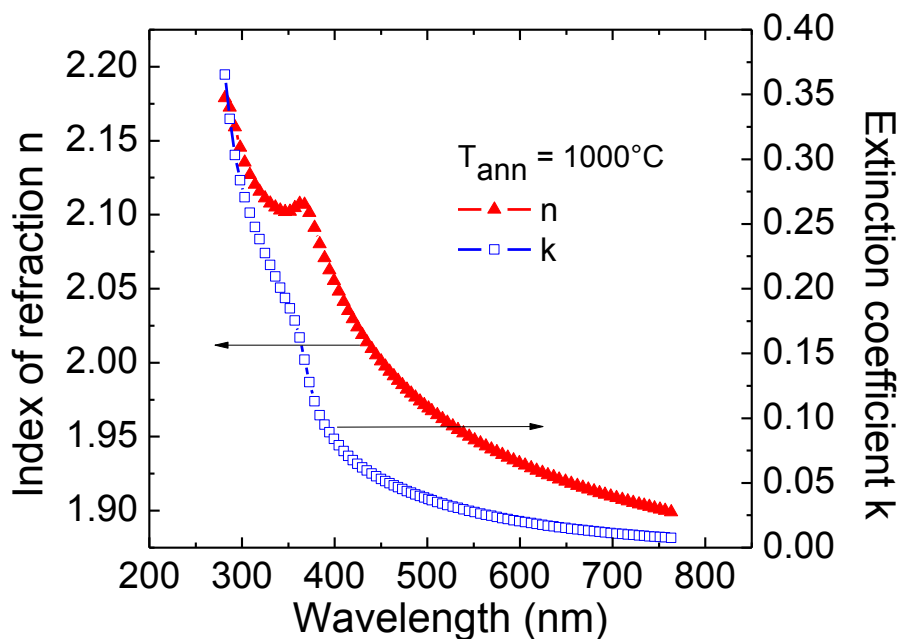


Fig. 5-12: Índice de refracción (n) y coeficiente de extinción (k) vs. longitud de onda (λ) de la región que contiene Si NCs. Curvas obtenidas de los mejores ajustes de los datos experimentales usando el modelo de Bruggemann's EMA de las muestras recocidas a 1000°C.

Un modelo similar se empleó para las muestras recocidas por 40 min en atmósfera de N₂ a 700°C y posteriormente a 800°C en una atmósfera de N₂+O₂ durante 20 min (Fig. 5-13). Los ajustes realizados de los datos experimentales son dados por el empate de los ángulos Ψ y Δ .

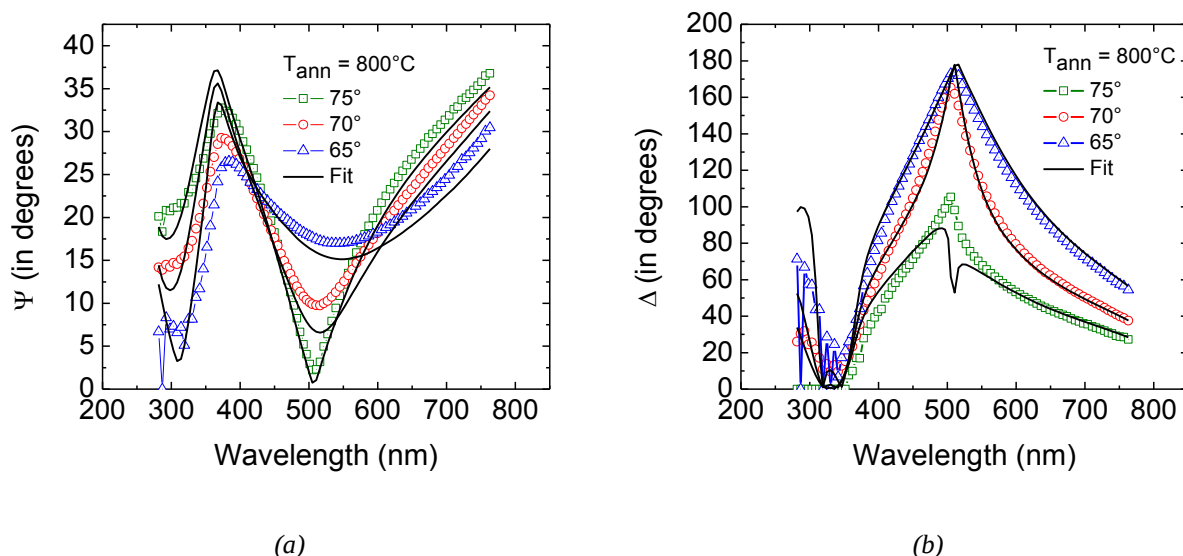


Fig. 5-13: Ajustes realizados sobre Ψ (a), Δ (b) vs longitud de onda utilizando el modelo EMA a diferentes ángulos de incidencia: 65°, 70° y 75° sobre las estructuras dieléctricas que contienen nanopartículas amorfas de Si.

Los grosores obtenidos por elipsometría para las capas dieléctricas: SiO_2 térmico, $\text{SiO}_2/\text{NPs a-Si}$ y SiO_2 , recocidas a 700/800°C se indican en la Tabla 5-3 y son similares a los valores obtenidos en las imágenes de TEM (sección 4.2.4.1).

Material	Espesor
SiO_2	5 nm
$\text{SiO}_2/\text{NPs a-Si}$	118 nm
SiO_2	15 nm

Tabla 5-3: Espesores obtenidos de las estructuras que contienen nanopartículas amorfas de Si.

La modelación de la capa que contiene las nanopartículas amorfas se llevó a cabo con un modelo diferente al anterior debido a la complejidad de la estructura analizada. Las fracciones volumétricas obtenidas del modelo EMA arrojaron los porcentajes mostrados en la Tabla 5-4, donde los materiales utilizados fueron: SiO_2 , SiO y Si amorfo.

Material	% Fracción volumétrica
SiO ₂	41%
SiO	31%
a-Si	28%

Tabla 5-4: Porcentaje de fracciones volumétricas en la capa que contiene nanopartículas amorfas, de las muestras tricapa recocidas a 700/800°C.

En forma adicional, se obtuvo el índice de refracción y el coeficiente de extinción en función de la longitud de onda, para una película de nanopartículas de Si amorfo Fig. 5-14. Las curvas presentan una forma similar al compararla con la obtenida en las estructuras que contienen Si NCs.

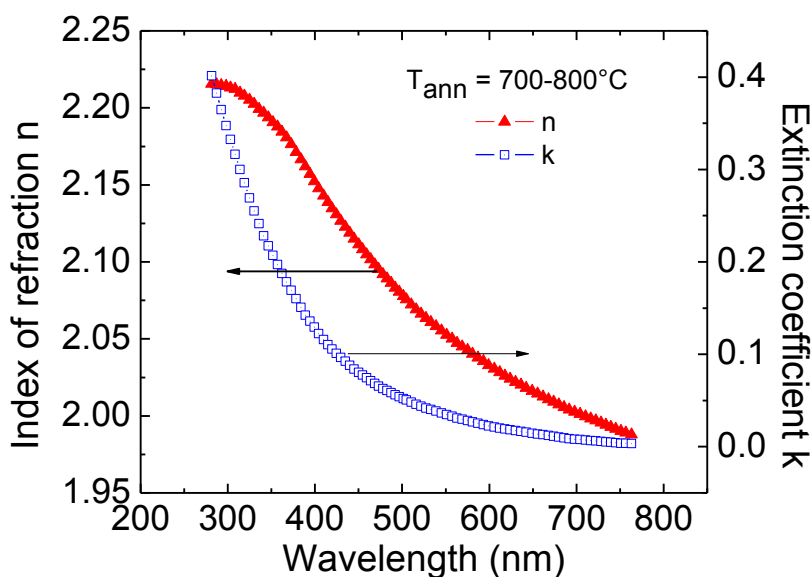


Fig. 5-14: Índice de refracción (n) y coeficiente de extinción (k) vs. longitud de onda (λ) de la región que contiene nanopartículas amorfas de Si. Curvas obtenidas de los mejores ajustes obtenidos usando el modelo de Bruggemann's EMA sobre las muestras recocidas a 700°C/800°C.

Al hacer una comparación entre los resultados obtenidos por SE y por TEM (sección 5.2.4.1) para los grosores de cada capa, que conforman la compuerta dieléctrica, obtenemos la Tabla 5-5.

	Compuerta dieléctrica con NCs-Si				Compuerta dieléctrica con NPs-aSi			
	SiO ₂ Térmico (nm)	Región con NC (nm)	SiO ₂ Superficie (nm)	Total SiO _x (nm)	SiO ₂ Térmico (nm)	Región con a-Si NP (nm)	SiO ₂ Superficie (nm)	Total SiO _x (nm)
TEM	15	80	20	100	15	100	5	105
SE	15	90	19	109	15	118	5	123

Tabla 5-5: Espesores de las diferentes regiones determinadas por TEM y SE.

Los resultados en la tabla muestran que los valores obtenidos por la técnica de elipsometría son mayores que el grosor total de la película de SiO_x y de las regiones formadas después del proceso de recocido. Se requiere una mejora adicional del modelo para este tipo de estructuras con capas múltiples. Una condición importante en elipsometría es tener interfaces planas y paralelas entre las capas, condición la cual no está siendo satisfecha entre las regiones formadas en la matriz dieléctrica.

Las constantes ópticas n y k obtenidas de las muestras que contienen nanopartículas muestran un comportamiento similar al del monóxido de Si, donde los valores de n y k de la capa dieléctrica con Si NCs, son ligeramente menores a los valores del SiO, lo cual es congruente debido a la composición inicial de la capa de SiO_{1.15} [111]. El coeficiente de extinción de las muestras recocidas a 700/800°C es muy cercano al medido en las muestras de 1000°C. Por otro lado el índice de refracción es mayor a los valores de SiO, lo cual puede deberse a una separación de fases incompleta, incluso al incremento del desorden en la matriz después del recocido de 700/800°C.

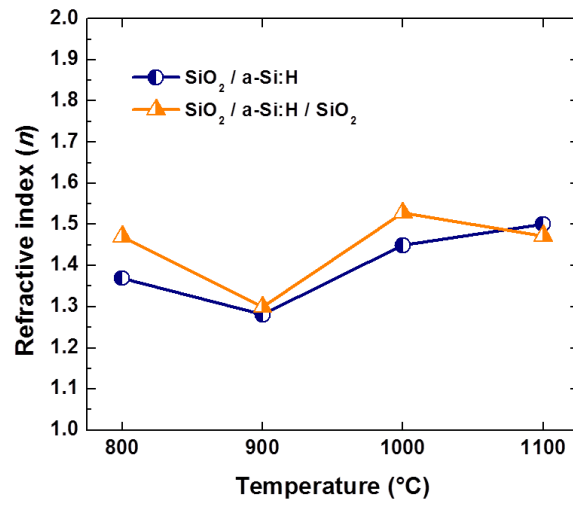
Los resultados obtenidos de las fracciones de volumen, determinadas por la técnica de SE para las dos muestras, concuerdan con resultados previos obtenidos en películas con composición similar. El porcentaje de fase del Si es del 31% para las muestras recocidas a 1000°C, este porcentaje es cercano al factor de llenado de 0.28 obtenido por espectroscopía infrarroja [112] y por la técnica de *Rutherford Backscattering*, donde se obtuvo 0.27. Estos datos corresponden a los análisis realizados en películas SiO_x con composición $x=1.1$ [113].

5.1.3.2 Estructuras depositadas por ECR-CVD

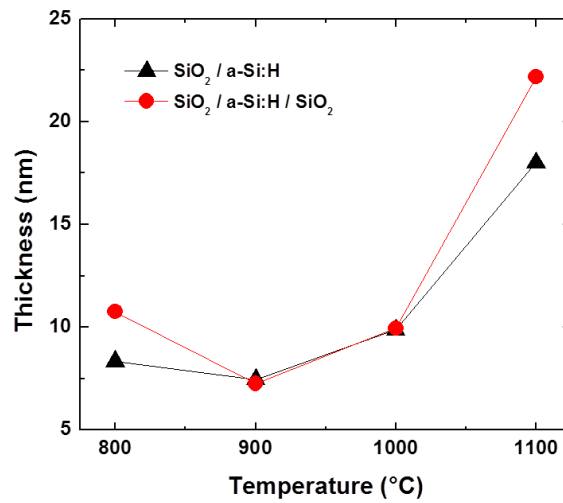
Con la intención de obtener información del índice de refracción y el grosor de las estructuras depositadas por ECR-CVD, se realizaron mediciones *ex situ* por elipsometría incidiendo un láser con $\lambda = 632.8\text{nm}$ a un $\theta = 70^\circ$ sobre diferentes puntos de la muestra. Es bien sabido que el índice de refracción (n) depende de la concentración de Si en las películas, por lo que las medidas de elipsometría arrojan información cualitativa acerca del exceso de Si en las películas depositadas, en otras palabras a mayor n mayor concentración de silicio.

Tomando en cuenta lo anterior, los índices de refracción obtenidos para las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ recocidas en alta temperatura se muestran en la Fig. 5-15 (a), donde los valores medidos son cercanos al del óxido de Si [114]. En las muestras recocidas a 800°C y 1100°C se obtuvo un índice de refracción de 1.47, el cual es ligeramente mayor al del óxido indicando un ligero enriquecimiento en silicio. Para el caso de la muestra recocida a 900°C , no se obtuvieron buenos resultados, pues el índice de refracción quedó muy por debajo de lo esperado, mientras que a 1000°C se obtuvo un incremento del índice de refracción hasta 1.52, indicando un claro enriquecimiento en silicio.

El grosor obtenido para las muestras recocidas a diferentes temperaturas se muestra en la Fig. 5-15 (b)), en la cual se puede apreciar que a 800°C se obtienen valores similares a los estimados por la receta de depósito, mientras que para 900°C el grosor de la estructura tiende a disminuir y al incrementar a 1000°C los valores obtenidos son similares a los esperados, pero a 1100°C la estructura parece expandirse debido a que se presenta un incremento del grosor. Estos fenómenos son probablemente debidos a perturbaciones por un estrés de la red, provocado por la variación del recocido a alta temperatura. Por otro lado se presentaron resultados similares en la muestras de $\text{SiO}_2/\text{a-Si:H}$.



(a)



(b)

Fig. 5-15: Índice de refracción (a) y grosor (b) obtenido de las estructuras recocidas a diferentes temperaturas.

5.1.4 Fotoluminiscencia (PL)

5.1.4.1 Estructuras depositadas por ECR-CVD

Se realizaron mediciones de PL, para intentar observar emisión de luz en las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$, debido a presencia de nanopartículas de Si inmersas en una matriz amorfa. Los resultados obtenidos por PL, indican que las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ recocidas a 800°C y 1100°C , presentan emisión de luz como se muestra en la Fig. 5-16. La muestra recocida a 800°C emite una señal en el rango de $\sim 500\text{nm}$ a $\sim 800\text{nm}$, pero con ciertas discontinuidades en el espectro, lo que es atribuido a la contribución de una posible formación de nanopartículas amorfas, el espectro obtenido debe pasar por un proceso de deconvolución gaussiano, para obtener una mejor información e interpretación de los mecanismos de fotoluminiscencia [115]. Por el contrario, las emisiones presentadas en la muestra recocida a 1100°C presenta una banda de emisión muy bien definida aunque con poca intensidad entre $\sim 550\text{nm}$ y $\sim 900\text{nm}$ con un máximo en $\sim 720\text{nm}$, atribuida a una posible formación de nanopartículas cristalinas [116]; valores cercanos se han obtenido utilizando técnicas como irradiación láser [110] y por implantación iónica [117]. Por otra parte, muestras de Control no presentaron señal de PL detectable en el espectro visible [118].

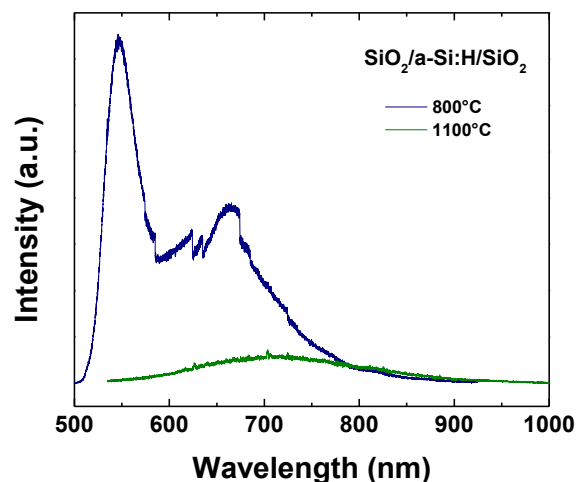


Fig. 5-16: Espectro de PL obtenido de las muestras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ recocidas a 800°C y 1100°C .

5.1.5 Espectroscopía por energía dispersiva de rayos-X (EDX)

5.1.5.1 Estructuras depositadas por ECR-CVD

Se realizaron análisis de EDX como un procedimiento estándar para identificar y cuantificar la composición elemental en una área pequeña de la muestra, este análisis se realizó en las estructuras: $\text{SiO}_2/\text{a-Si:H}$ y $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ de control acoplado a un SEM, operando a un voltaje de aceleración de 5kV. Se utilizó un voltaje de aceleración bajo, con el propósito de reducir la profundidad de penetración y reducir la dispersión del haz de electrones sobre la muestra para obtener una señal de información significativa de la superficie. El análisis cualitativo muestra la diferencia en las intensidades del pico de oxígeno obtenido a partir de las muestras con dos y tres capas. En la Fig. 5-17 (a) se muestra el espectro obtenido correspondiente a la muestra $\text{SiO}_2/\text{a-Si:H}$, donde se presenta un pico muy pequeño de oxígeno, con ~ 420 cuentas, mientras que para la muestra $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$, se observa un incremento de ~ 870 cuentas (Fig. 5-17 (b)). La intensidad del pico de Si es mucho mayor en comparación con el pico de oxígeno en ambas muestras que se debe a la contribución de la oblea de silicio. Los resultados obtenidos indicaron la formación de películas delgadas de óxido de Si por ECR-CVD.

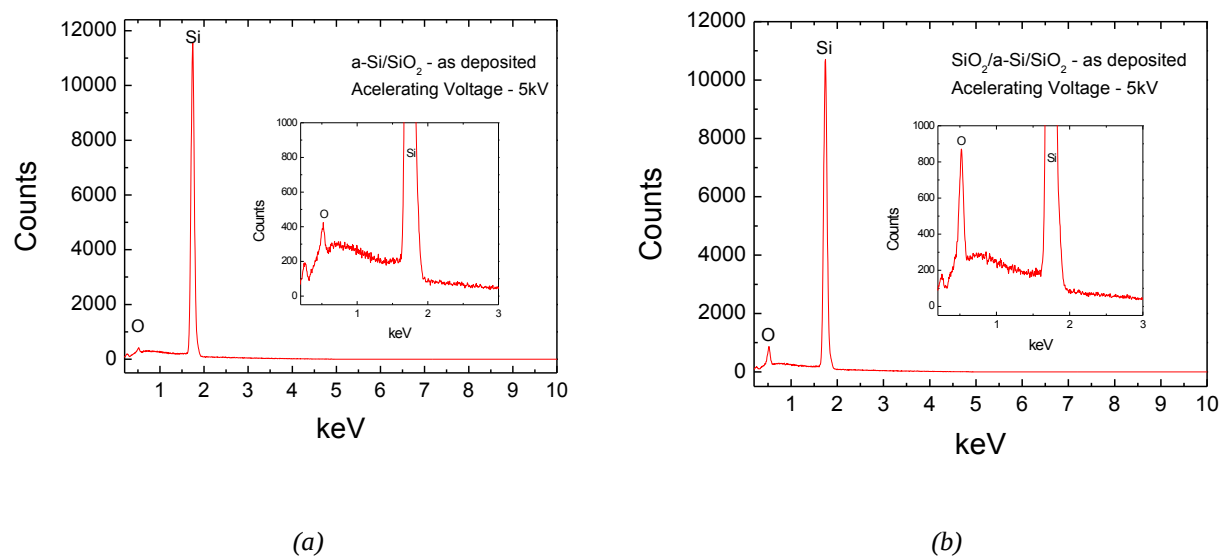


Fig. 5-17: Espectro EDX de la muestra $\text{a-Si:H}/\text{SiO}_2$ (a) y $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ (b).

5.2 Caracterización estructural

5.2.1 Difracción de rayos-X (XRD)

5.2.1.1 Estructuras depositadas por ECR-CVD

Se realizaron análisis de difracción sobre las películas depositadas por ECR-CVD, para determinar la orientación cristalina de las nanopartículas obtenidas por un proceso de recocido en alta temperatura. En la Fig. 5-18 se muestran los difractogramas obtenidos para la estructura $\text{SiO}_2/\text{a-Si:H}$ de control y con recocido a 800°C y 1100°C , incidiendo a un ángulo rasante de $\theta=0.15^\circ$ en un rango 2θ : 10° - 80° . Los patrones de XRD indican la presencia de formaciones cristalinas con picos localizados en $2\theta = 23^\circ$, 43° y 57° , muy cercanos a los referenciados característicos del a-Si:H, que se encuentran reportados en $2\theta = 28.44^\circ$, 47.3° y 56.12° con orientaciones preferenciales (111), (220) y (311) [119, 120], los demás picos que se observan son atribuidos al sustrato.

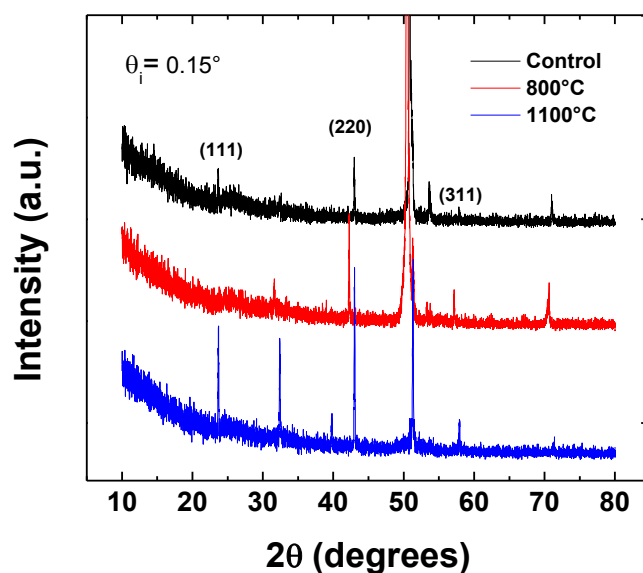


Fig. 5-18: Difractograma de las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ sin recocido (a), recocido a 800°C (b) y 1100°C (c).

Este desplazamiento de los picos puede deberse a la influencia de la temperatura de recocido, o bien a las condiciones de deposición, ya que son un factor influyente y clave para el control del crecimiento del tamaño de grano del cristal. Cuando la temperatura de recocido incrementa, los átomos del cristal comienzan a reacomodarse, formando la estructura cristalina gradualmente, formando Si NCs y aumentando su densidad [109, 120, 121].

Es preciso realizar una deposición de las películas sobre sustratos de cuarzo, conservando las mismas condiciones de fabricación y caracterización, para poder comparar los resultados de una forma cuantitativa y cualitativa, eliminando de esta manera la contribución del sustrato y/o de otros factores que pudieran estar interviniendo, para poder apreciar los picos característicos con mejor claridad y que sean congruentes con los reportados en la literatura. Una vez descartada la influencia del sustrato de Si, es posible determinar el tamaño de grano de la muestra, utilizando la ecuación de *Scherrer* (5-1).

$$L = \frac{K\lambda}{\beta \cos \theta} \quad (5-1)$$

Donde:

θ : Ángulo de difracción del pico de interés.

λ : Longitud de onda del fotón incidente ($\text{CuK}_{\alpha 1} = 0.1540 \text{ nm}$).

β : Ancho del pico.

K : Constante de 0.9

5.2.2 Microscopía de fuerza atómica (AFM)

5.2.2.1 Estructuras depositadas por ECR-CVD

AFM fue utilizado para observar la morfología de la superficie de la estructura: $\text{SiO}_2/\text{a-Si:H}$ y observar el proceso de evolución para la formación de nanopartículas de Si después del proceso de recocido. Se observaron diferencias importantes en la morfología de la superficie de la capa de a-Si:H, en función de la temperatura. En la Fig. 5-19 se muestran las imágenes de la superficie de la capa de a-Si:H sobre SiO_2 , en 3-dimensiones y en un área de $40 \times 40 \mu\text{m}$. Para el caso de la muestra de control (Fig. 5-19 (a)), se observa una superficie plana, sin ningún tipo de formación granular, al determinar la raíz cuadrada media (rms) de la rugosidad de la superficie se obtuvo un valor de $\sim 0.264\text{nm}$. Para el caso de recocido a 800°C (Fig. 5-19 (b)) se observa una ligera modificación en la morfología de la muestra, posiblemente debido a la tendencia de una formación de nanopartículas amorfas debido a la temperatura de recocido y a la atmósfera de N_2 , en estas condiciones el rms obtenido de la superficie de la muestra fue $\sim 0.79\text{nm}$. Para el caso de las muestras recocidas a 1100°C ((Fig. 5-19 (c)) se observa claramente una modificación completa de la superficie de la capa de a-S:H, así como un incremento en la rugosidad de $\sim 1.87\text{nm}$, indicando una modificación en la estructura, posiblemente la formación de nanopartículas de Si con tendencias cristalinas, debido a las condiciones de recocido en la que fue sometida.

El incremento de la rugosidad, se atribuye principalmente a la temperatura de recocido y los cambios estructurales ocasionados en la película de Si amorfo. Por lo que estos resultados nos permiten visualizar la transición del estado inicial morfología del Si amorfo antes y después de la etapa de recocido, como lo indican las imágenes de AFM.

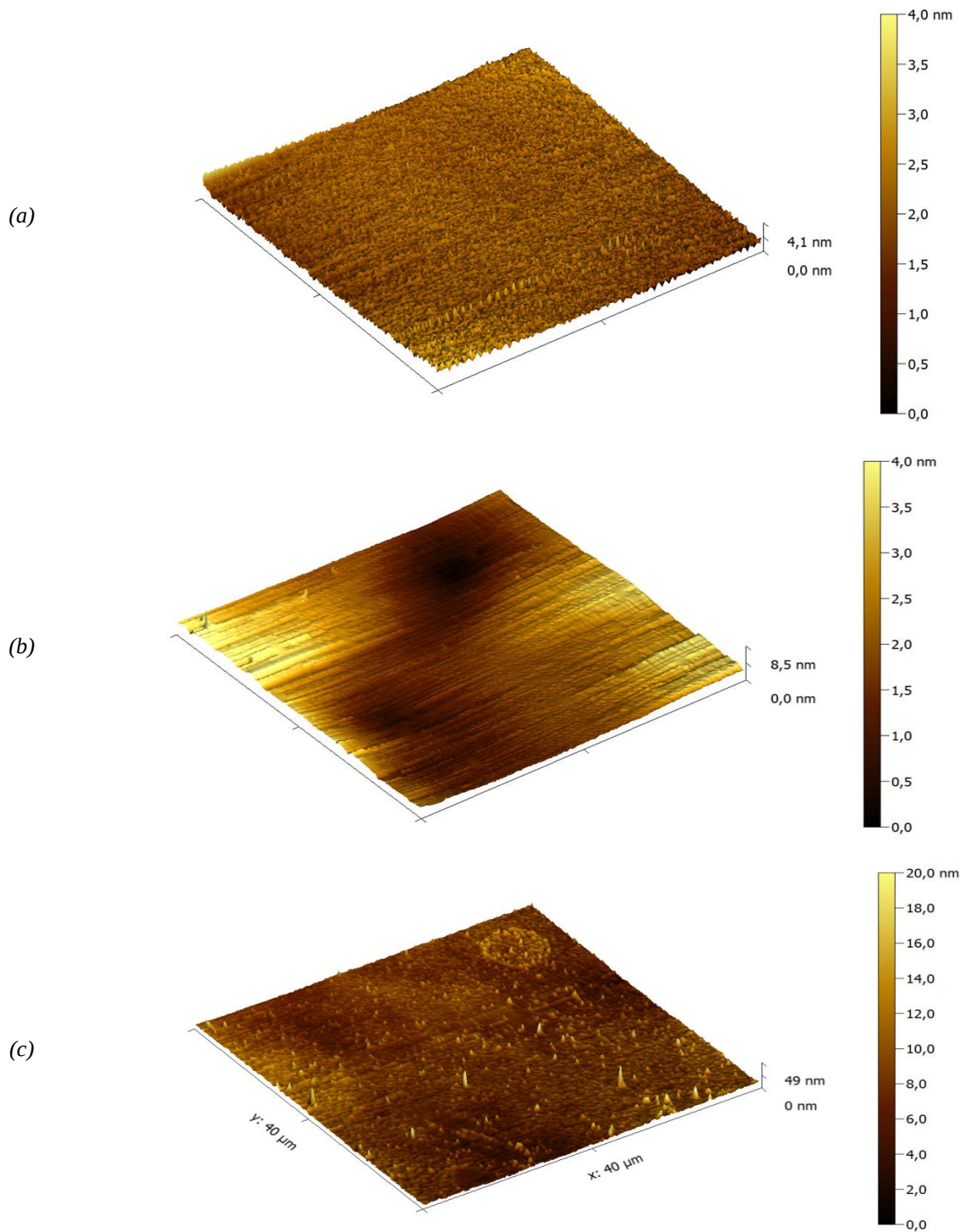


Fig. 5-19: Imágenes de AFM de la capa de $a\text{-Si:H}$ sin recocido (a), con recocido a 800°C (b) y 1100°C (c)

5.2.3 Microscopía electrónica de barrido acoplado a un sistema de iones focalizados (FIB/SEM)

5.2.3.1 Estructuras depositadas por ECR-CVD

Para obtener mayor información sobre el estudio de la evolución estructural de las muestras fabricadas en el IFGW-UNICAMP, se llevó a cabo un análisis con la técnica de doble haz FIB/SEM sobre las estructuras MOS fabricadas. Adicionalmente, se puede corroborar que el proceso de litografía utilizado para formar los capacitores es muy efectivo, observándose un patrón repetitivo y con dimensiones congruentes a las esperadas ($\sim 200\mu\text{m}$), así como la comprobación del grosor de Al depositado ($\sim 500\text{nm}$) con la receta utilizada (Fig. 5-20).

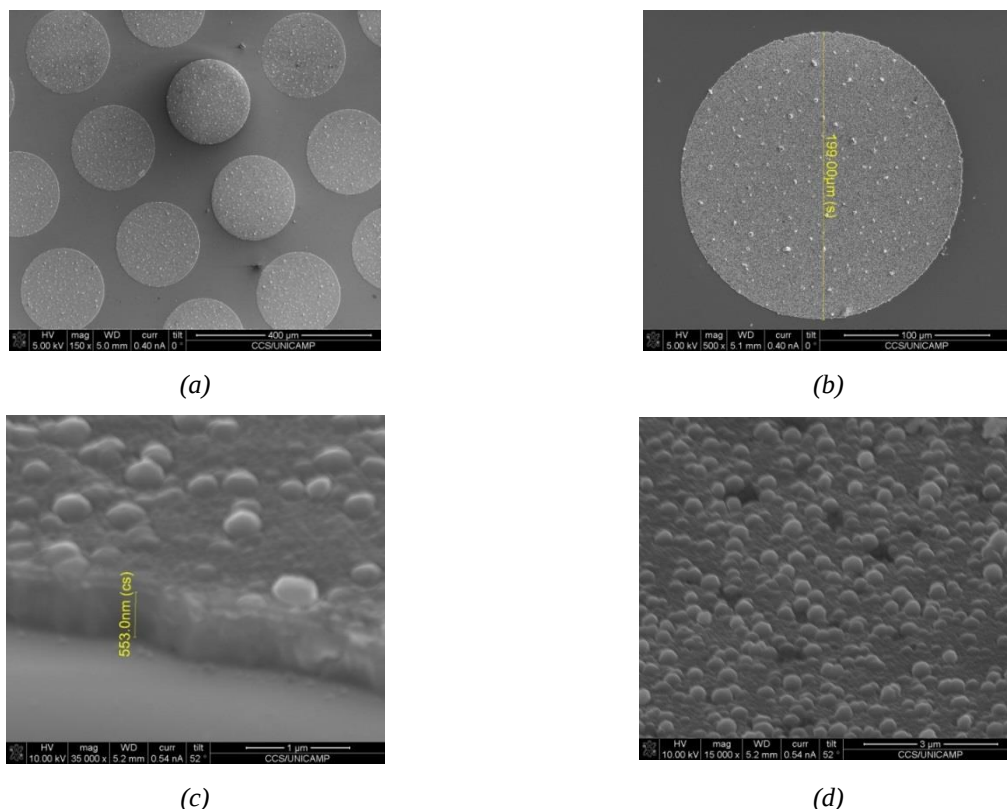


Fig. 5-20: Imágenes SEM de la vista superior de los capacitores MOS (a) y su diámetro (b), fabricados por litografía. Se determinó el grosor del Al depositado por r.f. sputtering (c) y su morfología superficial (d).

Para observar la formación de nanopartículas en las estructuras MOS que contienen tres capas ($\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$), se realizó un estudio de la sección transversal de los capacitores. Primeramente se depositó Platino (Pt) sobre la superficie y el borde del capacitor ($\sim 400\text{nm}$), para reducir el efecto de redondeo al realizar el corte; se erosionó la muestra ($\sim 1.5\mu\text{m}$) y se pulió la superficie de interés para analizarla por SEM. En la Fig. 5-21 se puede este proceso, así como una clara distinción del platino, aluminio, las capas depositadas y el sustrato de Si, gracias a la diferencia de contraste.

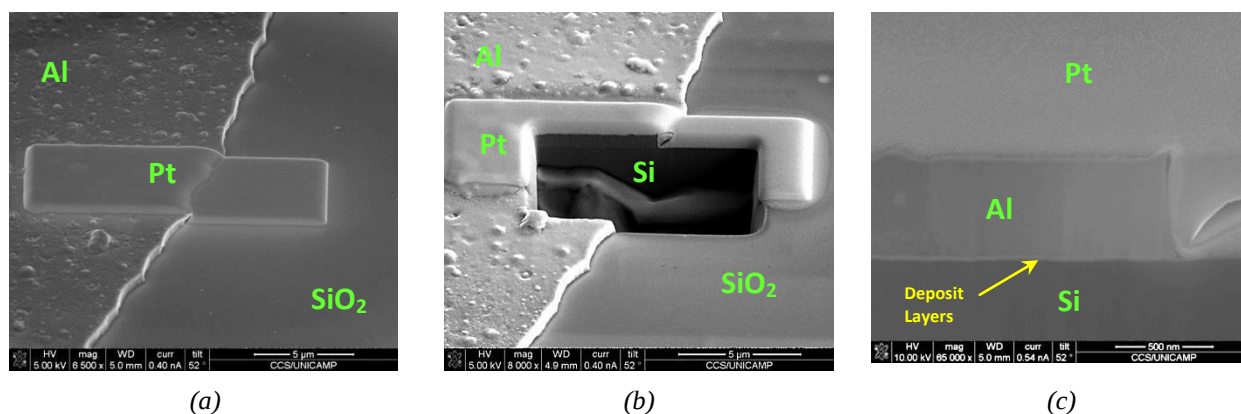


Fig. 5-21: FIB/SEM deposición de platino (a), devastación iónica (b) y corte transversal del capacitor (c).

En la sección transversal de la muestra de control (Fig. 5-22 (a)), es posible observar la región delimitada por las películas amorfas depositadas. Para el caso de las muestras recocidas a 800°C (Fig. 5-22 (b)), se observa claramente una formación de capas intermedias, indicando alguna posible formación de nanopartículas de aspecto amorfo. Adicionalmente a esto se observa que con el aumento de la temperatura de recocido a 1100°C (Fig. 5-22 (c)), se obtiene una formación de nanopartículas en la capa intermedia con dimensiones de unos pocos nanómetros. Los resultados observados concuerdan con los obtenidos y discutidos anteriormente.

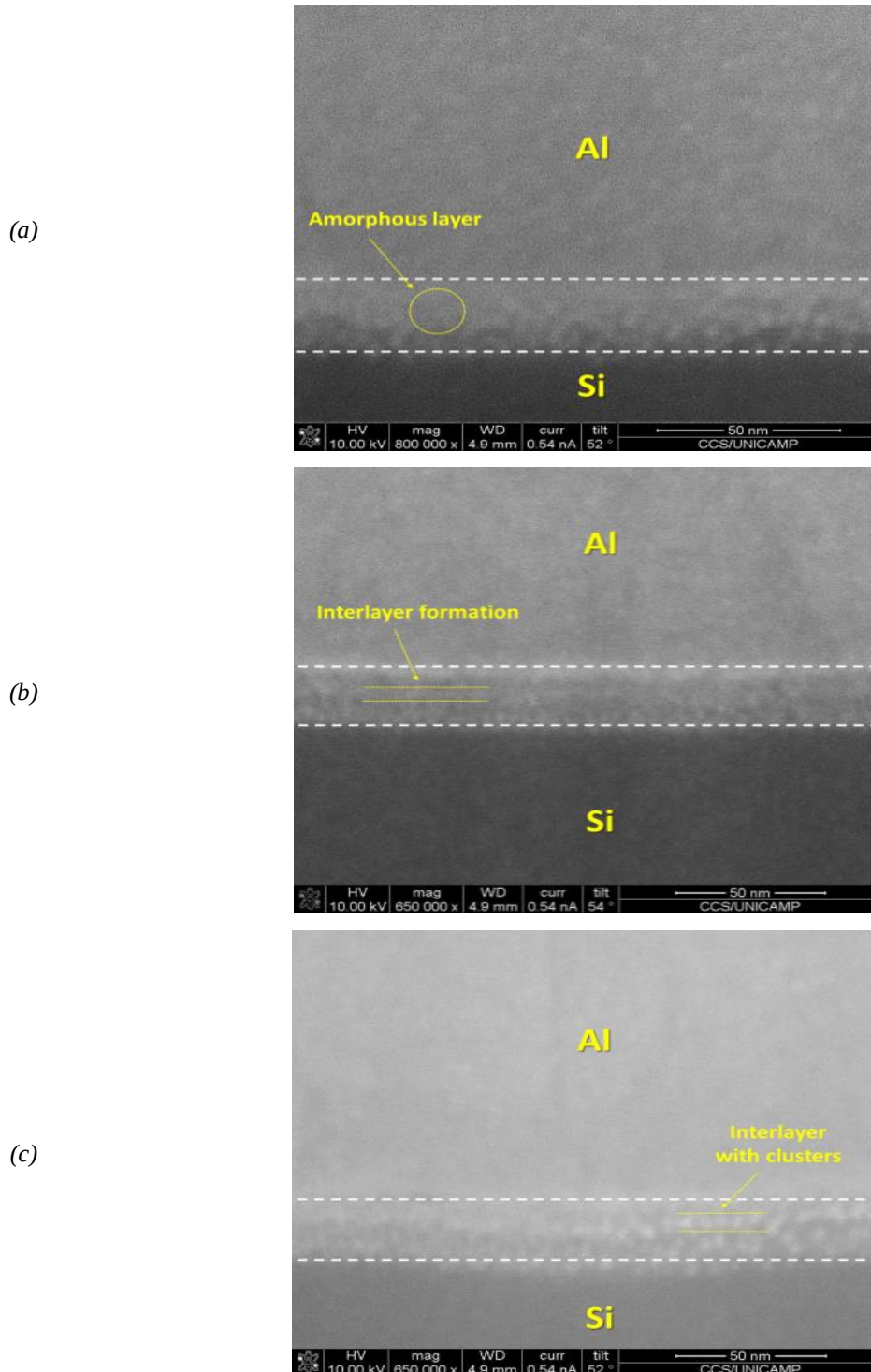


Fig. 5-22: Imágenes FIB/SEM obtenidas de estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ sin recocido (a), recocido a 800°C (b) y 1100°C (c).

5.2.4 Microscopía electrónica de transmisión (TEM)

5.2.4.1 Estructuras c-Si/SiO_x obtenidas por evaporación térmica

Se llevó a cabo una caracterización estructural sobre las muestras c-Si/SiO_x con composición $x=1.3$ con espesores de $\sim 60\text{nm}$ y $\sim 100\text{nm}$, las cuales fueron preparadas a detalle pasando por el proceso de pulido mecánico y posteriormente devastación por haz de iones, de la sección transversal para ser observadas atómicamente y conocer las propiedades de las mismas. En la Fig. 5-23, se muestra la sección transversal de una muestra sin recocido, con espesor de $\sim 60\text{nm}$.

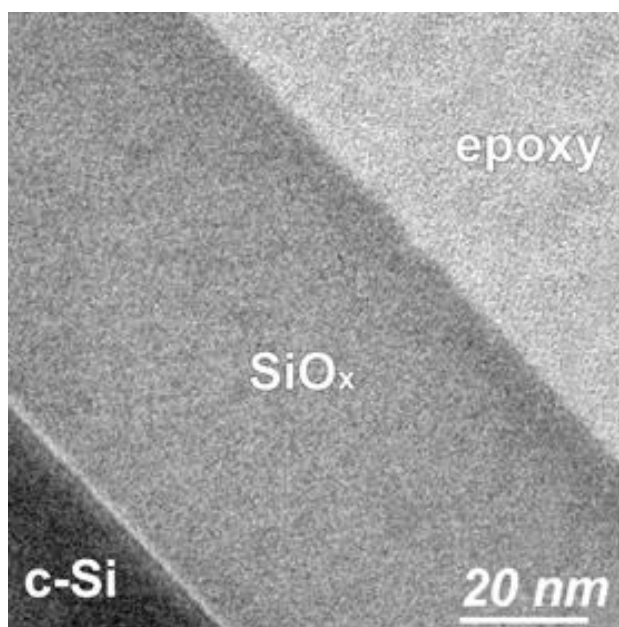


Fig. 5-23: Imagen de TEM de la sección transversal (XTEM) de una muestra de control de la estructura c-Si/SiO_{1.3}.

Micrografías TEM revelan la formación de Si NCs en la película de SiO_x ($x=1.3$) con espesor de $\sim 60\text{nm}$ y $\sim 100\text{nm}$, recocida en puro nitrógeno a una temperatura de 1000°C por 60 minutos. Los Si NCs son observados como puntos a través de una diferencia de contraste. En el extremo izquierdo de la Fig. 5-24, se muestra la imagen de un nanocrystal con diámetro de $\sim 3\text{-}4\text{nm}$ tomando como referencia la escala de 5nm , indicada con una línea horizontal en la

parte inferior. Se puede observar claramente un arreglo periódico de átomos característico de los cristales. Adicionalmente en el extremo derecho de la figura se muestra la transformada Rápida de Fourier del área que contiene los Si NCs. Después del recocido en una atmósfera de Nitrógeno puro a 1000°C para la formación de Si NCs, se observó mediante esta micrografía una pequeña capa de óxido de Si con un espesor cercano a los ~5nm, la cual aparece justo en la superficie, se asume que la formación de esta pequeña región de SiO₂ es causada por exposición al ambiente [122].

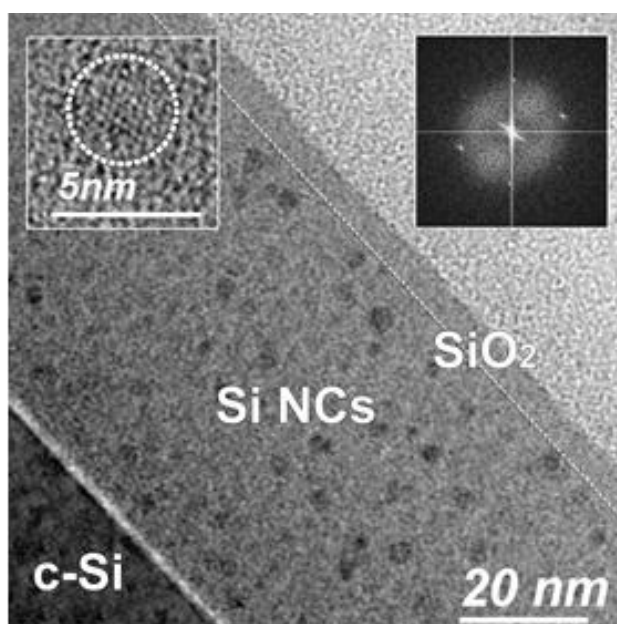


Fig. 5-24: Micrografía TEM de una muestra de ~60nm recocida en N₂ a 1000°C por 60min, Si NCs son observados como puntos con contraste diferente. El extremo izquierdo muestra la imagen de un nanocristal y al extremo derecho la FFT.

Resultados similares se obtuvieron para las micrografías de las muestras en que se depositó una película de 100nm de SiO_x con composición x=1.3 y recocidas con el mismo proceso de doble etapa (Fig. 5-25), donde se observa nuevamente la formación de Si NCs como puntos con diferencias de contraste. Una región con contraste diferente formada por la oxidación de la capa de SiO_x al exponerse al medio ambiente, el grosor de esta capa de SiO₂ es ~9nm.

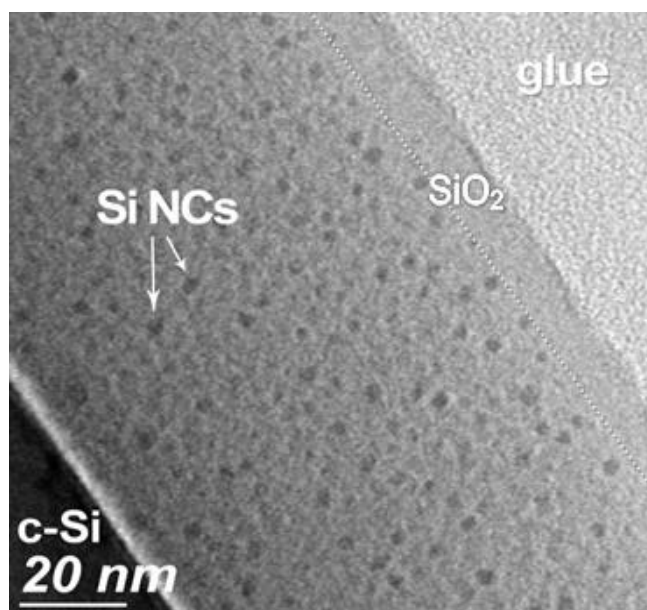


Fig. 5-25: Imagen TEM de una muestra de $\sim 100\text{nm}$ recocida en N_2 a 1000°C por 60min, Si NCs son observados como puntos con contraste diferente.

En la Fig. 5-26 se muestran los resultados obtenidos por microscopía TEM de las muestras de $\sim 60\text{nm}$ sometidas a un proceso de doble etapa de recocido. La diferencia de los resultados son en base a la variación de los tiempo de recocido aplicados, en el segundo proceso de recocido los tiempos de oxidación fueron de 5 y 10min respectivamente. En ambas figuras se puede observar dos franjas claramente debido al cambio de contraste. La capa que contiene los Si NCs es la más cercana al sustrato de Si cristalino y muestra diversos puntos con contraste, esta diferencia de contraste en forma puntual se adjudica a Si NCs formados. La segunda capa que se forma con el proceso de recocido $\text{N}_2/\text{N}_2+\text{O}_2$, se ubica cerca de la superficie donde se aprecia una región amorfa y uniforme correspondiente a las características del SiO_2 . El grosor de la capa de SiO_2 obtenida es de $\sim 13\text{nm}$ para una oxidación de 5min y para 10min de O_2 el grosor obtenido fue $\sim 16\text{nm}$, respectivamente, por lo que se asume que a mayores tiempos de oxidación, resulta en un SiO_2 más grueso.

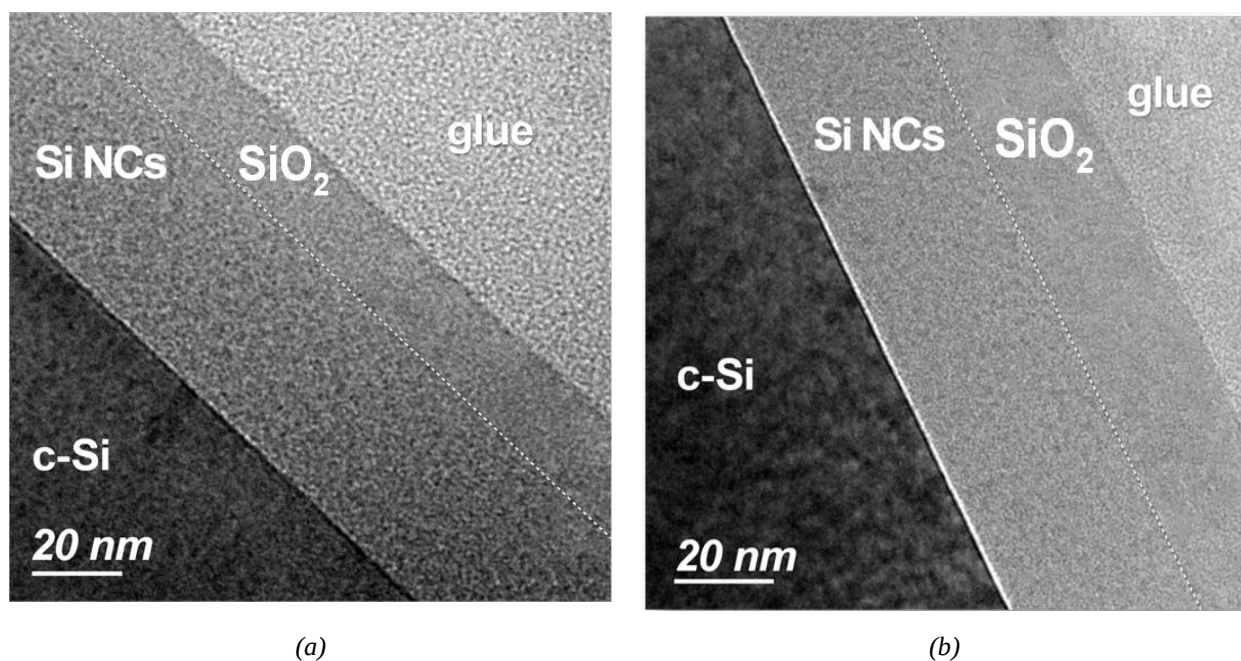


Fig. 5-26: Imágenes TEM de sección transversal de las muestras de $\sim 60\text{nm}$ y composición $x=1.3$, para una oxidación de 5min (a) y para 10min de O_2 (b).

Para las muestras en que se depositó $\sim 100\text{nm}$ de película de $\text{SiO}_{1.15}$, con tiempos de 10min y 15min de oxidación se presentaron características muy similares y congruentes. En la Fig. 5-27 se puede apreciar nuevamente la separación de la película depositada en dos regiones: i) Región con crecimiento de Si NCs y ii) Capa de SiO_2 cercana a la superficie. Se asume que a mayores tiempos de oxidación corresponde una capa de SiO_2 mayor. Por lo tanto el grosor obtenido a una oxidación de 10min es de $\sim 16\text{nm}$ y de $\sim 18\text{nm}$ para 15min. Un aspecto interesante es que existe una ligera similitud de valores entre el tiempo al que se oxida y el grosor de la última capa, esto puede ser utilizado como un indicador del grosor para esta capa.

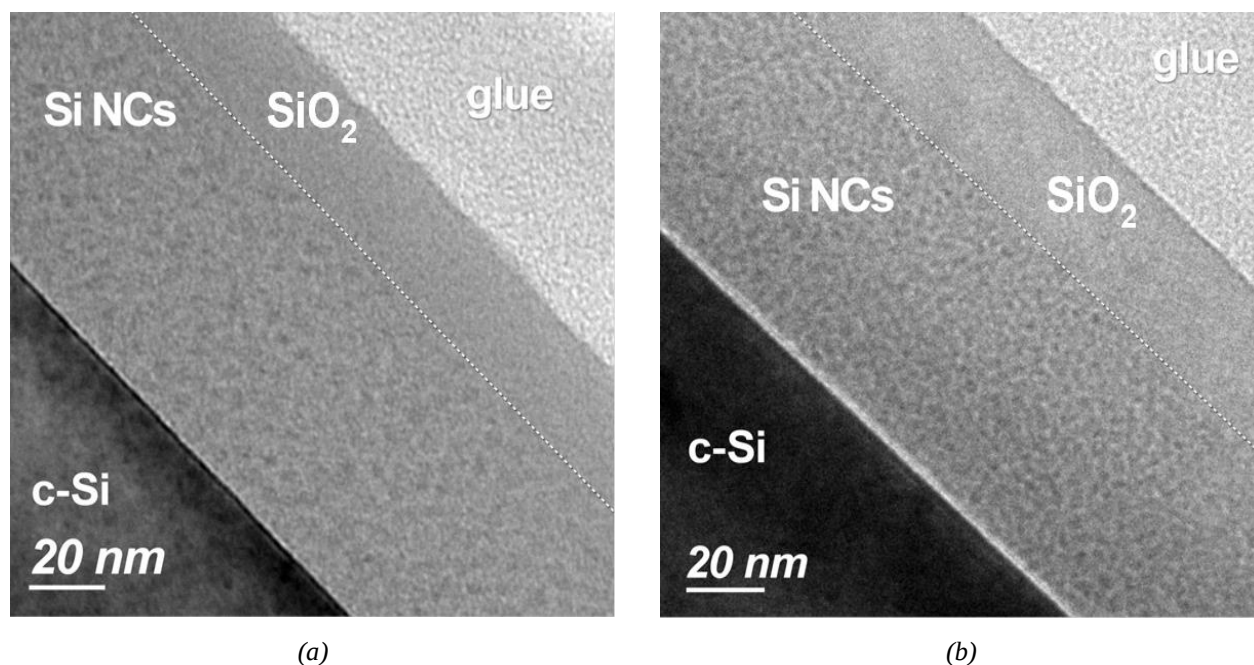


Fig. 5-27: Imágenes TEM de sección transversal de las muestras de $\sim 100\text{nm}$ y composición $x=1.3$, para una oxidación de 10min (a) y para 15min de O_2 (b).

5.2.4.2 Estructuras c-Si/SiO₂/SiO_x/SiO₂ obtenidas por evaporación térmica

En la Fig. 5-28 se muestran imágenes de TEM de estructuras con una compuerta dieléctrica tricapa que contienen nanopartículas de Si y además comprueban la formación de tres regiones dieléctricas partiendo del sustrato de Si: una capa de SiO₂ crecida térmicamente, posteriormente una capa que contiene nanopartículas de Si y finalmente una tercera capa de SiO₂ en la superficie. A través del depósito de una capa $\sim 100\text{nm}$ de SiO_{1.15} y un proceso de doble etapa de recocido se obtuvieron dos regiones y el crecimiento de nanopartículas en una matriz amorfa. Puntos con diferente contraste, se observan en la capa superior al SiO₂ crecido térmicamente, estos puntos corresponden a los Si NCs formados por un recocido a 1000°C durante 40min en atmósfera de N_2 y 20min en atmósfera de 90% N_2 +10% O_2 . Los grosores determinados de la muestra que contiene Si NCs (Fig. 5-28 (a)), son 15nm, 80nm y 20nm partiendo del sustrato de silicio. Por otra parte, en la (Fig. 5-28 (b)) se obtuvieron nanopartículas de Si amorfo mediante un proceso similar pero a 700°C en N_2 y 800°C para

N_2+O_2 , los grosores determinados por TEM para cada capa se estiman en 15nm, 100nm y 5nm partiendo del c-Si, la región que contiene las nanopartículas presenta cierta homogeneidad.

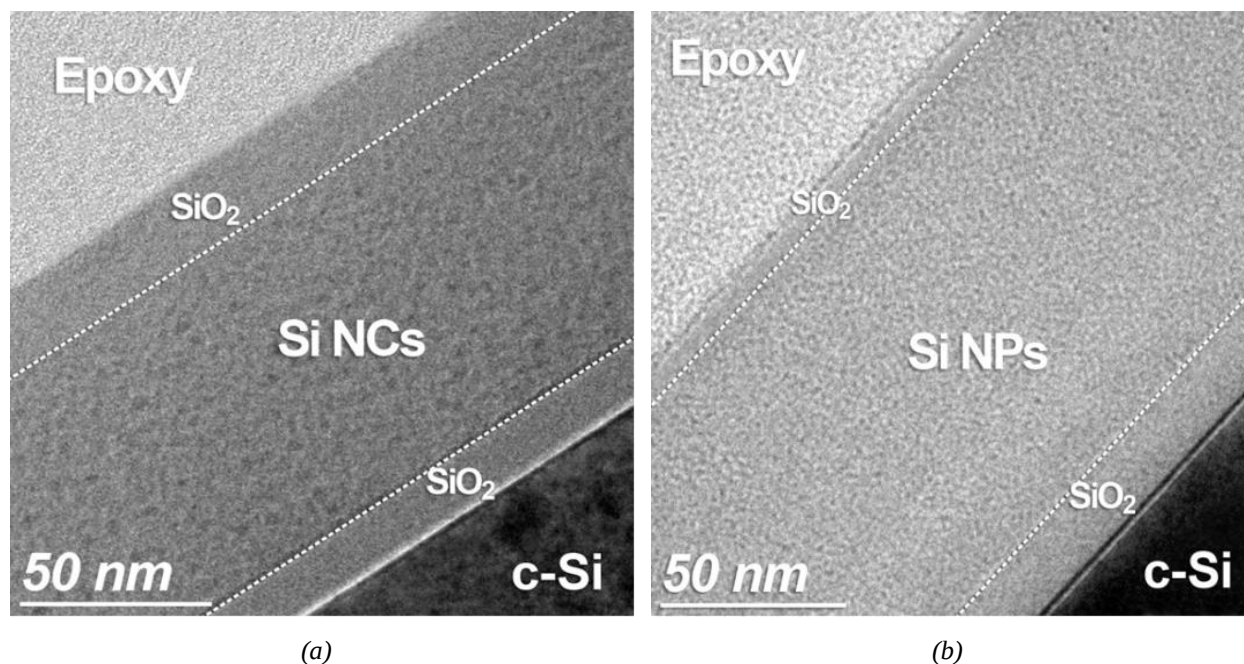


Fig. 5-28: Micrografías de TEM en sección transversal de compuertas dieléctricas tricapa que contienen nanopartículas de Si cristalino (a) y amorfo (b).

A continuación se presentan micrografías de TEM en alta resolución (HR) de las regiones c-Si/SiO₂/Si NCs y c-Si/SiO₂/Si NPs. En la Fig. 5-29 (a) se muestra la región Si/SiO₂/Si NCs, donde observamos que los Si NCs formados presentan un diámetro de ~ 4 nm [84]. Por el contrario en la Fig. 5-29 (b) muestra la región Si/SiO₂/Si NPs donde no se observan nanopartículas debido a la falta de un cambio de contraste en las nanopartículas amorfas.

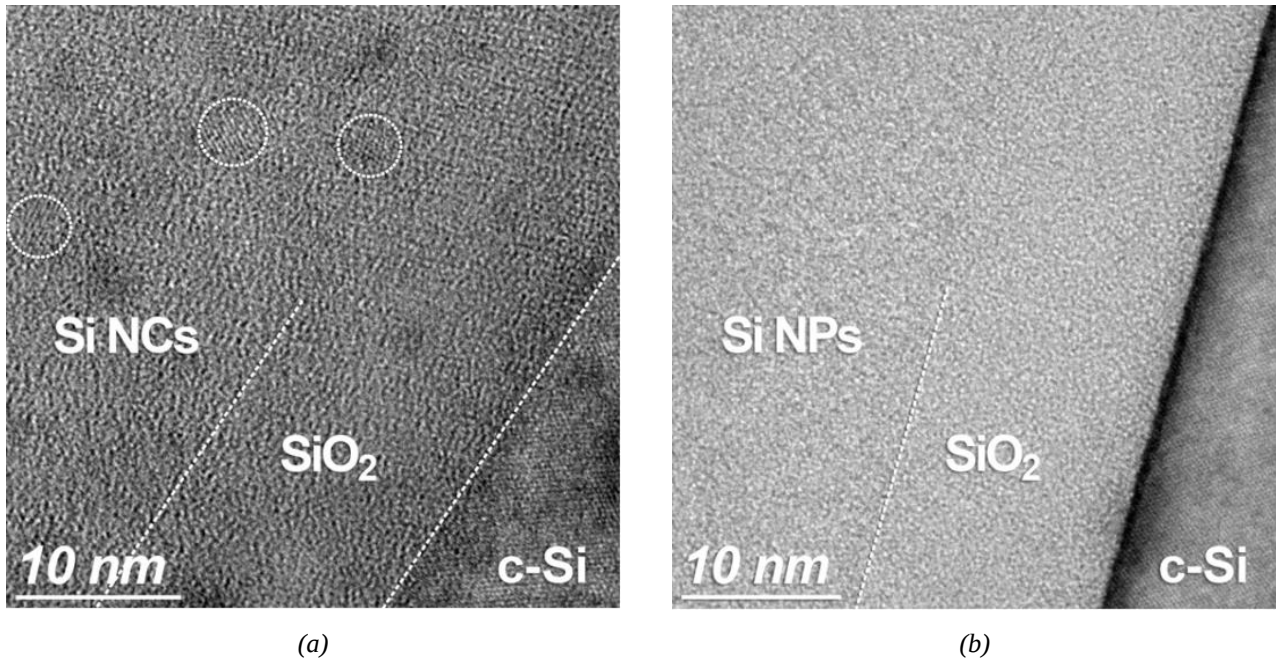


Fig. 5-29: Micrografías de TEM en alta resolución de la sección transversal de las compuertas dieléctricas tricapa que contienen nanopartículas de Si cristalinas (a) y amorfas (b).

5.2.4.3 Micrografías de estructuras Si/SiO₂/SiO_x/SiO₂ depositadas por evaporación térmica y r.f. sputtering

Caracterización microestructural de estructuras tricapa fue llevada a cabo, a continuación se presentan las micrografías que corresponden a las muestras donde se creció un SiO₂ de ~3.9nm por oxidación térmica a 850°C, posteriormente se depositaron 15nm de SiO_{1.15} por evaporación térmica y finalmente se depositó una capa de SiO₂ por *r.f. sputtering* con un grosor de ~60 nm. Una de las muestras se recoció en Ar por 30 min a 250°C. La segunda muestra se recoció en N₂ a 30min y la última a 60min también en ambiente de N₂, ambas a una temperatura de 1000°C. Un recocido adicional se llevó a cabo en hidrógeno por 30 min a 430°C para mejorar las propiedades.

La Fig. 5-30 muestra una capa amorfa uniforme con un grosor de ~77nm. Se realizó un acercamiento (esquina superior derecha) para poder medir el grosor del óxido térmico el cual corresponde a ~3.9nm. Es posible distinguir esta capa gracias al cambio en el contraste con la capa de SiO_x depositada por *r.f. sputtering*.

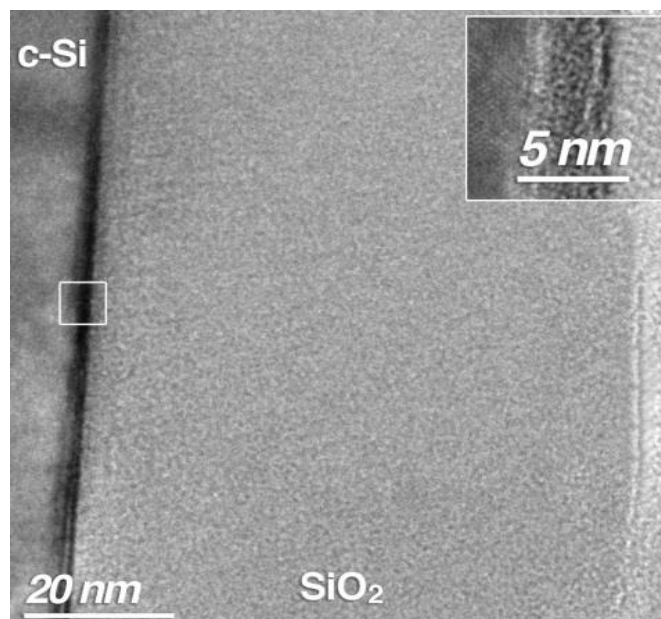


Fig. 5-30: Sección transversal de la muestra de control. Un acercamiento nos permite determinar el grosor del óxido crecido térmicamente.

Adicionalmente se presentan micrografías transversales de las muestras con recocidos de 30 y 60 minutos en N_2 a una temperatura de $1000^\circ C$ (Fig. 5-31 (a) y (b)), respectivamente. En ambas imágenes se puede observar claramente la estructura con las tres capas (c-Si/SiO₂/SiO_x/SiO₂), en la capa de SiO_x se puede observar un ligero cambio de contraste debido a la formación de los Si NCs. Se realizó un acercamientos de alta resolución a la región SiO₂-Si NCs, donde se identificó el diámetro correspondiente de los Si NCs que comprenden dimensiones de $\sim 2-3\text{nm}$ para 30min de recocido y $\sim 4-6\text{nm}$ para 60min de recocido en N_2 , respectivamente.

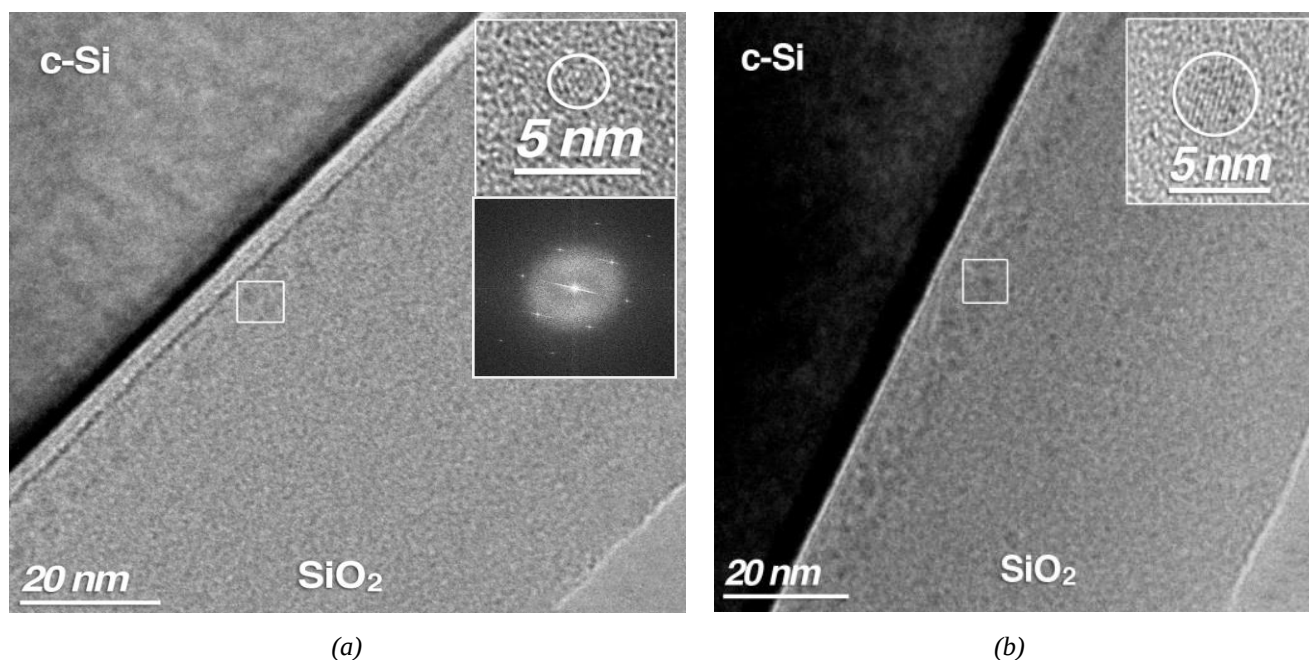


Fig. 5-31: Sección transversal de las muestras recocidas a 30min (a) y 60min (b) en N_2 a $1000^\circ C$. Acercamientos en alta resolución se realizaron para determinar el diámetro de los Si NCs obtenidos por el recocido.

5.3 Caracterización eléctrica

5.3.1 Mediciones corriente-voltaje (I-V)

5.3.1.1 Muestras obtenidas por evaporación térmica

Mediciones eléctricas sobre las muestras c-Si/SiO_x con recocido en N₂/N₂+O₂ se llevaron a cabo para estudiar el flujo de corriente a través de las capas dieléctricas mediante la aplicación de diferentes campos eléctricos. Estas mediciones de corriente-voltaje (I-V) nos permiten distinguir entre los diferentes procesos físicos responsables para la carga y descarga de las nanopartículas, es decir el mecanismo de conducción a través de las capas dieléctricas.

Mediciones I-V confirman la formación de una capa de SiO₂ de alta calidad, por encima de la región donde se encuentran los Si NCs, en la cual el mecanismo limitante de la corriente a través de la estructura (c-Si/SiO₂-Si NCs/SiO₂) es el mecanismo de tunelaje Fowler-Nordheim (Fig. 5-32). Se realizaron barridos de voltaje en sentido positivo y negativo de la muestra de control y con proceso de recocido en las muestras de ~60nm con composición x=1.3. Las mediciones en ambos sentidos indican que a mayores tiempos de oxidación se obtienen mejores propiedades dieléctricas en la compuerta. Con el aumento del tiempo de oxidación las curvas I-V muestran un desplazamiento hacia voltajes más altos (campos eléctricos más fuertes).

Las muestras que fueron sometidas a un proceso de recocido, presentan a voltajes altos un incremento exponencial en la corriente, en comparación con las muestras de control. Este fenómeno es dependiente incluso de las condiciones de recocido, ya que la muestra que únicamente fue recocida en N₂, presenta una mayor conducción a través de su estructura en comparación con las muestras recocidas en un proceso de doble etapa con 5min de oxidación. De igual manera, las muestras con doble etapa de recocido y tiempo de oxidación de 10min, presentan mejores propiedades dieléctricas a campos eléctricos más altos. Características similares de I-V se midieron para las muestras de ~100nm con tiempos de oxidación de 15min., presentada en la Fig. 5-33.

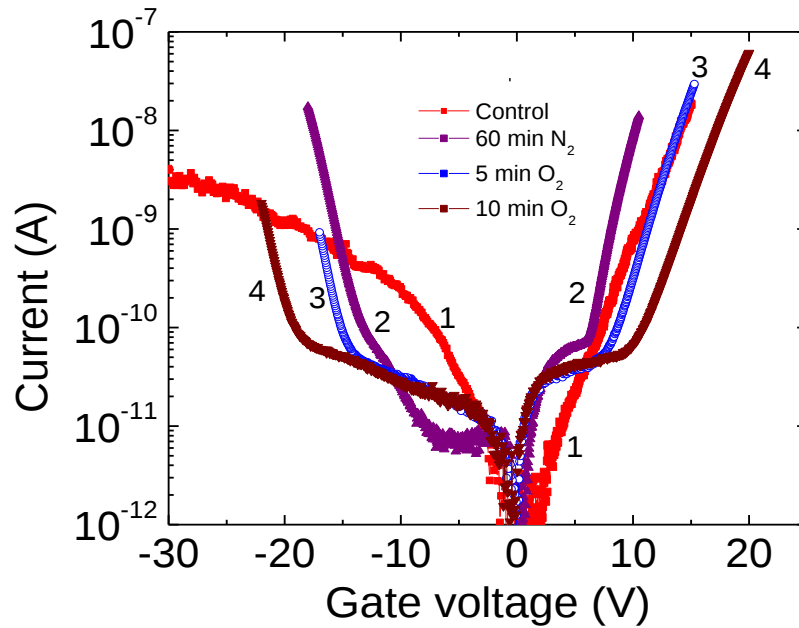


Fig. 5-32: Mediciones I-V de estructuras MOS de 60nm con composición $SiO_{1.3}$ en escala semi-logarítmica.

Curvas obtenidas de la muestra de control y las muestras con recocido.

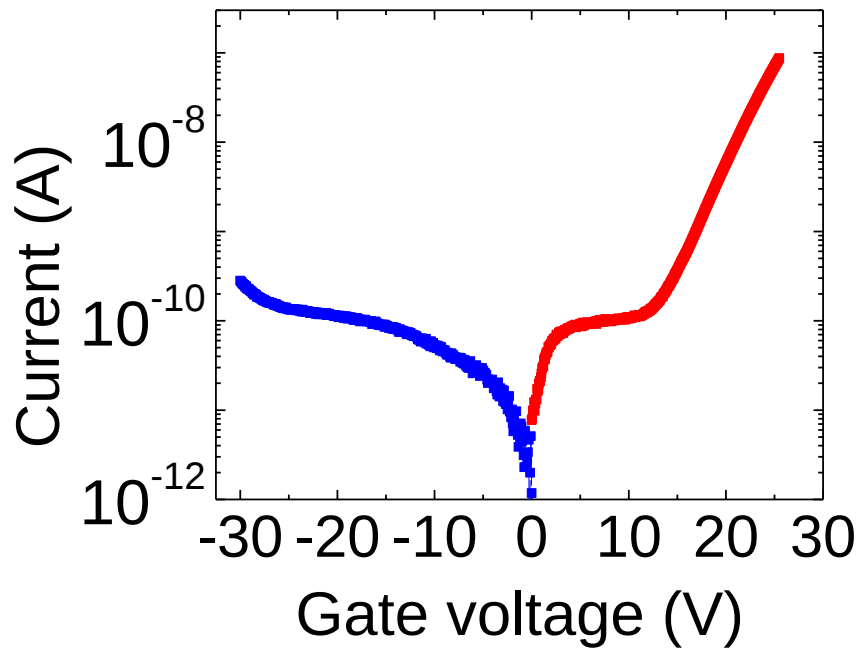


Fig. 5-33: Mediciones I-V de la muestra con espesor de ~100nm con tiempo de oxidación de 15min en escala semi-logarítmica.

En la Fig. 5-34, se muestra una medición I-V en escala semi-logarítmica, que corresponde a una muestra de $\text{SiO}_{1.3}$ con espesor de 60nm y 5min de O_2 . En las mediciones realizadas sobre muestras recocidas aparece una corriente inicial $<100\text{pA}$, excepto en la muestra de control. La aparición de esta pequeña corriente puede estar relacionada con el hecho de que existe una carga atrapada en los Si NCs a causa de los portadores inyectados desde el substrato. Sin embargo cuando se mide un par de veces, de manera consecutivamente en el rango de 0-10V, la magnitud de la corriente es cercana a cero, por lo que se asume que la estructura es cargada en el primer escaneo.

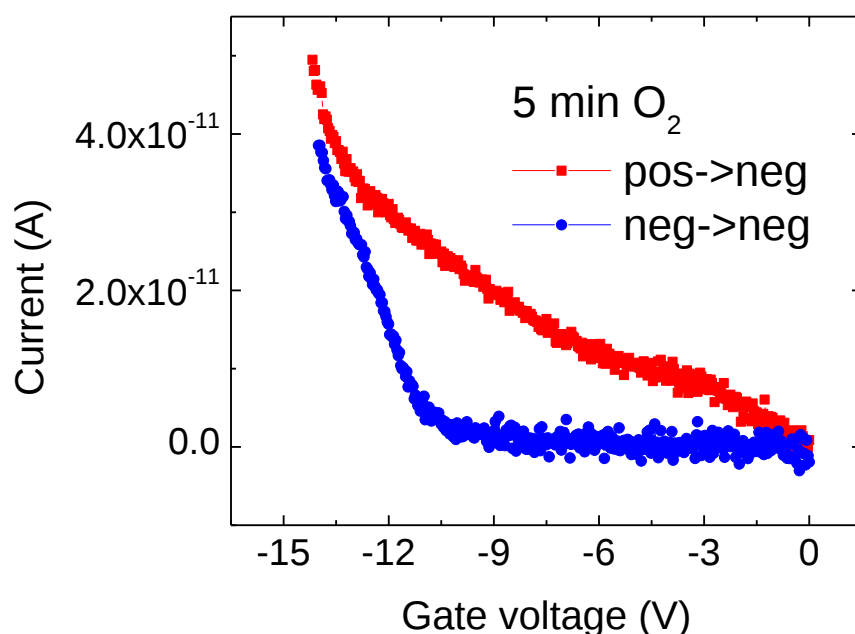


Fig. 5-34: Medición I-V de una muestra de $\text{SiO}_{1.3}$ con espesor de 60nm y 5min de O_2 en escala semi-logarítmica. Donde se observa la aparición de una pequeña corriente a causa de los portadores inyectados por el substrato.

Los resultados obtenidos de las mediciones I-V se presentan en coordenadas Fowler-Nordheim, los cuales fueron graficadas tanto la parte positiva como la negativa. Adicionalmente se determinó el valor promedio del campo eléctrico a través del cociente del voltaje aplicado y el espesor total del dieléctrico, como lo muestra la Ec. (5-2):

$$E_{av} \langle V/cm \rangle = \frac{V_{appl}}{d_{tot}} \quad (5-2)$$

En la Fig. 5-35, las muestras de 60nm recocidas presentan una dependencia en línea recta, la cual está relacionada con el mecanismo de conducción por tunelaje Fowler-Nordheim, que modela el flujo de corriente a través de una estructura cuando se aplican campos eléctricos altos [83]. De tal forma que la parte lineal de estas curvas a voltajes positivos poseen pendientes diferentes, lo que implica que los electrones atraviesan por la interfaz SiO₂-Si NCs/SiO₂ cuando se aplican campos eléctricos más intensos. Si la pendiente es más pronunciada; corresponde a una altura de la barrera más grande, por lo que el aumento del tiempo de oxidación conduce a un aumento de la barrera entre la región de Si NCs y el SiO₂ de la parte superior. Por el contrario en la muestra de control, este efecto no se presenta.

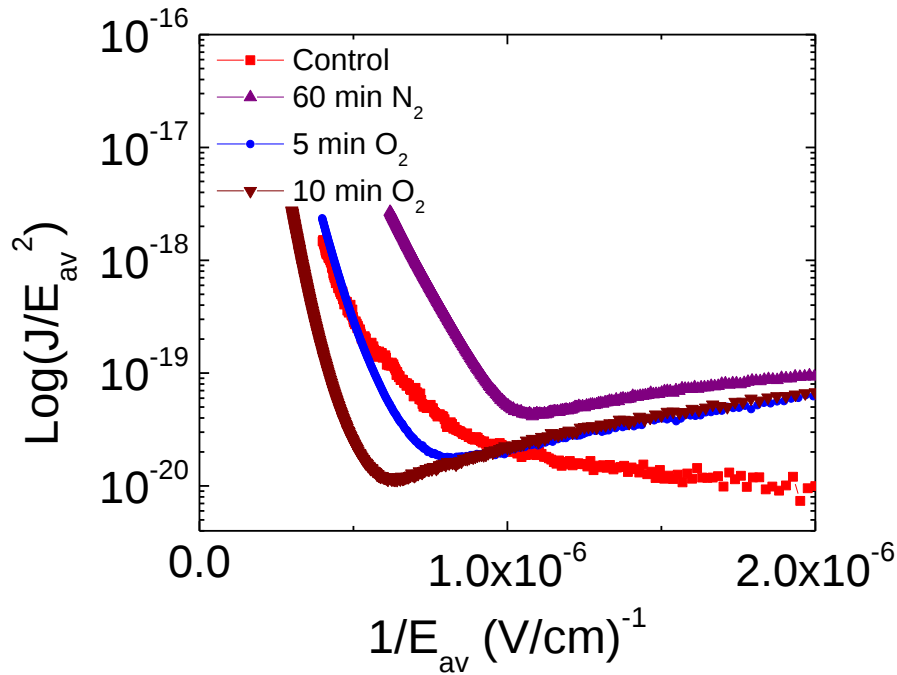


Fig. 5-35: Características I-V de las muestras de 60nm con composición $x=1.3$. La parte positiva del voltaje, mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim.

En el caso característico del comportamiento con voltajes negativos (Fig. 5-36), las muestras con tiempos de oxidación de 5min y 10min, tienen aproximadamente la misma pendiente, por lo tanto, la inyección de electrones en el contacto superior de aluminio es muy similar. Sin embargo, la barrera real debe ser mayor, puesto que existe una mayor resistencia por parte de la capa superior de SiO₂ en comparación con la interfaz c-Si/SiO₂-Si NCs. Esto se aprecia como un cambio de las curvas I-V hacia voltajes más altos con el aumento de espesor de SiO₂ con el mismo espesor total.

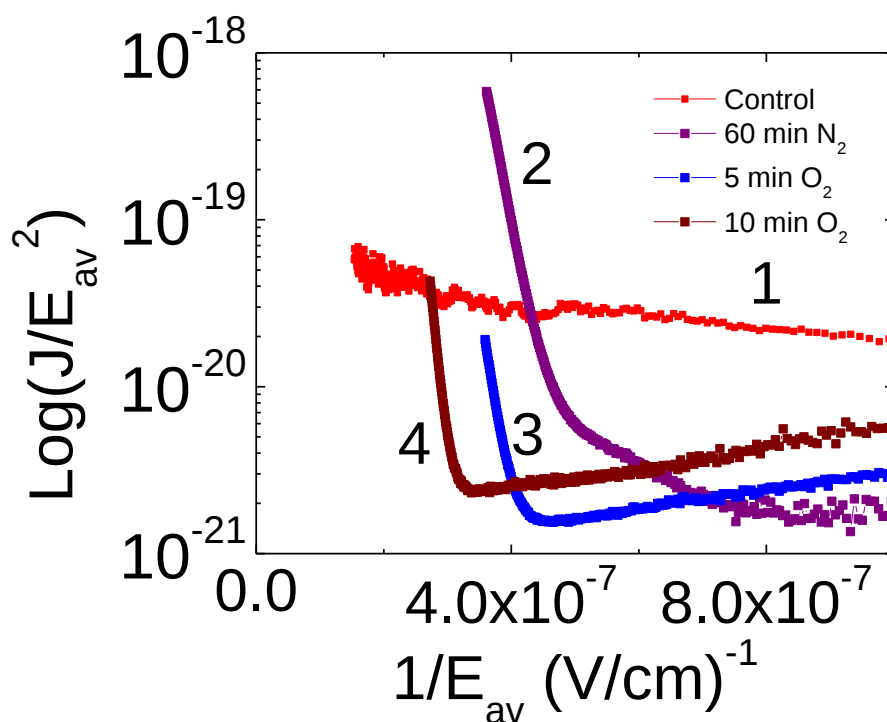


Fig. 5-36: Características I-V de las muestras de 60nm con composición $x=1.3$. La parte negativa del voltaje, mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim.

La variación de la altura de la barrera con el tiempo de oxidación para voltajes positivos podría estar relacionada con pequeñas variaciones en las propiedades de la región de transición de SiO₂-Si NCs/SiO₂ y una pequeña diferencia en el tamaño de los Si NCs en esta región. Las estructuras con recocido en puro N₂ muestran una barrera con menor altura, esto puede estar relacionado a la barrera de tunelaje entre los Si NCs vecinos o podría ser debido a la barrera entre la región SiO₂-Si NCs/SiO₂ y la de $\sim 5\text{nm}$ de SiO₂ producido por la exposición al ambiente.

Resultados similares se obtuvieron para las muestras de $\sim 100\text{nm}$, por lo que, en el presente trabajo se muestran los resultados obtenidos para la muestra con 15min de oxidación en la Fig. 5-37.

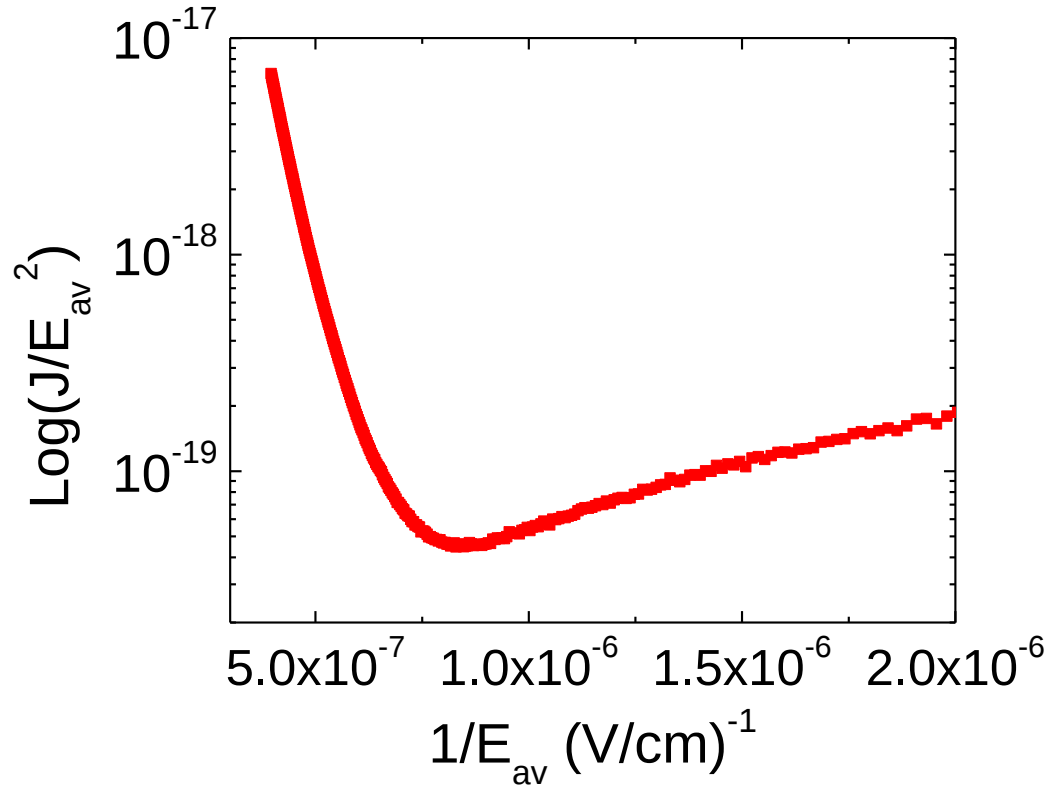


Fig. 5-37: Parte positiva del voltaje mostrada en coordenadas correspondientes al tunelaje de Fowler-Nordheim de la muestra de $\sim 100\text{nm}$ con 15min de O_2 .

Adicionalmente, se realizó un análisis comparativo entre las dependencias de corriente-voltaje de los condensadores MOS con c-Si/ $\text{SiO}_{1.15}$ y los fabricados con dieléctrico de compuerta c-Si/ $\text{SiO}_2/\text{SiO}_{1.15}$. En la Fig. 5-38, se observa el incremento exponencial de la corriente a través de la muestra de control con $\text{SiO}_{1.15}$ comienza en $\sim \pm 6\text{V}$; el campo eléctrico promedio obtenido para las muestras con $\sim 100\text{nm}$ de espesor de la película es, $E_{av} = \pm 0,6 \text{ MV/cm}$. La asimetría observada en las características I-V indica que la corriente está controlada por la interfaz de inyección, c-Si/ SiO_x positivo y la interfaz de Al/ SiO_x en la tensión de puerta negativo (V_g). El recocido a alta temperatura en N_2 no cambia sustancialmente las tensiones a la que comienza el aumento exponencial de corriente a través de la estructura de

Al/SiO₂-Si NCs/c-Si. El cambio de la pendiente a $V_g < 0$, corresponde a la inyección de electrones de la oblea de Si, también puede estar relacionado con un aumento de la rugosidad de la interfaz c-Si/dieléctrico después del recocido de la capa de SiO_x a 1000°C [87]. Sin embargo, el proceso de recocido y oxidación en dos etapas cambia las características I-V a voltajes positivos más altos y voltajes negativos más bajos, por lo tanto asumimos que campos eléctricos con valor absoluto mayor $|E|$ corresponde a tiempos de oxidación mayor. Por ejemplo, un tiempo de oxidación de 10min, desplaza el inicio del aumento exponencial aproximadamente a +10V y -20V, lo que corresponde a $E \sim +1\text{mV}$ y 2mV/cm . Después de 20min de oxidación los campos eléctricos correspondientes son $\sim +1.3$ y -2.5MV/cm . Los datos IV obtenidos para el proceso de doble etapa de recocido en las estructuras de Al/SiO_x/c-Si concuerdan con los resultados de TEM, que muestran una formación de dos regiones.

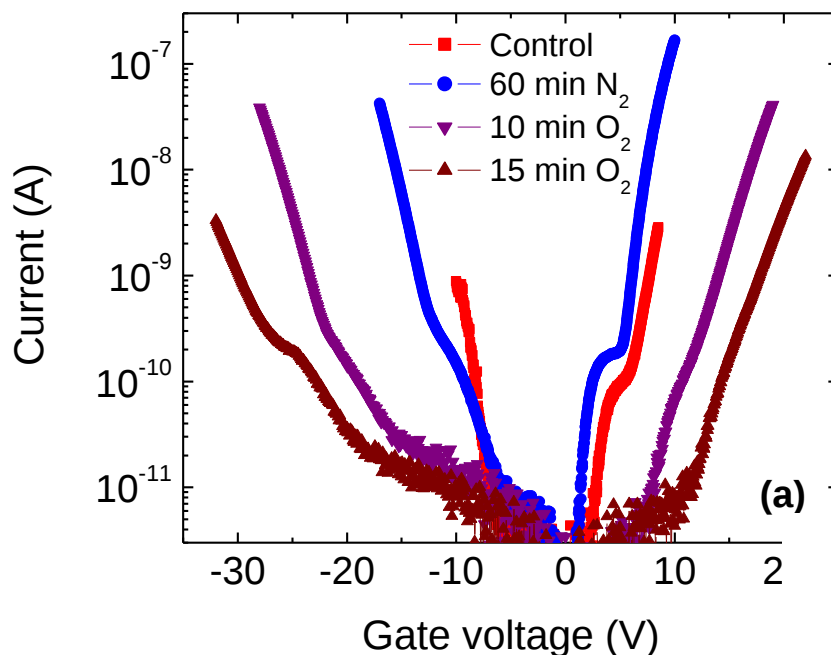


Fig. 5-38: Dependencia I-V de muestras c-Si/SiO_{1.15} con espesor de 100nm.

En la Fig. 5-39, el comienzo del incremento exponencial de la corriente en los condensadores Al/SiO₂/SiO_{1.15}/c-Si, se realiza en los campos eléctricos más altos a comparación con las estructuras Al/SiO_{1.15}/c-Si. Para las muestras de control y las recocidas en N₂ y N₂/N₂+O₂ el inicio del incremento en forma exponencial comienza con un campo eléctrico promedio de ~2, 1.6 y 2.5 MV/cm para tensión positiva y aproximadamente a -2, -1.9 y -2,9 MV/cm para tensión negativa. Teniendo en cuenta que la parte principal de la caída de tensión es en el óxido de Si (formado por la doble etapa de recocido), el cual tiene un espesor de ~20nm en la muestra de control y recocidas en puro N₂, y de ~40nm para las estructuras tricapa con recocido en N₂/N₂+O₂. Los campos eléctricos calculados en los que el aumento exponencial comienza, son más altos que el valor para la inyección de Fowler-Nordheim en SiO₂. La pendiente de las curvas I-V de la muestras Al/SiO₂/SiO_{1.15}/c-Si recocidas en N₂ y N₂/N₂+O₂ es mayor que la pendiente de la estructura de control. Esto puede estar relacionado con la transformación de la matriz de SiO_x a óxido estequiométrico con incrustaciones de Si NCs y la reducción de la densidad de trampas. Además, el proceso de recocido de dos etapas reduce la pequeña corriente que fluye a voltajes más bajos, es decir, de ~350pA en la muestra de control a menos de 100pA para las muestras recocidas en N₂.

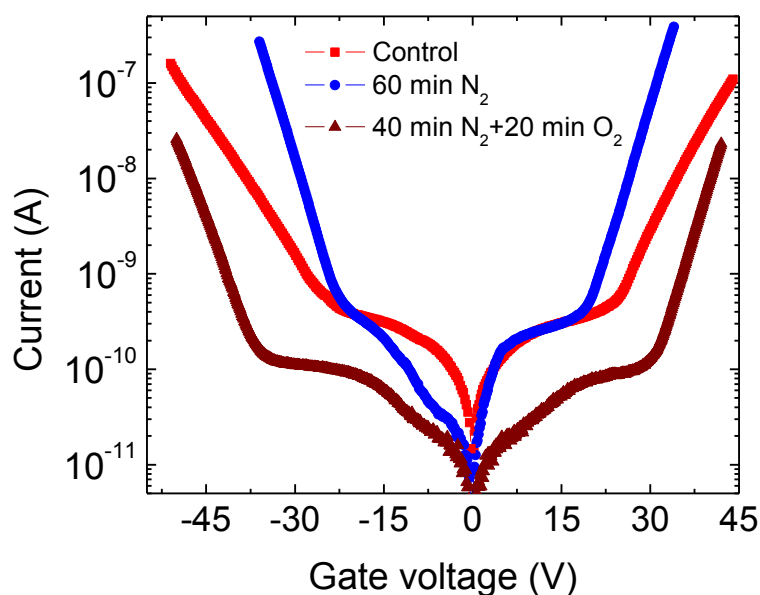


Fig. 5-39: Dependencia I-V de muestras c-Si/SiO₂/SiO_{1.15} con espesor de 100nm.

5.3.1.2 Muestras depositadas por ECR-CVD

Se llevaron a cabo mediciones I-V de las estructuras MOS (Al/c-Si/SiO₂/a-Si:H/SiO₂/Al), las cuales fueron sometidas a un proceso de recocido en *forming gas* a 450°C por 20min, para disminuir la densidad de defectos en la interfaz con el metal. En la Fig. 5-40 se observan las dependencias obtenidas en escala semi-logarítmica de las muestras recocidas a 800°C y 1100°C, respectivamente. Se realizaron barridos de voltaje en el rango (0,+4)V y (0,-6)V en ambos sentidos, donde se aprecia un incremento de la corriente a través de la estructura a bajos niveles de voltaje. En la Fig. 5-40 (a), se muestra la curva de las estructuras recocidas a 800°C, donde se obtuvo una corriente de saturación de ~0.7mA a -6V y en sentido positivo se obtuvo ~0.6mA a 4V. Para las muestras recocidas a 1100°C se obtuvieron resultados similares, mostrados en la Fig. 5-40 (b). Los resultados obtenidos por las mediciones I-V, indican la calidad de una capa de SiO₂ para evitar el paso de la corriente y el voltaje que se requiere aplicar para que se presente el fenómeno de conducción a través de la estructura; por lo que para este tipo de estructuras no se requieren voltajes grandes para conducir, debido en gran parte al grosor del óxido de tunelaje, por lo que se asume que el mecanismo limitante de la corriente es el tunelaje directo. Se pretende realizar un análisis más profundo de estas caracterizaciones y observar si existe algún efecto sobre las propiedades eléctricas, al variar el tiempo de recocido en *forming gas*.

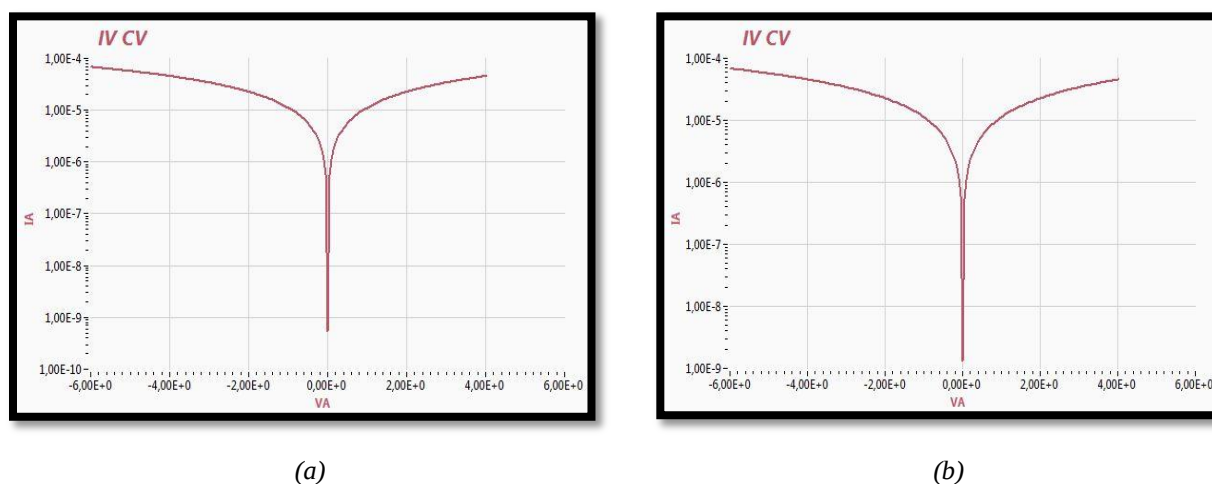


Fig. 5-40: Curvas I-V de estructuras Al/c-Si/SiO₂/a-Si:H/SiO₂/Al recocidas a 800°C (a) y 1100°C (b) con un proceso de recocido en *forming gas* por 20min.

5.3.2 Mediciones capacitancia-voltaje (C-V)

5.3.2.1 Muestras obtenidas por evaporación térmica

Se llevó a cabo una caracterización eléctrica mediante mediciones C-V utilizando una frecuencia de 1 MHz, sobre las muestras c-Si/SiO_{1.3} con un grosor de 100nm, sometidas a una doble etapa de recocido en ambiente de oxígeno durante 15min. En la Fig. 5-41 se muestra la curva inicial obtenida en el rango de (2,-6)V en sentido positivo y negativo, al incrementar el rango de voltaje aplicado a (8,-12)V en ambos sentidos, se observa en la curva que la estructura comienza a cargarse, presentando una ventana de memoria de aproximadamente ~3V; al incrementar el rango de voltaje a (12,-16) V, también incrementa la ventana de memoria a ~4V. Éste fenómeno se presenta debido a que con el incremento de voltaje, también aumenta la densidad de carga atrapada en los Si NCs.

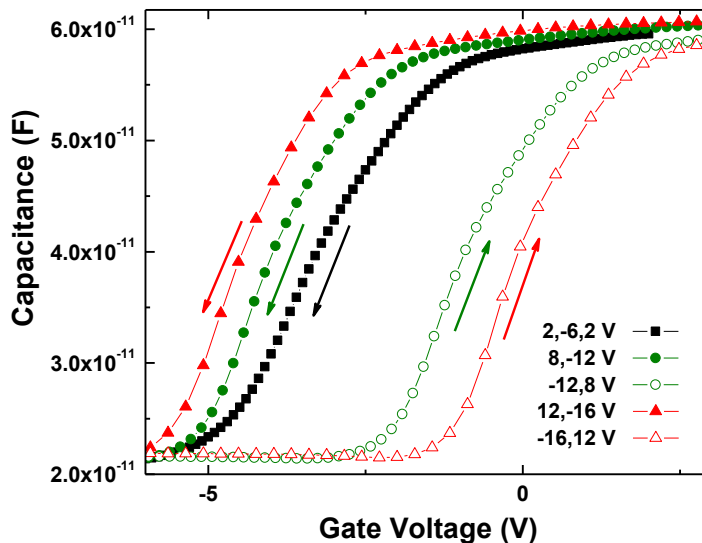


Fig. 5-41: Dependencias C-V de muestras c-Si/SiO₂/SiO_{1.15} recocidas en N₂.

Además, la histéresis observada en los capacitores MOS en la que el dieléctrico es un óxido de Si enriquecido en Si, también se ha asociado con la presencia de nanopartículas de Si inmersas en esta matriz de óxido y que actúan como trampas de carga [86]. El control del

tamaño y la distribución espacial de los Si NCs, son dos puntos importantes que permiten que los dispositivos se pueden utilizar, por ejemplo, como memoria *flash* discreta de puerta flotante [123, 124], los dispositivos de memoria de un solo electrón [125] y como dispositivos emisores de luz [126], ya que la longitud de onda de la emisión depende del tamaño de las nanopartículas de silicio.

En la Fig. 5-42 se muestran las dependencias C-V de las estructuras c-Si/SiO₂/SiO_{1.3} después del proceso de recocido a doble etapa con 20min de oxidación. Las medidas fueron realizadas utilizando una frecuencia de 1 MHz y aplicando diversos rangos de tensión en los capacitores MOS con electrodos de Al. Un aspecto importante del análisis C-V es la pendiente de la curva, la cual es un indicativo de la cantidad de defectos que se encuentran en la interfaz: c-Si/dieléctrico, es decir, una pendiente más abrupta señala una interfaz de alta calidad. Como era de esperarse, las características C-V de las estructuras con tres regiones son mucho mejores que las presentadas por las estructuras de dos regiones, debido a que el óxido crecido térmicamente a partir del sustrato, posee propiedades dieléctricas de muy alta calidad y como indicativo se obtuvieron pendientes más abruptas a comparación de las estructuras c-Si/SiO_x.

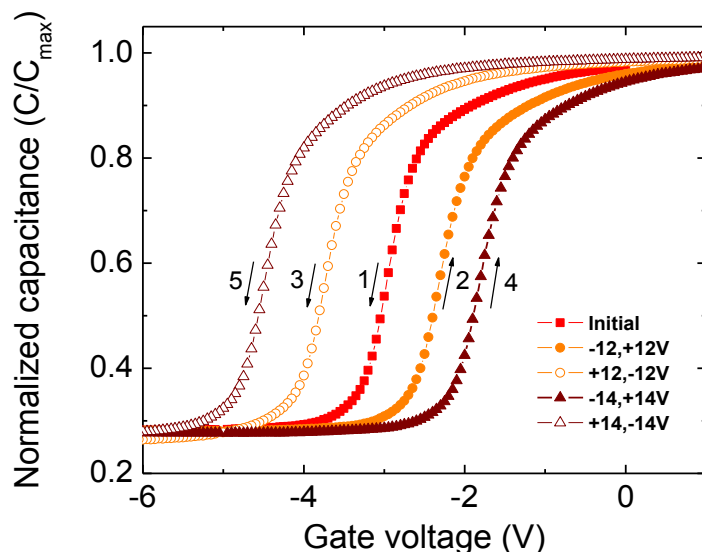


Fig. 5-42: Curvas C-V de las estructuras c-Si/SiO₂/SiO_{1.3} con 20min de oxidación, medidos a 1MHz en capacitores MOS con electrodos de Al.

La curva inicial se midió en el intervalo de (1,-5)V en ambos sentidos. El aumento del intervalo de tensión aplicado, conduce a los cambios de la dependencia C-V en relación a su posición inicial. Por ejemplo, cuando se mide en un intervalo de (-12,12)V, una copia de la curva C-V inicial se desplaza aproximadamente 0.6V en sentido positivo (curva 2) y -0.7V en la dirección negativa (curva 3), respectivamente. Estos cambios están relacionados con la carga del dieléctrico de la compuerta mediante la inyección/extracción de electrones desde el electrodo superior, donde el aumento del intervalo de medición a ± 14 V (curva 4 y 5), conduce a un aumento de la histéresis. La histéresis observada indica que la compuerta de tres regiones que contiene Si NCs es adecuada para aplicación en dispositivos de memoria no-volátil y otros dispositivos basados en Si NCs.

5.3.2.2 Caracterización de estructuras c-Si/SiO₂/SiO_{1.15}/SiO₂ depositadas por evaporación térmica y por r.f. sputtering

Los resultados que se presentan, pertenecen a las estructuras MOS que contienen tres capas dieléctricas (c-Si/SiO₂/SiO_{1.15}/SiO₂), conformadas por SiO₂ crecido térmicamente, una capa de SiO_{1.15} depositada por evaporación térmica y una capa de SiO₂ depositada por *r.f. sputtering*, las cuales fueron caracterizadas para observar sus propiedades y efectos de memoria no-volátil a través de pruebas eléctricas de capacitancia-voltaje (C-V) y conductancia-voltaje (G-V) a altas y bajas frecuencias, con la aplicación de diferentes rangos y barridos de voltaje en ambos sentidos, aplicados en la compuerta metálica. Es decir se realizó una caracterización completa de los capacitores, pasando por los estados de acumulación, agotamiento e inversión y de forma viceversa, con el objetivo de poder observar las curvas del ciclo de histéresis al realizar las mediciones en ambos sentidos de las estructuras MOS. La variación de la ventana de memoria en función del número de ciclos de escritura/borrado, nos permite una estimación de la confiabilidad para su aplicación en dispositivos de memoria.

Los resultados de las curvas obtenidas por las mediciones C-V, en combinación con las obtenidas por G-V, nos permiten determinar el valor de la carga fija en la capa dieléctrica, a partir de la posición de la curva, mientras que la densidad de defectos en la interfaz del substrato de Si y el dieléctrico (c-Si/SiO₂), puede estimarse a partir de la pendiente de la curva [27].

Esto es un aspecto favorable para determinar la calidad de las capas dieléctricas en función de la capacidad de retención de carga y descarga de electrones y/o huecos, en las nanopartículas embebidas dentro del óxido, como resultado del proceso de recocido. Otro aspecto importante es la capacidad de interpretar los fenómenos de carga y descarga en la compuerta dieléctrica flotante con Si NCs en cada una de las estructuras y determinar las condiciones óptimas del proceso de recocido, tales como la atmósfera, el tiempo y la temperatura.

La Fig. 5-43 muestra las mediciones realizadas en las estructuras tricapa, en la cual se puede determinar la calidad eléctrica de las estructuras MOS a través de las dependencias C/G-V de las estructuras con Si NCs obtenidos en una matriz de SiO₂, después de 30min de recocido en N₂ a una temperatura de 1000°C. Se muestran cuatro diferentes mediciones que se realizaron en un rango de frecuencias de 50kHz, 100kHz, 500kHz y 1MHz.

En la curva podemos observar una capacitancia constante en acumulación de ~70pF y una capacitancia constante en inversión de ~20pF, los valores de capacitancia obtenidos a diferentes frecuencias de los barridos son muy similares, por lo que al observar que no se presenta variación en la capacitancia de acumulación en función del cambio de la frecuencia, es un indicativo que la capa dieléctrica fabricada en las muestras cuenta con propiedades aislantes excelentes. Por el contrario si existiera una variación en la capacitancia de acumulación al variar la frecuencia representaría que el dieléctrico de la compuerta del capacitor presenta corrientes de fuga [127].

Adicionalmente, dentro de la Fig. 5-43 se muestra una gráfica de las dependencias de G-V de la muestra recocida por 30min en N₂ a una temperatura de 1000°C, donde se realizaron barridos de voltaje en sentido positivo y negativo, observándose un incremento de la conductancia al variar la frecuencia, pero con un comportamiento similar. Se obtuvieron valores de conductancia menor a 50μS para la región de acumulación, correspondiente a la curva de 1MHz en todos los capacitores. La disminución del valor de G en el intervalo entre acumulación e inversión para el rango de frecuencias (1MHz – 50KHz), indica una baja densidad de defectos en la interfaz c-Si/SiO₂. La ausencia de un pico en las curvas G-V, indica una pérdida dominante producida por resistencia en serie, enmascarando completamente las pérdidas ocasionadas por trampas a la interfaz [128].

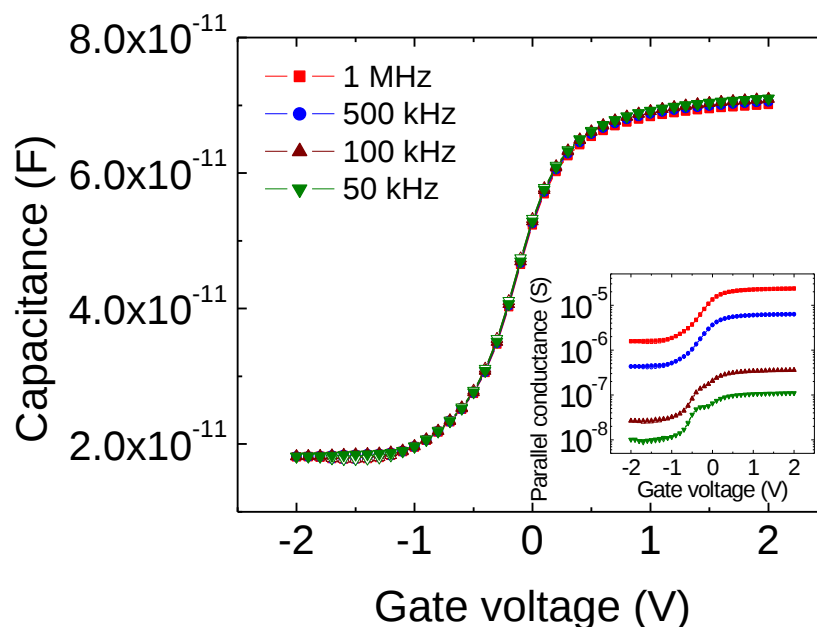


Fig. 5-43: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N_2 , a diferentes frecuencias.

Posteriormente se realizó una corrección de la resistencia en serie [128], mostrada en la Fig. 5-44, obteniendo picos de conductancia con valores en el rango de 10^{-8} - 10^{-6} S, dependiendo de la frecuencia a la que se realizó la medición. Se determinó la densidad de estados a la interfaz, a través del método de conductancia [27, 128], obteniéndose valores de energía para los defectos: $\leq 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$, los cuales son cercanos a la mitad de la banda prohibida del silicio. A su vez, se obtuvieron las correspondientes constantes de tiempo, con valores típicos en el intervalo de 2.5×10^{-6} a 2×10^{-5} segundos.

A partir de la posición de las curvas C-V, se calculó la carga fija en el óxido, arrojando valores de $\sim 10^{10} \text{ cm}^{-2}$. Estos resultados indican que el proceso utilizado para obtener una compuerta dieléctrica multicapa que contiene nanopartículas, no deteriora las excelentes propiedades de la interfaz c-Si/SiO₂, sino que el proceso de recocido a altas temperaturas reduce significativamente la cantidad de defectos presentes en la interfaz.

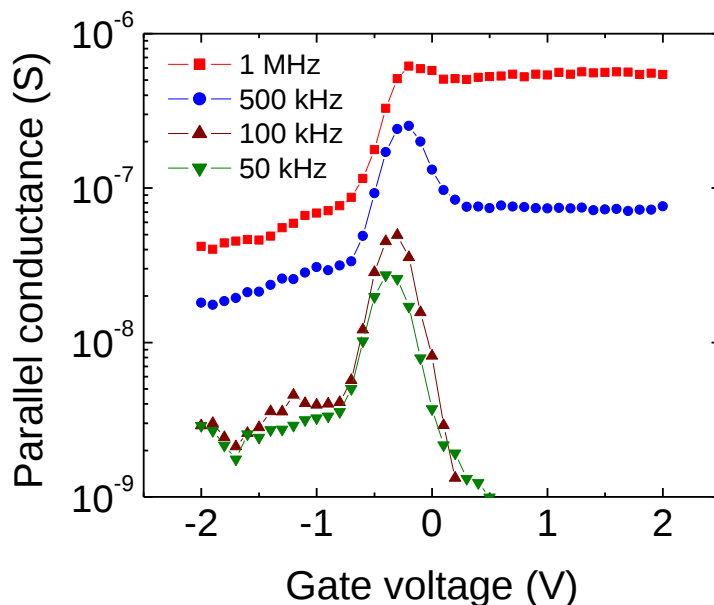


Fig. 5-44: Gráfica G-V de las muestras recocidas a 1000°C por 30min en N_2 después de la corrección de resistencia en serie.

Las muestras fabricadas poseen buenas propiedades de retención de carga por tiempos prolongados al cargar los Si NCs con electrones y también con huecos. Se realizaron mediciones para estudiar la capacidad de retención de carga de las estructuras recocidas por 30 min en N_2 . En la Fig. 5-45 se muestran las curvas C-V de la estructura, al momento de cargar los Si NCs con carga negativa. El proceso de carga se realizó utilizando voltajes de rampa en el rango de (0,+17)V y (0,-20)V, después de 12 horas de haber cargado la muestra con electrones se realizó una nueva medición sobre la curva inicial, la cual conserva la misma posición con un desplazamiento casi nulo indicando un proceso de descarga muy lento. Un comportamiento similar se obtuvo al cargar la muestra con carga positiva, mostrado en la Fig. 5-46.

Las muestras se irradiaron usando un difractómetro de rayos-X modelo *Philips X'Pert PRO MPD*, estos resultados preliminares señalan que las muestras pueden ser inicialmente descargadas, con un desplazamiento paralelo de $\sim \pm 1$ V, sin variación en la densidad de defectos en la interfaz y la carga fija en el óxido. El resultado obtenido indica la posibilidad de utilizar estos capacitores en dosímetros de rayos-X.

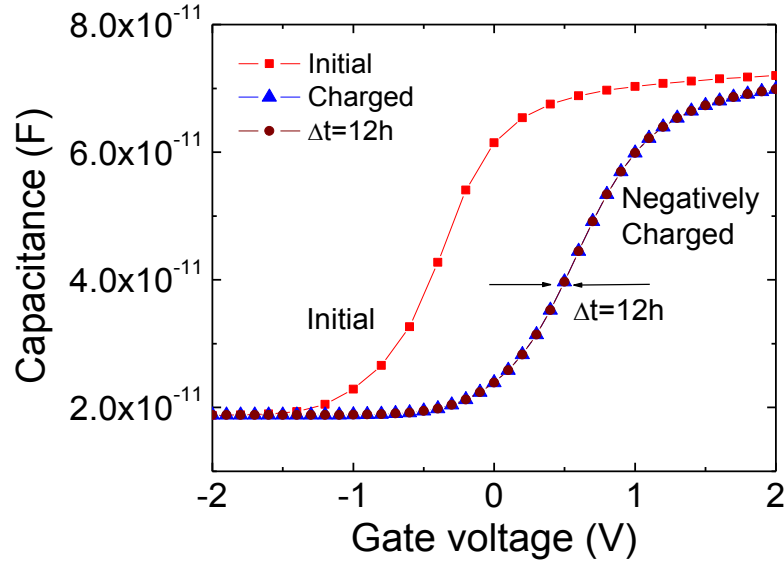


Fig. 5-45: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N_2 , cargada negativamente con electrones inicialmente y después de 12hrs.

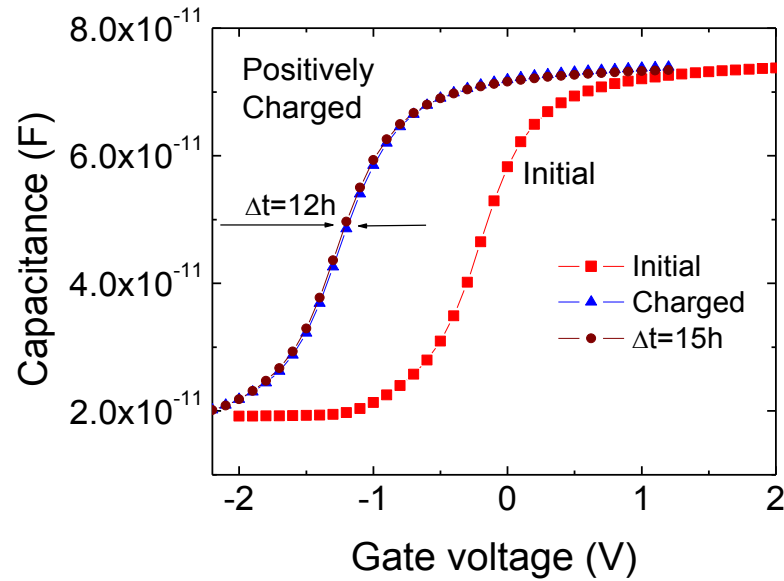


Fig. 5-46: Dependencia C-V de la estructura MOS recocida a 1000°C por 30min en N_2 , cargada positivamente con huecos inicialmente y después de 12hrs.

5.3.2.3 Muestras depositadas por ECR-CVD

A continuación se muestran los resultados obtenidos de las estructuras MOS que contienen tres capas dieléctricas (c-Si/SiO₂/a-Si:H/SiO₂), depositadas por ECR-CVD, las cuales fueron caracterizadas para estudiar sus propiedades y efectos de memoria a través de pruebas eléctricas. En la Fig. 5-47 se muestran las dependencias C-V normalizadas de las estructuras de control (sin recocido en alta temperatura), que fueron sometidas a un proceso de recocido en forming gas a 450°C durante 20min. Las dependencias fueron medidas aplicando barridos de voltaje en sentido positivo a negativo y posteriormente en la dirección inversa. El intervalo utilizado fue de (+4,-6)V y viceversa (curvas 1 y 2), en las cuales no se presentó efecto de memoria significativo ($\Delta V_{fb} \sim 0.04V$), lo que representa una buena calidad de las capas de SiO₂ depositadas, con una densidad pequeña de trampas profundas para los portadores de carga. La variación de capacitancia en acumulación está en el rango ~ 160 a $180pF$, que corresponde a una variación del espesor de óxido entre $\sim 6-7nm$, los valores obtenidos corresponden con el grosor esperado según lo determinado por las condiciones de deposición.

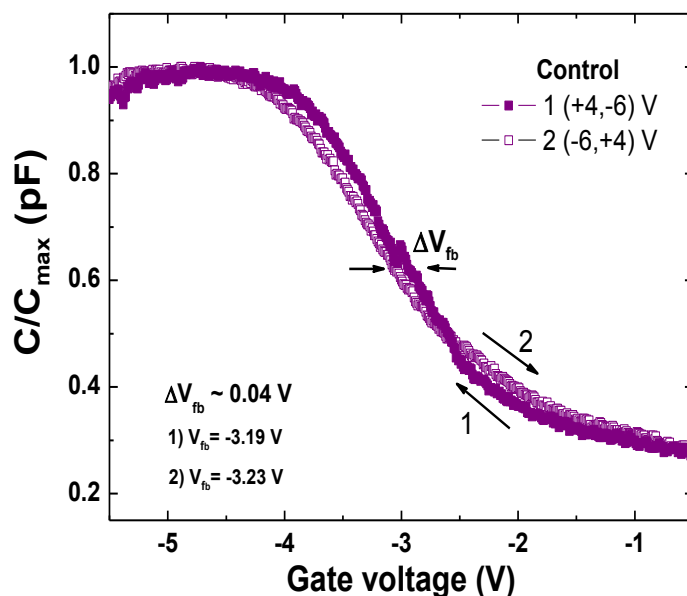


Fig. 5-47: Dependencias C–V de muestras SiO₂/a-Si:H/SiO₂ sin recocido.

Para el caso de las muestras recocidas a 800°C en N₂ durante 60min, las curvas C-V se presentan en la Fig. 5-48, en la cual se puede apreciar el efecto del proceso de recocido en alta y baja temperatura (segundo proceso de recocido) en las estructuras de tres capas, el cual conduce a una variación significativa del voltaje de banda plana (V_{FB}) en comparación con las muestras sin proceso de recocido en alta temperatura. En la figura se observa que para la curva 3 se obtuvo un V_{FB} de $\sim -2.7V$, medido de sentido positivo a negativo en el rango (+4,-6)V; mientras que para la curva 4 medida en el rango (-6,+4)V, el V_{FB} obtenido fue $\sim -2.15V$. Para el caso en que se recocieron las muestras a 800°C, la variación del V_{FB} es $\sim 0.55V$, el cual es mayor al obtenido en la muestra de control, este efecto podría atribuirse a un incremento de la densidad de defectos formados en la capa amorfa, los cuales se cree son obtenidos debido a una modificación física en la capa de a-Si:H causada por el recocido a alta temperatura.

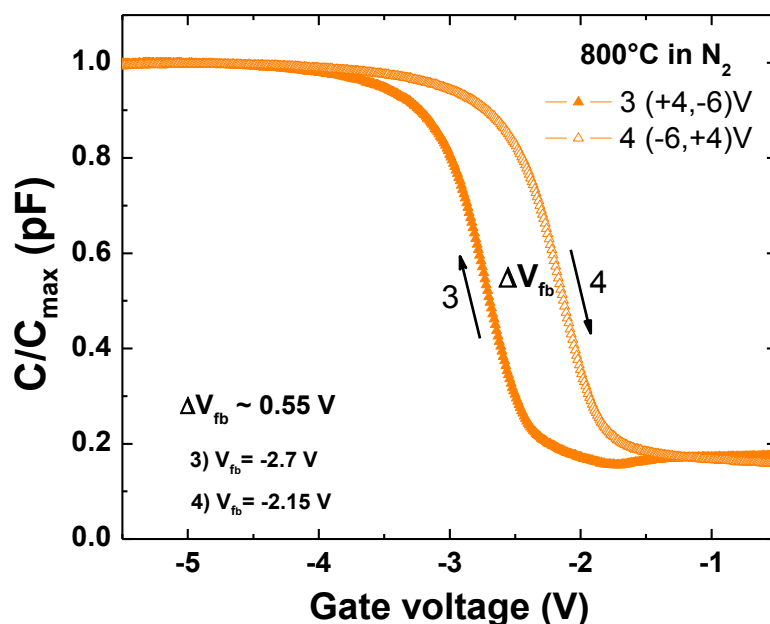


Fig. 5-48: Dependencias C–V de muestras recocidas a 800°C y posteriormente 20min en forming gas.

La curva C-V inicial de la muestra recocida a 1100°C en ambiente de N₂ durante 60min (Fig. 5-49), coincide con la dependencia C-V medida en el intervalo (-6,+4)V. Las curvas iniciales se midieron en un intervalo estrecho, para este caso se realizó en el intervalo (0,-3)V y en sentido opuesto, a fin de no cambiar el estado inicial de la carga en el dieléctrico de la compuerta. Una diferencia evidente e importante en comparación con las estructuras anteriores, es la obtención de una ventana de memoria mayor, presentada para el caso de las estructuras recocidas a 1100°C, donde el valor obtenido fue de ~1.74V. El desplazamiento de la curva C-V hacia voltajes más negativos en las muestras recocidas en alta temperatura y sometidas a un proceso de recocido en baja temperatura, este efecto puede explicarse debido a modificaciones estructurales en la capa de Si amorfo, por ejemplo, formación de agrupaciones amorfas y/o cristalinas, límites de grano, etc., como resultado de estos cambios existe la posibilidad de una formación de trampas neutras para los electrones en la película de Si amorfo, por lo que la aplicación de voltaje positivo (+V), en el electrodo superior puede conducir a que se cargue positivamente la estructura, debido a la extracción de los electrones de las trampas neutras. Este modelo sólo es válido si la corriente de electrones que atraviesa por la parte superior del óxido, es mayor que la corriente debida a la inyección de electrones por parte del sustrato de Si, es decir cuando $V > 0$. Además, la rugosidad de la superficie de la película de a-Si:H, puede dar lugar a una mejoría del campo eléctrico aplicado a la película superior de SiO₂ y de esta manera, propiciar una mayor corriente a un determinado voltaje positivo. La aplicación de un voltaje negativo en el electrodo superior ($V < 0$) da lugar a una corriente de inyección de electrones por el contacto superior de Al, debida a la gran asimetría de la barrera para los electrones y huecos en la interfaz Al/SiO₂ (3.2eV) y c-Si/SiO₂ (4.7eV), respectivamente [128]. Como resultado, la corriente de electrones a través del dieléctrico de la compuerta puede neutralizar las trampas con carga positiva y la curva C-V volverá a una posición cercana de la inicial. El aumento de la temperatura de recocido, probablemente conduce a modificaciones estructurales más pronunciadas y como resultado una mayor densidad de trampas responsables de los efectos observados.

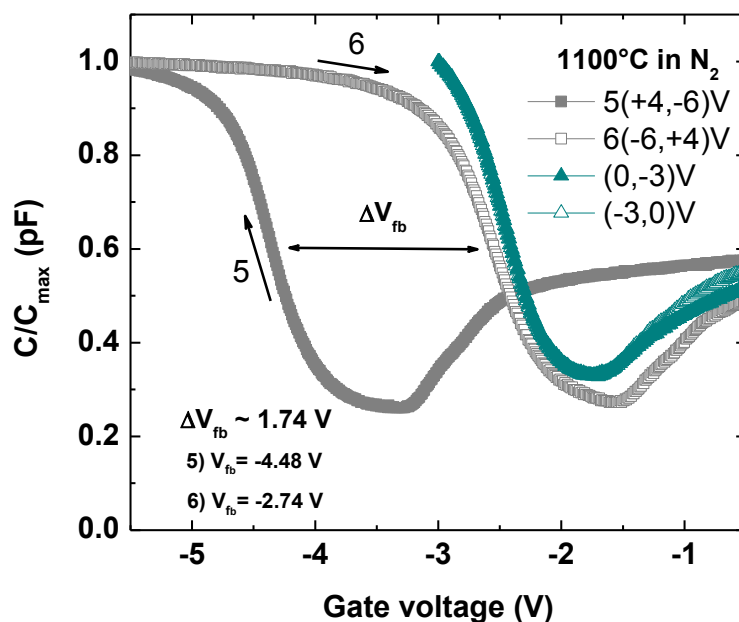


Fig. 5-49: Curva $C-V$ obtenida de capacitores MOS tricapa recocidos a 1100°C y posteriormente 20min en forming gas.

En la Fig. 5-50 se presenta gráficamente una relación entre la ventana de memoria medida y obtenida, en dependencia de la temperatura de recocido, a la cual las estructuras fueron sometidas. Las curvas de histéresis presentadas aquí fueron obtenidas a través de típicos ciclos de programación, en los que la histéresis obtenida, es resultado de la captura, retención y liberación de portadores hacia y desde las NP Si [129]. En el caso de las muestras de control, la ventana de memoria es cercana a cero, pero en el caso de las muestras recocidas a 800°C y 1100°C , la variación del voltaje de banda plana aumentó a $\sim 0.55\text{V}$ y $\sim 1.74\text{V}$, respectivamente. Suponemos que este incremento es debido a la modificación estructural de la capa de Si amorfo por la temperatura, como indican los resultados obtenidos por AFM y FIB/SEM.

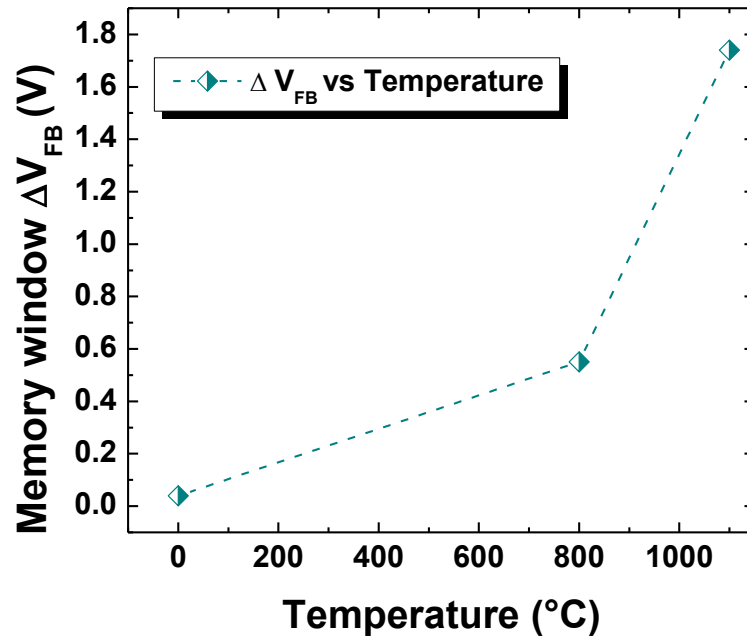


Fig. 5-50: Relación entre la ventana de memoria y la temperatura de recocido.

Capítulo 6

Conclusiones y Perspectivas Futuras

*“La obra maestra más fina es la hecha por Dios,
según los principios de la mecánica cuántica...”*

Erwin Schrödinger (1887-1961).

Creador de la mecánica ondulatoria, premio Nobel en 1933.

En este capítulo se establecen las conclusiones finales obtenidas, en base al estudio teórico realizado, los resultados obtenidos y la interpretación de los mismos, sobre las estructuras analizadas en este proyecto de investigación. En base a esto se deben considerar los resultados aquí mostrados para la realización de investigaciones futuras, relacionadas con el desarrollo y optimización de dispositivos semiconductores que contienen nanopartículas de Si, para su aplicación en dispositivos de memoria no-volátil y dispositivos optoelectrónicos.

6.1 Conclusiones generales

6.1.1 Muestras obtenidas por evaporación térmica

A partir de las caracterizaciones realizadas y los resultados obtenidos se llegó a las siguientes conclusiones:

1. Es posible obtener películas de SiO_x con composiciones iniciales de $x=1.15$ y 1.3 , con espesores de ~ 60 y $\sim 100\text{nm}$, a través de la evaporación térmica de SiO . Las películas fueron depositadas sobre sustrato de c-Si o de óxido crecido térmicamente, obteniendo las estructuras finales: c-Si/ SiO_x y c-Si/ $\text{SiO}_2/\text{SiO}_x$. En estas estructuras se estudió el efecto de un proceso de doble etapa de recocido en alta temperatura sobre las propiedades dieléctricas de la compuerta, así como la obtención de Si NCs dentro de una matriz amorfa.
2. A partir de un proceso de recocido de doble etapa, sobre las estructuras, se obtuvo la formación de una región de SiO_2 con Si NCs y una región de SiO_2 por encima libre de Si NCs. La primera etapa del proceso de recocido fue en atmósfera de N_2 , mientras que en el segundo fue llevado a cabo una oxidación en la atmósfera N_2+O_2 , a 1000°C durante 60min. Los Si NCs obtenidos a partir de este proceso de recocido, pueden ser utilizados como centros de almacenamiento de carga en dispositivos de memoria no-volátil. Los grosores utilizados en este proyecto, indican que estas estructuras son prometedores para aplicaciones en sensores de radiación.
3. Los resultados obtenidos por TEM, mostraron la formación de dos regiones dieléctricas en la capa de SiO_x después del recocido de doble etapa en $\text{N}_2/\text{N}_2+\text{O}_2$, donde claramente se observa la obtención de una región amorfa homogénea, libre de Si NCs cerca de la superficie superior y una región con Si NCs por debajo de ella. Las imágenes obtenidas por HRTEM revelaron que los Si NCs obtenidos por este doble proceso de recocido, poseen dimensiones de $\sim 4\text{-}6\text{nm}$, distribuidos espacialmente y de forma no controlada dentro una matriz amorfa de SiO_2 . Adicionalmente la profundidad a la que se oxida la capa de SiO_x puede ser controlada variando el tiempo de oxidación, entre mayor tiempo

de oxidación mayor grosor de la capa de SiO_2 de la superficie superior. Los espesores de las regiones libres de nanoclusters son 20 y 5nm en muestras recocidas a 1000°C y 700/800°C, respectivamente. El diámetro de los Si NCs crecidos a 1000°C en este estudio es de ~4nm, ligeramente menor al diámetro de los NCs obtenidos con las mismas condiciones, a partir de películas de SiO_x con la misma composición inicial, pero en recocido con atmósfera de puro N_2 .

4. Los resultados de IR, indican que la matriz obtenida después del doble proceso de recocido en alta temperatura de la capa de SiO_x ($x=1.15, 1.3$), en la cual se encuentran los Si NCs así como la región homogénea de la parte superior, son de composición próxima a la del SiO_2 estequiométrico.
5. Los resultados por SE, indican una correlación entre los espesores de las tres regiones dieléctricas con valores obtenidos de 15nm, 80nm, 19nm y 15nm, 118nm, 5nm para las muestras con composición $x=1.15$ y recocidas a 1000°C y 700/800°C, los cuales concuerdan con las imágenes de TEM. Las fracciones en volumen de la región de Si NCs son: 69% SiO_2 , 19% c-Si y 12% a-Si, mientras que para la región de nanopartículas de Si amorfo son: 41% SiO_2 , 31% SiO y 28% a-Si, las composiciones determinadas están de acuerdo con los resultados obtenidos en estudios previos por espectroscopía IR, de películas con composición inicial similar. Las constantes obtenidas a través del modelo *Bruggeman-EMA* son valores similares a las del SiO, en concordancia con lo esperado, esta técnica ha probado ser muy poderosa y eficiente para determinar el grosor y las propiedades ópticas de estructuras multicapa, además de ser una técnica rápida, no destructiva y no necesita preparación previa de la muestra, en comparación con TEM.
6. Las mediciones I-V revelaron buenas propiedades de aislamiento de la región de óxido por encima de la región donde se encuentran los Si NCs y un mejoramiento considerable de las muestras con óxido crecido térmicamente, en la cual el mecanismo limitante de la corriente a través de las estructuras es el mecanismo de tunelaje Fowler-Nordheim. Al aumentar el tiempo de oxidación, las características I-V de las estructuras MOS con doble etapa de recocido, requieren campos eléctricos mayores para la conducción. Los resultados se correlacionan con los obtenidos por TEM, SE e IR.

6.1.2 Estructuras c-Si/SiO₂/SiO_{1.15}/SiO₂ depositadas por evaporación térmica y por r.f. sputtering

En base a los resultados obtenidos por las caracterizaciones realizadas, se concluyó lo siguiente:

1. Para el caso de las estructuras c-Si/SiO₂/SiO_{1.15}/SiO₂, en las cuales se creció óxido térmicamente, posteriormente se depositó ~60nm de SiO_x (x=1.15) por evaporación térmica y finalmente se depositó SiO₂ por r.f. sputtering, se obtuvo una formación de Si NCs en la capa de SiO_{1.15} a través de un recocido a 1000°C en N₂ durante 30min y 60 min.
2. Las imágenes obtenidas por TEM, indican la deposición de películas amorfas uniformes antes del proceso de recocido. De igual forma, después de la etapa de recocido a 1000°C durante 30 y 60min, se revela la formación de Si NCs en la capa de SiO_{1.15}, los cuales tienen un diámetro promedio de 2-3 y 4-6nm, respectivamente.
3. Mediciones C-V y G-V han demostrado que los procesos utilizados para obtener el dieléctrico de la compuerta y para crecer Si NCs no causan deterioro de la interfaz c-Si/SiO₂ térmico. Los valores obtenidos para la densidad de defectos y la interfaz de la carga de óxido fija son más pequeños que 10¹⁰cm⁻²eV⁻¹ y ~10¹⁰cm⁻². El tiempo de retención de carga de las estructuras fabricadas los hace atractivos para su aplicación en dosímetros de rayos-X.
4. Mediciones C-V en estructuras MOS con tres regiones muestran que son atractivas para su aplicación en dispositivos basado en Si NCs tales como memorias no-volátil y altas posibilidades de ser aplicadas en dosímetros de radiación ionizante y otros tipos de sensores de luz [130], por lo que es necesario realizar un estudio exhaustivo en este sentido.

6.1.3 Muestras depositadas por ECR-CVD

Con respecto a los análisis realizados, podemos concluir lo siguiente:

1. Se depositaron películas delgadas de SiO_2 y a-Si:H de alta calidad y a temperatura ambiente, utilizando la técnica de ECR-CVD, donde los mejores resultados obtenidos fueron para las estructuras $\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$ recocidas a 800°C y 1100°C .
2. Espectroscopía IR indica que las estructuras después de un proceso de recocido, tienden a formar películas enriquecidas en Si, lo cual es congruente con los índices de refracción obtenidos por SE. Los grosores obtenidos de las estructuras por SE son similares a lo esperado.
3. Por otra parte, los resultados obtenidos por Raman, indicaron que las películas depositadas y tratadas térmicamente a 800°C y 1100°C presentan evidencia de una posible formación de nanopartículas amorfas y cristalinas, respectivamente. Estos resultados se encuentran en congruencia por lo obtenido en PL. Adicionalmente los resultados obtenidos por XRD son similares a los picos característicos del a-Si:H.
4. Los resultados obtenidos por AFM, indicaron un incremento en la rugosidad, lo cual es congruente al observar las imágenes obtenidas por FIB/SEM, donde se demuestra que el incremento de la temperatura provoca cambios estructurales en la capa de a-Si:H, promoviendo a una formación de nanopartículas de Si, muy probablemente amorfas para el caso de las muestras recocidas a 800°C y para las recocidas a 1100°C una formación cristalina.
5. Las estructuras MOS recocidas a 800°C y 1100°C , con un proceso adicional de recocido en baja temperatura en FG, presentaron una ventana de memoria en las caracterizaciones C-V realizadas. La ventana de memoria observada se debe a la carga/descarga de las trampas creadas en la capa de a-Si:H después del recocido en alta temperatura. Se piensa que para estas estructuras, el incremento de la temperatura de recocido influye en el aumento de la ventana de memoria.
6. Los resultados obtenidos indican que a través del proceso de recocido en alta temperatura se obtiene una posible formación de a-Si NPs amorfas a 800°C y c-Si NPs a 1100°C , estas estructuras son prometedoras para ser aplicadas en dispositivos de MNV.

6.2 Perspectivas futuras

Tomando en cuenta los resultados obtenidos en las estructuras estudiadas en este trabajo de investigación, se propone continuar con las siguientes actividades, para la optimización y continuidad de este proyecto:

1. Estudiar el efecto de la radiación electromagnética en las estructuras MOS con carga atrapada en las nanopartículas. Puesto que una estructura MOS es sumamente sensible a la radiación electromagnética, por lo que una partícula que atravesase un dispositivo MOS, puede modificar la tensión de umbral de los transistores, ocasionando una alteración del dispositivo. De acuerdo a los resultados obtenidos es preciso realizar un análisis profundo sobre las estructuras c-Si/SiO₂/SiO_x/SiO₂ y sus posibles aplicaciones como sensores de luz.
2. Control de la distribución espacial y tamaño de los Si NCs obtenidos por un doble proceso de recocido, encontrando las condiciones óptimas de ambiente, temperatura y tiempo de recocido.
3. Se cree que es posible mejorar los resultados obtenidos por SE sobre las estructuras c-Si/SiO₂/SiO_x/SiO₂ obtenidas por evaporación térmica. Se propone intentar realizar ajustes utilizando otros modelos de aproximación como: *Cauchy*, *B-Spline* o *Lorentz*.
4. Si se busca obtener mayor información sobre la composición estructural de estas muestras c-Si/SiO₂/SiO_x/SiO₂, se recomienda utilizar la técnica de μ -Raman o bien incidir sobre la muestra un láser con la longitud de onda apropiada.
5. Preparación de las muestras depositadas por ECR-CVD en substrato de Si cristalino para realizar análisis de TEM, con el propósito de determinar contundentemente si existe la formación de nanopartículas de Si, así como determinar sus dimensiones, densidad y distribución espacial, como también el grosor de cada una de las capas depositadas.
6. Reemplazar el substrato de Si en las estructuras SiO₂/a-Si:H/SiO₂ por un substrato de cuarzo y caracterizar las muestras utilizando XRD a ángulo rasante, RAMAN y PL, con el objetivo de obtener evidencia clara de una contribución de nanopartículas de silicio.

7. Optimizar las mediciones eléctricas de las muestras depositadas por ECR-CVD, así como un análisis sobre las muestras recocidas a 900°C y 1000°C, ya que no presentaron histéresis en las pruebas realizadas y si presentan sensibilidad a la radiación.
8. Finalización del proceso de fabricación del transistor MOS que contiene nanopartículas de Si, así como una caracterización eléctrica completa del dispositivo. Esto nos indicará la viabilidad de los dispositivos para su implementación en dispositivos de memoria no-volátil.
9. Simulación en el programa SILVACO, de las estructuras y transistores MOS que contienen nanopartículas semiconductoras en la compuerta dieléctrica. En el *Apéndice IV* se muestra un inicio del programa de fabricación y simulación del transistor, por lo que sugiere continuar en este sentido.
10. Fabricar y analizar estructuras con doble capa de a-Si:H ($\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2/\text{a-Si:H}/\text{SiO}_2$) por ECR-CVD, para estudiar sus propiedades eléctricas.

Tomando en cuenta las propuestas anteriores, se espera que este proyecto desarrollado sea considerado un punto de partida para la continuación o la creación de nuevos proyectos de investigación, relacionados con estructuras y dispositivos MOS con ensambles de nanopartículas semiconductoras.

Referencias

1. Holmes, J.D., et al., *Highly luminescent silicon nanocrystals with discrete optical transitions*. Journal of the American Chemical Society, 2001. **123**(16): p. 3743-3748.
2. Association, S.I. *World Semiconductor Trade Statistics*. 2014; Available from: <http://www.semiconductors.org/>.
3. *International Technology Roadmap for Semiconductors*. 2014; Available from: <http://www.itrs.net/>.
4. Lutgens, F.K., E.J. Tarbuck, and D. Tasa, *Essentials of Geology*. 2003: Prentice Hall.
5. Drexler, K.E. and M. Minsky, *Engines of creation*. 1990: Fourth Estate London.
6. Jaeger, R.C., *Introduction to Microelectronic Fabrication: Volume 5 of Modular Series on Solid State Devices*. 2002.
7. Leutwyler, W.K., S.L. Bürgi, and H. Burgl, *Semiconductor clusters, nanocrystals, and quantum dots*. Science, 1996. **271**(5251): p. 933-937.
8. Nesheva, D., et al., *Silicon Oxide Films Containing Amorphous or Crystalline Silicon Nanodots for Device Applications*. 2012: INTECH Open Access Publisher.
9. Sousa, R.C. and I.L. Prejbeanu, *Non-volatile magnetic random access memories (MRAM)*. Comptes Rendus Physique, 2005. **6**(9): p. 1013-1021.
10. Psaltis, D., et al., *Optical memory disks in optical information processing*. Applied Optics, 1990. **29**(14): p. 2038-2057.
11. Rodriguez, N., F. Gamiz, and S. Cristoloveanu, *A-RAM memory cell: concept and operation*. Electron Device Letters, IEEE, 2010. **31**(9): p. 972-974.
12. Kosonocky, S.V. and A. Bhavnagarwala, *Quasi-static random access memory*, 2005, Google Patents.
13. Margala, M. *Low-power SRAM circuit design*. in *Memory Technology, Design and Testing, 1999. Records of the 1999 IEEE International Workshop on*. 1999. IEEE.
14. Mandelman, J.A., et al., *Challenges and future directions for the scaling of dynamic random-access memory (DRAM)*. IBM Journal of Research and Development, 2002. **46**(2.3): p. 187-212.
15. *Field-effect transistor memory*, 1968, Google Patents.

16. Lee, J.-S., *Progress in non-volatile memory devices based on nanostructured materials and nanofabrication*. Journal of Materials Chemistry, 2011. **21**(37): p. 14097-14112.
17. Pavan, P., L. Larcher, and A. Marmiroli, *Floating Gate Devices: Operation and Compact Modeling*. 2004: Springer.
18. Masgonty, J.-M., S. Cserveny, and C. Piguet. *Low Power SRAM and ROM Memories*. in *Proceedings PATMOS*. 2001. Citeseer.
19. Groeseneken, G., et al., *Basics of nonvolatile semiconductor memory devices*. Nonvolatile semiconductor memory technology, 1998: p. 1-88.
20. Frohman-Bentchkowsky, D., *FAMOS—A new semiconductor charge storage device*. Solid-State Electronics, 1974. **17**(6): p. 517-529.
21. Kolodny, A., et al., *Analysis and modeling of floating-gate EEPROM cells*. Electron Devices, IEEE Transactions on, 1986. **33**(6): p. 835-844.
22. Masuoka, F., et al. *A new flash E²PROM cell using triple polysilicon technology*. In *Electron Devices Meeting, 1984 International*. 1984.
23. Scott, J.F., *Ferroelectric memories*. Vol. 3. 2000: Springer Science & Business Media.
24. Xia, Q., et al., *Memristor—CMOS hybrid integrated circuits for reconfigurable logic*. Nano letters, 2009. **9**(10): p. 3640-3645.
25. Tehrani, S., et al., *Magnetoresistive random access memory using magnetic tunnel junctions*. Proceedings of the IEEE, 2003. **91**(5): p. 703-714.
26. Wuttig, M., *Phase-change materials: Towards a universal memory?* Nature materials, 2005. **4**(4): p. 265-266.
27. Sze, S.M., *Physics of Semiconductor Devices*. 2nd ed. 1981, New York,: John Wiley & Sons.
28. Joodaki, M., *Selected Advances in Nanoelectronic Devices*. 2013: Springer.
29. Porti M., A.M., Nafria M., Aymerich X., Carreras J., Jambois O. and Garrido B., *Nanoscale electrical characterization of Si-nc based memory metal-oxide-semiconductor devices*. Journal of Applied Physics, 2007. **101**(6): p. 064509.
30. Yater, J.A., *Implementation of Si nanocrystals in non-volatile memory devices*. physica status solidi (a), 2013. **210**(8): p. 1505-1511.

31. Park, N.-M., Shin, J., Kim, B., Kim, K.H. and Cheong, W-S., *Transparent non-volatile memory device using silicon quantum dots*. Electronic Materials Letters, 2013. **9**(4): p. 467-469.
32. Tiwari, S., Rana, F., Hanafi, H., Hartstein, A., Crabbé, E. F., Chan, K., *A silicon nanocrystals based memory*. Applied Physics Letters, 1996. **68**(10): p. 1377-1379.
33. Dimitrakis, P., Normand, P., Ioannou-Sougleridis, V., Bonafos, C., Schamm-Chardon, S., BenAssayag, G. and Iliopoulos, E, *Quantum dots for memory applications*. physica status solidi (a), 2013. **210**(8): p. 1490-1504.
34. Lee, J.-S., *Nonvolatile memory devices based on self-assembled nanocrystals*. Physica E: Low-dimensional Systems and Nanostructures, 2013. **51**: p. 94-103.
35. White, M.H., D.A. Adams, and J. Bu, *On the go with SONOS*. Circuits and Devices Magazine, IEEE, 2000. **16**(4): p. 22-31.
36. Bhushan, B., *Springer handbook of nanotechnology*. 2010: Springer Science & Business Media.
37. Guo, L., E. Leobandung, and S.Y. Chou, *A silicon single-electron transistor memory operating at room temperature*. Science, 1997. **275**(5300): p. 649-651.
38. Wellner, A., et al., *Mechanisms of visible photoluminescence from nanoscale silicon cones*. Journal of applied physics, 2002. **91**(5): p. 3294-3298.
39. Marconi, A., et al., *High power efficiency in Si-nc/SiO₂ multilayer light emitting devices by bipolar direct tunneling*. Applied Physics Letters, 2009. **94**(22): p. 221110.
40. Peláez, B.M.M., *Nanocristales de silicio: para mejorar la eficiencia de las celdas solares*. Nanocristales de silicio, 2010(14): p. 9-18.
41. Conibeer, G., et al., *Silicon nanostructures for third generation photovoltaic solar cells*. Thin Solid Films, 2006. **511**: p. 654-662.
42. Shimizu-Iwayama, T., Kurumado, N., Hole, D.E. and Townsend, P.D., *Optical properties of silicon nanoclusters fabricated by ion implantation*. Journal of Applied Physics, 1998. **83**(11): p. 6018-6022.
43. Murakami, K., et al., *Si nanocrystallites in SiO₂ with intense visible photoluminescence synthesized from SiO_x films deposited by laser ablation*. Applied Physics A, 1999. **69**(1): p. S13-S15.

44. Littau, K.A., Szajowski, P.J., Muller, A.J., Kortan, A.R. and Brus, L.E., *A luminescent silicon nanocrystal colloid via a high-temperature aerosol reaction*. The Journal of Physical Chemistry, 1993. **97**(6): p. 1224-1230.
45. Seifarth, H., et al., *Preparation of SiO₂ films with embedded Si nanocrystals by reactive rf magnetron sputtering*. Thin Solid Films, 1998. **330**(2): p. 202-205.
46. Inokuma, T., et al., *Optical properties of Si clusters and Si nanocrystallites in high-temperature annealed SiO_x films*. Journal of applied physics, 1998. **83**(4): p. 2228-2234.
47. Iacona, F., Franzò, G. and Spinella, C., *Correlation between luminescence and structural properties of Si nanocrystals*. Journal of Applied Physics, 2000. **87**(3): p. 1295-1303.
48. Lia A. P., B.G.F., Chena K.M., Mab Z.C., Zongb W.H., Zhanga Y.X., Qina G.G., Thin Solid Films, 1998. **325**: p. 137.
49. Toyama, T., et al., *Visible photo-and electroluminescence from electrochemically formed nanocrystalline Si thin film*. Applied Physics Letters, 1996. **69**(9): p. 1261-1263.
50. Alexandrova, S., P. Danesh, and I. Maslyanitsyn, *SHG and AFM study of PECVD a-Si: H films*. vacuum, 2002. **69**(1): p. 391-394.
51. Rose, M., et al. *Aspects of non-volatility in a-Si: H memory devices*. in *MRS Proceedings*. 1992. Cambridge Univ Press.
52. Nicollian E. H., B.J.R., *MOS Physics and Technology*. 1982, New York John Wiley & Sons.
53. Diniz, J.A., *Tese de Mestrado*, in *Faculdade de Engenharia Elétrica e Computação* 1992, Universidade Estadual de Campinas Campinas.
54. Tsididis, Y. and C. McAndrew, *Operation and Modeling of the MOS Transistor*. 2011: Oxford Univ. Press.
55. Hanafi, H.I., Tiwari, S. and Khan, I., *Fast and long retention-time nano-crystal memory*. Electron Devices, IEEE Transactions on, 1996. **43**(9): p. 1553-1558.
56. Yun, F., et al., *Study of structural and optical properties of nanocrystalline silicon embedded in SiO₂*. Thin Solid Films, 2000. **375**(1): p. 137-141.
57. Swart, J., I. Doi, and J. Diniz, *Oficina de Microfabricação: Projeto e Construção de CI's MOS*. Campinas, Universidade Estadual de Campinas, 2006.
58. Bourdillon, A.J., et al. *Near-field x-ray lithography to 15 nm*. in *Microlithography 2004*. 2004. International Society for Optics and Photonics.

59. Available from: <http://farotex.com/technology.html>.
60. Ohring, M., *Materials science of thin films*. 2001: Academic press.
61. Dias, G.O., *Propriedades opticas e eletricas de nanoestruturas de Si*. 2009.
62. Muñoz, S.N.M., *ESTUDO DE LASERES SEMICONDUCTORES DE CAVIDADES RESSONANTES NÃO CONVENCIONAIS OBTIDAS POR PLASMA SECO*, 2001, Universidade Estadual de Campinas.
63. Skoog, D.A., F.J. Holler, and T. Nieman, *Instrumental Analysis Principles*. 2007: Brooks/Cole.
64. Stuart, B., *Infrared spectroscopy*. 2005: Wiley Online Library.
65. Colthup, N., *Introduction to infrared and Raman spectroscopy*. 2012: Elsevier.
66. Barrera, C.E., F. J. C. Martínez, R. Vázquez-Rodríguez y M. Ortega, *Applications of Spectroscopic Ellipsometry and Its Use in the Characterization of Materials Used in Solar Energy Capture*.
67. Aspnes, D.E., *Spectroscopic ellipsometry—A perspective*. Journal of Vacuum Science & Technology A, 2013. **31**(5): p. 058502.
68. J.A. Woollam Co., I., J.A. Woollam Co., Inc., in J.A. Woollam Co., Inc.
69. J.N. Hilfiker and R.A. Synowicki, J.A.W.C., Lincoln, NE, *Spectroscopic Ellipsometry Methods for Thin Absorbing Coatings*.
70. G.E. Jellison Jr., V.I.M., A.A. Puretzky, D.B. Geohegan, G. Eres, D.H. Lowndes, J.B. Caughman, *Characterization of thin-film amorphous semiconductors using spectroscopic ellipsometry*. Thin solid films, 2000: p. 68-73.
71. J.A. Woollam, *Manual of Ellipsometry - WVASE32*, New York, 1997, WextechSystem, Inc.,.
72. Tompkins, H. and E.A. Irene, *Handbook of ellipsometry*. 2005: William Andrew.
73. Yu, P.Y. and M. Cardona, *Fundamentals of semiconductors*. 2005: Springer.
74. Pankove, J.I., *Optical processes in semiconductors*. 2012: Courier Corporation.
75. Ladd, M.F.C., R.A. Palmer, and R.A. Palmer, *Structure determination by X-ray crystallography*. 1985: Springer.
76. Wiesendanger, R., *Scanning probe microscopy and spectroscopy: methods and applications*. 1994: Cambridge University Press.

77. Liao, Y., *Practical Electron Microscopy and Database*. 2012.
78. Streetman, B.G. and S. Banerjee, *Solid state electronic devices*. Vol. 4. 2000: Prentice Hall Upper Saddle River, NJ.
79. Schroder, D.K., *Semiconductor material and device characterization*. 2006: John Wiley & Sons.
80. Blanquel, S.d.G., *Caracterización eléctrica de películas de óxido de silicio ultradelgadas*. Tesis de Licenciatura, 2003, Universidad Autónoma de Puebla.
81. S., D., *Semiconductor Material and Devices Characterization*, J.W. Sons, Editor. 1998.
82. T., H., *Gate Dielectrics and MOS ULSIs : Principles, Technologies, and Applications*. 1997: Springer.
83. Fowler, R.H. and L. Nordheim. *Electron emission in intense electric fields*. In *Proc. R. Soc. London, Ser. A*. 1928.
84. Nesheva, D., et al., *Memory effect in MIS structures with amorphous silicon nanoparticles embedded in ultra thin SiO_x matrix*. Journal of Physics and Chemistry of Solids, 2007. **68**(5): p. 725-728.
85. Curiel, M., et al. *Formation of Si nanocrystals in thin SiO₂ films for memory device applications*. in *Materials Science Forum*. 2010. Trans Tech Publ.
86. Nesheva, D., et al., *Absorption and transport properties of Si rich oxide layers annealed at various temperatures*. Semiconductor Science and Technology, 2008. **23**(4): p. 045015.
87. Curiel, M., et al., *Microstructural characterization of thin SiO_x films obtained by physical vapor deposition*. Materials Science and Engineering: B, 2010. **174**(1): p. 132-136.
88. Dombrowski, K.F., *Micro-raman investigation of mechanical stress in Si device structures and phonons in SiGe*, 2000, Universitätsbibliothek.
89. Klapetek, P., D. Necas, and C. Anderson, *Gwyddion user guide*. Online <http://gwyddion.net>, 2004.
90. Yu, Z., et al., *Structural and optical properties of Si/SiO₂ superlattices prepared by low pressure chemical vapor deposition*. Journal of Applied Physics, 2006. **100**(1): p. 013524.

91. Alayo, M., et al., *On the nitrogen and oxygen incorporation in plasma-enhanced chemical vapor deposition (PECVD) SiO_x N_y films*. Thin Solid Films, 2002. **402**(1): p. 154-161.
92. Pai, P., et al., *Infrared spectroscopic study of SiO_x films produced by plasma enhanced chemical vapor deposition*. Journal of Vacuum Science & Technology A, 1986. **4**(3): p. 689-694.
93. Young, T., et al., *Study on the Si–Si Vibrational States of the Near Surface Region of Porous Silicon*. Journal of Porous Materials, 2000. **7**(1-3): p. 339-343.
94. Chao, S., et al., *Chemical states study of Si in SiO_x films grown by PECVD*. Applied Surface Science, 1986. **26**(4): p. 575-583.
95. Salh, R., et al., *Cathodoluminescence of SiO_x under-stoichiometric silica layers*. physica status solidi (a), 2006. **203**(8): p. 2049-2057.
96. Tsu, D.V., G. Lucovsky, and M. Mantini, *Local atomic structure in thin films of silicon nitride and silicon diimide produced by remote plasma-enhanced chemical-vapor deposition*. Physical Review B, 1986. **33**(10): p. 7069.
97. Banerji, N., et al., *Oxidation processes in hydrogenated amorphous silicon nitride films deposited by ArF laser-induced CVD at low temperatures*. Thin Solid Films, 1998. **317**(1): p. 214-218.
98. Brodsky, M., M. Cardona, and J. Cuomo, *Infrared and Raman spectra of the silicon-hydrogen bonds in amorphous silicon prepared by glow discharge and sputtering*. Physical Review B, 1977. **16**(8): p. 3556.
99. Orduña-Díaz, A., et al., *FTIR and electrical characterization of a-Si: H layers deposited by PECVD at different boron ratios*. Materials Science and Engineering: B, 2010. **174**(1): p. 93-96.
100. Collins, R. and H. Fan, *Infrared lattice absorption bands in germanium, silicon, and diamond*. Physical Review, 1954. **93**(4): p. 674.
101. Biasotto, C., et al., *Deposition of sacrificial silicon oxide layers by electron cyclotron resonance plasma*. Journal of Vacuum Science & Technology B, 2007. **25**(4): p. 1166-1170.
102. Sari, S., P.H. Smith, and H. Gurev, *Observation of an oxygen resonance in reflectivity from weakly absorbing thin silicon layers*. Physical Review B, 1977. **15**(10): p. 4817.

103. Nedev, N., et al. *Memory effect in MOS structures containing amorphous or crystalline silicon nanoparticles*. in *Microelectronics, 2008. MIEL 2008. 26th International Conference on*. 2008. IEEE.
104. Nesheva, D., et al., *Raman scattering and photoluminescence from Si nanoparticles in annealed SiO_x thin films*. *Journal of applied physics*, 2002. **92**(8): p. 4678-4683.
105. Iqbal, Z. and S. Veprek, *Raman scattering from hydrogenated microcrystalline and amorphous silicon*. *Journal of Physics C: Solid State Physics*, 1982. **15**(2): p. 377.
106. Borowicz, P., et al., *Deep-ultraviolet Raman investigation of silicon oxide: thin film on silicon substrate versus bulk material*. *Advances in Natural Sciences: Nanoscience and Nanotechnology*, 2012. **3**(4): p. 045003.
107. Popovic, D., et al., *Raman scattering analysis of silicon dioxide single crystal treated by direct current plasma discharge*. *Applied Physics Letters*, 2011. **98**(5): p. 051503-051503-3.
108. Rojas-López, M., et al., *a-Si: H crystallization from isothermal annealing and its dependence on the substrate used*. *Materials Science and Engineering: B*, 2010. **174**(1): p. 137-140.
109. Waman, V., et al., *Influence of the deposition parameters on the microstructure and optoelectrical properties of hydrogenated nanocrystalline silicon films by HW-CVD*. *Journal of Non-Crystalline Solids*, 2011. **357**(21): p. 3616-3622.
110. Cen, Z., et al., *Visible light emission from single layer Si nanodots fabricated by laser irradiation method*. *Applied physics letters*, 2006. **89**(16): p. 163107.
111. *Filmetrics Database*. October 2, 2012.; Available from: <http://www.filmetrics.com/refractive-index-database/SiO/Silicon-Monoxide-Silicon-Oxides>.
112. Donchev, V., et al., *Characterization of Si-SiO_x nanocomposite layers by comparative analysis of computer simulated and experimental infra-red transmission spectra*. *Thin Solid Films*, 2012. **520**(6): p. 2085-2091.
113. Gallas, B., et al., *Optical properties of Si nanocrystals embedded in SiO₂*. *Physical Review B*, 2005. **72**(15): p. 155319.
114. Malitson, I., *Interspecimen comparison of the refractive index of fused silica*. *JOSA*, 1965. **55**(10): p. 1205-1208.

115. Wen, G., et al., *Photoluminescence properties and crystallization of silicon quantum dots in hydrogenated amorphous Si-rich silicon carbide films*. Journal of Applied Physics, 2014. **115**(16): p. 164303.
116. Ding, L., et al., *Optical properties of silicon nanocrystals embedded in a SiO₂ matrix*. Physical Review B, 2005. **72**(12): p. 125419.
117. Bonafos, C., et al., *Controlled fabrication of Si nanocrystal delta-layers in thin SiO₂ layers by plasma immersion ion implantation for nonvolatile memories*. Applied Physics Letters, 2013. **103**(25): p. 253118.
118. Hayashi, S. and K. Yamamoto, *Optical properties of Si-rich SiO₂ films in relation with embedded Si mesoscopic particles*. Journal of luminescence, 1996. **70**(1): p. 352-363.
119. Shcherbyna, Y.S. and T. Torchynska, *Optical and structural investigation of Si nanoclusters in amorphous hydrogenated silicon*. Thin Solid Films, 2010. **518**(6): p. S204-S207.
120. Chen, I.-C., et al., *Kinetic Study of the Thermal Crystallization Behavior of Hydrogenated Amorphous Silicon Prepared by ECRCVD*. ECS Journal of Solid State Science and Technology, 2014. **3**(5): p. N75-N82.
121. Coyopol, A., et al., *Evolution on the structural and optical properties of SiO_x films annealed in nitrogen atmosphere*. Journal of Luminescence, 2014. **145**: p. 88-93.
122. Nedev, N., et al. *Electrical characterization of MOS structures with self-organized three-layer gate dielectric containing Si nanocrystals*. in *Journal of Physics: Conference Series*. 2010. IOP Publishing.
123. Lu, T., et al., *Multilevel charge storage in silicon nanocrystal multilayers*. Applied Physics Letters, 2005. **87**(20): p. 202110.
124. Ammendola, G., et al., *Nanocrystal memories for FLASH device applications*. Solid-State Electronics, 2004. **48**(9): p. 1483-1488.
125. Decossas, S., et al., *Atomic force microscopy nanomanipulation of silicon nanocrystals for nanodevice fabrication*. Nanotechnology, 2003. **14**(12): p. 1272.
126. S. K. Ray, S.M., W. Banerjee and S. Das, *Nanocrystals for silicon-based light-emitting and memory devices*. Journal of Physics D: Applied Physics, 2013. **46**(15): p. 153001.
127. Yang, K.J. and C. Hu, *MOS capacitance measurements for high-leakage thin dielectrics*. IEEE Transactions on Electron Devices, 1999. **46**(7): p. 1500-1501.

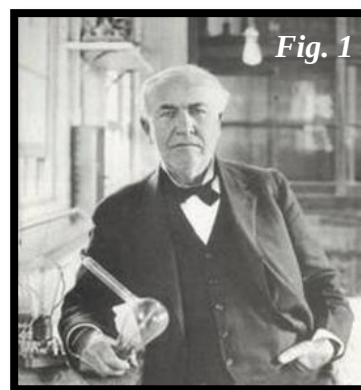
128. Nicollian, E.H., Brews, J. R. , *MOS Physics and Technology* Vol. 2. 1982, New York: Wiley-Interscience Publication.
129. Yi, L., et al., *Si rings, Si clusters, and Si nanocrystals—different states of ultrathin SiO_x layers*. Applied physics letters, 2002. **81**(22): p. 4248-4250.
130. Nedev, N., et al., *Metal-Oxide-Semiconductor Structures Containing Silicon Nanocrystals for Application in Radiation Dosimeters*. Sensor Letters, 2012. **10**(3-4): p. 833-837.

Apéndice I

“El Nacimiento de la Microelectrónica”

“La Microelectrónica no es nada más y nada menos que la aplicación del conocimiento de la ingeniería electrónica en el diseño, fabricación e implementación de dispositivos y circuitos con dimensiones micrométricas (10^{-6} m) es decir de un tamaño muy, pero muy pequeño, muy cercano al nivel microscópico, con gran funcionabilidad y efectividad, en otras palabras de calidad.”

Es imprescindible tener una noción sobre la historia de la microelectrónica, su evolución y su paso a la nanotecnología teniendo una visión clara de lo que esto implica. En nuestra vida cotidiana, podemos encontrar esta tecnología, en dispositivos tales como: *i-Pad's*, *PC's*, *teléfonos celulares*, *cámaras digitales*, *dispositivos de memoria*, *sensores*, *celdas solares*, entre otros. Ahora que comprendemos el significado y donde podemos encontrar esta tecnología, es necesario saber cómo y de donde surgió todo esto. Varios historiadores de la tecnología consideran al *Transistor* como el mayor invento del siglo XX. Es el dispositivo electrónico que impulso en gran medida y dio lugar a los circuitos integrados y demás elementos de la alta escala de integración, los cuales son utilizados en la industria microelectrónica, puede decirse que la era de las comunicaciones ha podido establecerse gracias al transistor. Se puede considerar que el inicio de la microelectrónica comienza con las aportaciones que Thomas Alva Edison (*Fig.1*), realizó con su investigación sobre el *“Efecto de Emisión Termoiónica”*, aunque originalmente fue reportada por Frederick Guthrie en 1873. Esta investigación consistía en aminorar el oscurecimiento del vidrio en las lámparas incandescentes debido al uso, por lo que introdujo uno de los electrodos en forma de placa en una ampolla y posteriormente polarizó eléctricamente con el fin de atraer las partículas que se desprendían del filamento. A pesar de que Edison no comprendía a nivel físico el funcionamiento, y desconocía el potencial de su descubrimiento, en 1884 lo patentó bajo el nombre de *“Efecto Edison”*.



❖ La Era del Bulbo

El Efecto Edison consistía en agregar un electrodo plano (placa), cuando el filamento se calienta, esto produce una agitación de los átomos del material que lo recubre, y los electrones en las órbitas de valencia son acelerados, alcanzando velocidades de escape, con lo que se forma una nube de electrones por encima del mismo. La nube es fuertemente atraída por la placa, y debido al potencial positivo aplicado en la misma, da lugar a la circulación de una corriente electrónica a través de la válvula, entre el filamento y el ánodo. La válvula termoiónica más simple está constituida por una ampolla de vidrio, similar a la de las lámparas incandescentes, a la que se le ha practicado el vacío y en la que se hallan encerrados dos electrodos, denominados *cátodo* y *ánodo*.



Fig. 2

Físicamente, el cátodo, consiste en un filamento de wolframio, recubierto por una sustancia rica en electrones libres, que se calienta mediante el paso de una corriente. El ánodo está formado por una placa metálica que rodea al filamento a una cierta distancia y a la que se aplica un potencial positivo. Por constar de dos electrodos a la válvula antes descrita se le denomina “*Diodo*”. (Fig. 2). Debido al hecho de que la corriente por el interior de la válvula solo puede circular en un sentido, una de las aplicaciones de las válvulas termoiónicas (bulbo) es su utilización como “*Rectificador*”. Asimismo, y dado que con pequeñas diferencias de potencial aplicadas entre rejilla y cátodo se pueden producir variaciones considerables de la corriente circulante entre cátodo y ánodo, otra aplicación, posiblemente la más importante, es como “*Amplificador*”.

❖ La Era del Transistor

Después de esta gran aportación, el físico Julius Edgar Lilienfeld (Fig. 3) de origen austrohúngaro inventó el “Condensador Electrolítico” en la década de 1920 y sobre 1925 el “Transistor de efecto de campo”, FET (del inglés *Field Effect Transistor*). Aunque no se encontraron evidencias de que lograra construirlo (ya que no contaban con la tecnología de hoy en día), pero llegó a formular teóricamente su funcionamiento con bastante precisión. Registró además algunas patentes sobre su construcción y funcionamiento, esto es algo que sólo se pudo conseguir más tarde, con el desarrollo de la tecnología del Si. Podemos concluir que los primeros años de la década de 1950 comenzó a desarrollarse la microelectrónica como efecto de la aparición del transistor en 1948.



Fig. 3



Fig. 4

William Bradford Shockley

John Bardeen

Walter Houser Brattain

Para que todo esto fuera posible tuvo que aparecer un personaje muy importante que daría un gran paso para la industria de la microelectrónica, el físico estadounidense: William Bradford

Shockley, quien en conjunto con John Bardeen y Walter Houser Brattain (Fig. 4), por sus investigaciones sobre semiconductores, descubrieron el “Efecto Transistor” en 1948. Cuando los inventores del primer transistor experimental, Walter Houser Brattain, John Bardeen y William Shockley, intentaron patentarlo, muchas de sus solicitudes fueron rechazadas debido principalmente a la existencia de patentes por parte de Julius Edgar Lilienfeld.

En 1955, Shockley abandonó los *laboratorios Bell*, donde trabajaba y regresó a su ciudad natal, *Palo Alto, California*, en las proximidades de la *Universidad de Stanford*, para crear su propia empresa, la cual bautizó con el nombre “*Shockley Semiconductores Laboratory*”, con el apoyo económico de Arnold Beckman de “*Beckman Instruments*”. Contando con la influencia de su prestigio y el respaldo económico de Beckman Instruments trató de convencer a varios de sus compañeros de trabajo de Bell que se unieran a él en la nueva empresa, pero ninguno quiso.

Por lo que empezó a buscar en las universidades a los más destacados estudiantes para formar con ellos su empresa. Sus intenciones eran desarrollar un nuevo tipo de diodo de 4 capas que pudiera trabajar más rápido y tuviera más usos que los transistores de la época, por lo que entre sus publicaciones destacó: *"Electrones y huecos en el semiconductor"*, obra publicada en 1950. También fueron galardonados con el *Premio Nobel de Física* en 1956.

Desafortunadamente, dado su estilo de trabajo, ocho de los investigadores abandonaron la compañía en 1957 para formar la empresa “*Fairchild Semiconductor*”, estos investigadores fueron: *Julius Blank, Victor Grinich, Jean Hoerni, Eugene Kleiner, Jay Last, Gordon E. Moore, Robert Noyce y Sheldon Roberts* (Fig. 5). A estos ocho investigadores se les conoce como “*Los Ocho Traidores*”, término despectivo usado por William Shockley, director del laboratorio Shockley.



Los Ocho Traidores dejaron el laboratorio por sus desacuerdos con el estilo gerencial de William Shockley, pues quería que la investigación se hiciera a su manera, en espera de un cierto resultado en lugar de permitir que el desarrollo de la investigación los guiara al resultado. Los ocho investigadores fueron con Arnold Beckman y le pidieron que reemplazara a Shockley, Beckman intentó encontrar a un nuevo gerente y dejó a Shockley como director con poderes limitados, mientras la búsqueda se extendía se volvió claro que Beckman no podría encontrar a un reemplazo, así que reintegró a Shockley en todas sus responsabilidades. Los ocho hombres renunciaron y firmaron un contrato de investigación con la Corporación Fairchild de cámaras e instrumentos para formar *Fairchild Semiconductor*.

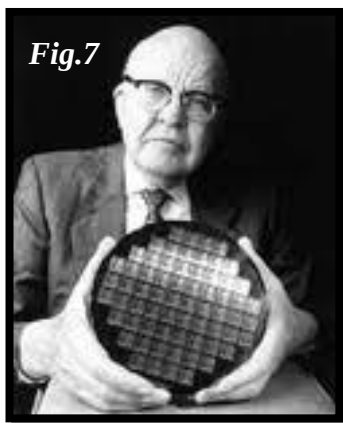
En 1957, Fairchild Semiconductor inició su andadura con planes para fabricar transistores de Si, aunque en aquel tiempo el Ge era el un material habitual y dominante en la producción de estos dispositivos. Con el pasar de los años los miembros abandonaron la compañía y crearon la propia, entre las cuales destacan las siguientes:

- *Signetics-1961: David Allison, David James, Lionel Kattner, Mark Weissenstern y otros*
- *National Semiconductor-1967: Charles Sporck, Bob Wildar y otros. National Semiconductor ya existía como compañía anteriormente, pero fueron estos "fichajes" los que le proporcionaron su preponderancia en los 70-80's.*
- *Intel-1968: Robert Noyce, Gordon Moore (Fig. 6) y otros.*
- *AMD-1969: W. J. Sanders III y otros.*
- *Synertek-1973: Robert Schreiner y otros.*
- *Zilog-1974: Federico Faggin (tras pasar por Intel)*
- *LSI Logic-1980: Wilfred Corrigan.*
- *Linear Technology-1981: Robert Swanson, Robert Dobkin (Tras pasar por National Semiconductor)*



El primer transistor pronto estuvo en el mercado y el primer lote de 100 fue vendido a *IBM-International Business Machines* por \$150 USD, cada uno. Sin embargo, sólo dos años después, ya podían fabricar un circuito con cuatro transistores en la misma oblea de Si, creando el primer circuito integrado de silicio.

❖ La Era del Circuito Integrado



Jack Kilby, (Fig. 7) de *Texas Instruments*, había desarrollado y obtenido la patente del primer “*Circuito Integrado*” (Fig. 8) de Ge el 12 de septiembre de 1958, fue galardonado con el Premio Nobel de Física en el año 2000 junto con Robert Noyce, por la contribución de su invento al desarrollo de la tecnología de la información, los cuales se encuentran en todos los aparatos electrónicos modernos.

Los Transistores Metal-Óxido-Semiconductor de efecto de campo (MOSFET) permitieron un diseño extremadamente compacto y necesario para los circuitos altamente integrados. Para tener una idea aproximada, es posible fabricar varios cientos de miles de transistores interconectados, por centímetro cuadrado y en varias capas. En la actualidad la mayoría de los circuitos se construyen basándose en la tecnología CMOS (*Complementary MOS*) es un diseño de dos diferentes MOSFET's (*canal n y p*), que se complementan mutuamente y consumen muy poca corriente en un funcionamiento sin carga.

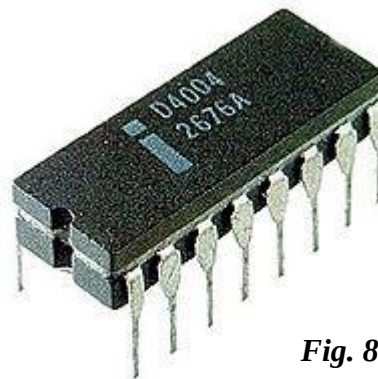


Fig. 8

Sin embargo, el desarrollo de la microelectrónica solo fue utilizada por el público en general hasta los años setenta, cuando los progresos en la tecnología de semiconductores, llevo al desarrollo del CI. El mayor potencial de esta tecnología se encontró en las comunicaciones, particularmente en: *satélites, cámaras de televisión y en la telefonía*, aunque más tarde la microelectrónica se desarrolló con mayor rapidez en otros productos independientes como calculadoras de bolsillo y relojes digitales, así también a principios de los 80's comenzó el surgimiento de los “*Micro-Chips*”.

❖ **La Era del Microprocesador**

Así mismo en los años 50's, aparecieron las primeras computadoras digitales de propósito general. Se fabricaron utilizando tubos al vacío como componentes electrónicos activos. Tarjetas o módulos de tubos al vacío componían circuitos lógicos básicos, tales como compuertas y flip-flops. Ensamblando compuertas y flip-flops en módulos se construyó la primera computadora electrónica (la lógica de control, circuitos de memoria, etc.). Los tubos de vacío también formaron parte de la construcción de máquinas para la comunicación con las computadoras.

Un paso trascendental en el diseño de la computadora fue hacer que el dato fuera almacenado en memoria, como una forma de palabra digital. La idea de almacenar programas en memoria para luego ejecutarlo fue de fundamental importancia en la tecnología de los circuitos de estado sólido que revolucionó la década de los 50's.

El empleo del Si, de bajo costo y con métodos de producción masiva, hizo del transistor el componente más usado para el diseño de circuitos electrónicos. Por lo tanto el diseño de la computadora digital tuvo un gran avance el reemplazo del tubo al vacío por el transistor, a finales de esta misma década.

Con este gran avance de la implementación de los CI's, a principios de los 60's, la construcción de computadoras de estado sólido sufrió un notable avance; surgieron las tecnologías en circuitos digitales como: RTL (*Lógica Transistor Resistor*), DTL (*Lógica Transistor Diodo*), TTL (*Lógica Transistor Transistor*), ECL (*Lógica Complementada Emisor*). A principios de los 70's surgieron los sistemas LSI (*alta escala de integración*), haciendo posible incrementar la cantidad de componentes en los circuitos integrados, donde las primeras calculadoras electrónicas requerían entre 75 y 100 circuitos integrados. Después se dio un paso importante en la reducción de la arquitectura de la computadora a un circuito integrado simple, resultando uno que fue llamado: “*microprocesador*”, unión de las palabras “*Micro*” del griego, “pequeño”, y procesador.

El microprocesador es producto de la evolución de distintas tecnologías predecesoras, surgido de la computación y la tecnología semiconductora; en los inicios no existían los procesadores tal y como los conocemos. El inicio de su desarrollo data de mitad de la década de 1950; estas tecnologías se fusionaron a principios de los años 70, produciendo el “*primer microprocesador*”. Tales tecnologías iniciaron su desarrollo a partir de la segunda guerra mundial; en este tiempo los científicos desarrollaron computadoras específicas para aplicaciones militares y posteriormente a la guerra, la computación digital emprendió un fuerte desarrollo para propósitos científicos y civiles. El gran paso que se dio al juntar tecnologías como la computación y la microelectrónica resultó en el perfeccionamiento de los microprocesadores.

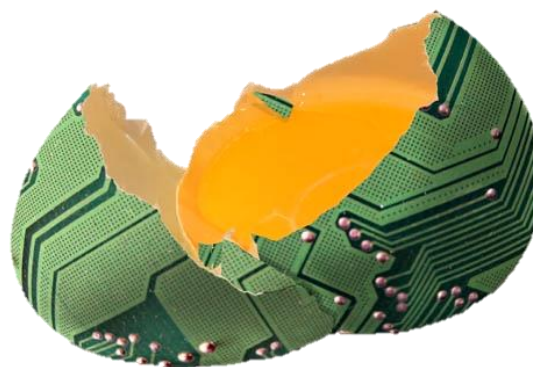


Fig. 9

Entre los más populares y comerciales, han sido los siguientes:

- 1971: Intel 4004: Orgullosamente el primer microprocesador del mundo, desarrollado por Intel. Era un CPU de 4 bits, con 2.300 transistores y podía realizar hasta 60.000 operaciones por segundo, trabajando a una frecuencia de 700KHz.
- 1972: Intel 8008
- 1974: SC/MP
- 1974: Intel 8080
- 1975: Motorola 6800
- 1976: Z80
- 1978: Intel 8086 y 8088
- 1982: Intel 80286
- 1985: Intel 80386
- 1985: VAX 78032
- 1989: Intel 80486
- 1991: AMD AMx86
- 1993: Intel Pentium
- 1994: PowerPC 620
- 1995: Intel Pentium Pro
- 1996: AMD K5
- 1996: AMD K6 y AMD K6-2
- 1997: Intel Pentium II
- 1998: Intel Pentium II Xeon
- 1999: Intel Celeron
- 1999: AMD Athlon K7 (Classic y Thunderbird)
- 1999: Intel Pentium III
- 1999: Intel Pentium III Xeon
- 2000: Intel Pentium 4
- 2001: AMD Athlon XP
- 2004: Intel Pentium 4 (Prescott)
- 2004: AMD Athlon 64
- 2006: Intel Core Duo
- 2007: AMD Phenom
- 2008: Intel Core Nehalem
- 2008: AMD Phenom II y Athlon II
- 2011: Intel Core Sandy Bridge
- 2011: AMD Fusion
- 2012: Intel Core Ivy Bridge
- 2013: Intel Core i7 y Haswell
- 2014: AMD Steamroller
- 2014: Intel Core M na IFA
- 2015: AMD Carrizo y Excavator
- 2015: Intel Skylake

A lo largo de todos estos años se han ido creando nuevas y mejores tipos de tecnologías, hablar de la historia de la microelectrónica, podría sonar como un cuento de nunca acabar, es imposible hablar de todo, sin perder de vista algún acontecimiento importante, y no compartirlo sería un golpe muy duro para la historia. En definitiva, el desarrollo de nueva tecnología está acompañado de una constante búsqueda por reducir el tamaño de los dispositivos, para incrementar su densidad y capacidad de almacenar información a velocidades superiores. Este desarrollo es un compromiso que se está llevando a cabo en gran parte del mundo, donde a diario se encuentran soluciones a los problemas tecnológicos existentes, innovaciones a los productos ya existentes y el nacimiento de otros, gracias a que la gran comunidad científica está planificando la tecnología futura. El principio básico para crear tecnología es primeramente la imaginación, pues la tecnología, ha existido desde siempre, solo hace falta quien la descubra y la haga pública, para brindar a la sociedad una mejor calidad de vida. Precisamente es aquí donde la era de los Semiconductores y la Microelectrónica le abren paso a la Nanotecnología.



“La Imaginación es la Incubadora de la Tecnología.”

-David Mateos-

Apéndice II

“Proceso de Fabricación del Capacitor MOS”.

- a) Deposición de aluminio (Al) para el contacto de puerta de $\sim 500\text{nm}$ por *r.f. sputtering* (Fig. 1).

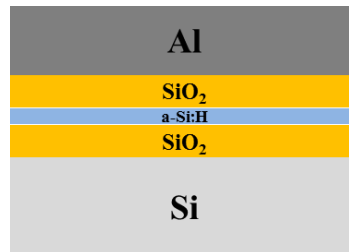


Fig. 1

- b) Ajustar revoluciones del spinner a 6,000 rpm y aplicar *Hexa-metil-disilizano (HDMS)* sólo si la humedad del ambiente está por arriba del 50%, esto es para una mejor adherencia del *photoresist* a las películas depositadas. Aplicar lo suficiente para cubrir la oblea y encender el *spinner* por 40seg, detener y esperar 60seg para que el HDMS se adhiera a la oblea (Fig. 2). Aplicar *photoresist* AZ-1518, únicamente lo necesario para cubrir la oblea, encender el spinner por 30 segundos y detener (Fig. 3).

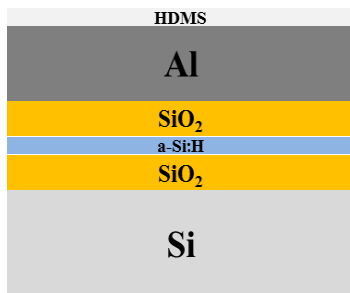


Fig. 2



Fig. 3

- c) Utilizando una foto-alineadora se ajusta la máscara con la muestra (Fig. 4). Posteriormente se realiza la exposición de luz UV-VIS para sensibilizar el *photoresist* (Fig. 5).

Máscara para capacitor
circular de 200nm de diámetro

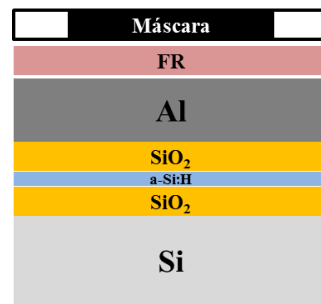
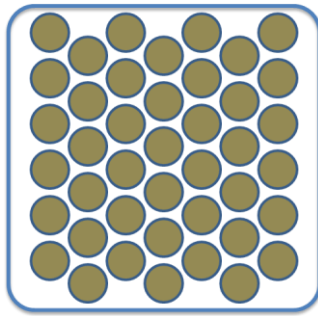


Fig. 4

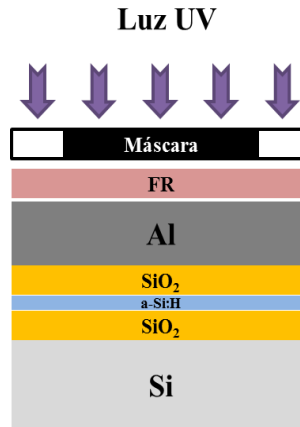


Fig. 5

- d) Una vez sensibilizado el *photoresist*, revelar con MIF (Fig. 6). Posteriormente un *hardbake* a 110°C por 20min para endurecer el *photoresist* (Fig. 7)



Fig. 6



Fig. 7

- e) Corrosión química del *Al* con HNO_3 para transferir el patrón de la máscara al metal (Fig. 8). Posteriormente remover el *photoresist* con limpieza orgánica (Fig. 9).

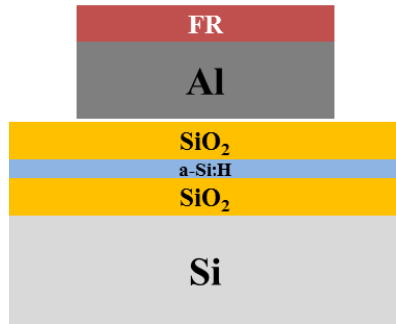


Fig. 8

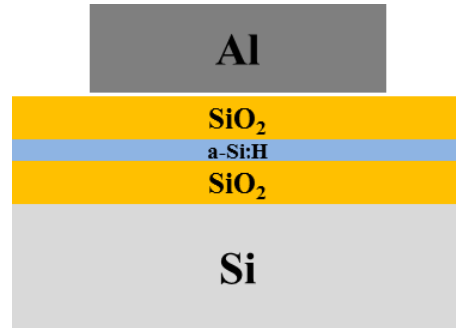


Fig. 9

- f) Retirar óxido nativo en los bordes y debajo del sustrato con HF (Fig. 10) y metalizar para formar el contacto trasero (Fig. 11).

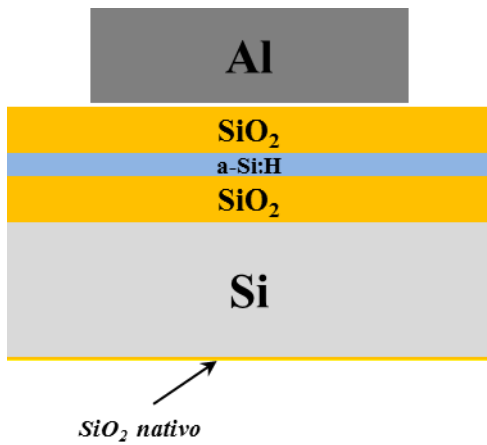


Fig. 10

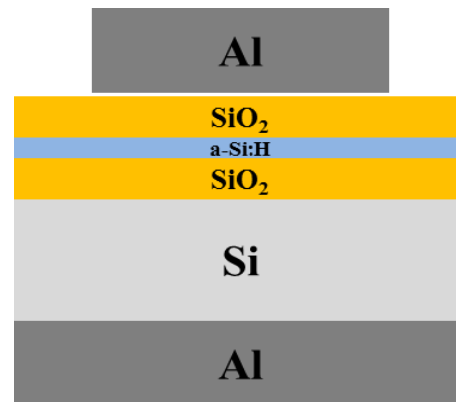


Fig. 11

“Equipo del Laboratorio”

- Sala de Fotolitografía: Paredes blancas y con iluminación amarilla, para evitar cualquier tipo de reflejo que pueda alterar el proceso de revelación (Fig. A).



Fig. A

- Deshumidificadores: Equipos para reducir la humedad del ambiente (Fig. B).



Fig. B

- Campana de extracción y spinner: Zona de trabajo ventilada para aplicación de agentes químicos (Fig. C) y equipo para distribuir homogéneamente los agentes químicos (Fig. D).



Fig. C



Fig. D

- Agentes Químicos: HDMS, para mejorar la adherencia del *photoresist* al sustrato (Fig. E). *Photoresist*, para proteger y grabar un patrón en el sustrato (Fig. F). MIF-300 para remover el *photoresist*, sensibilizado (Fig. G).



Fig. E

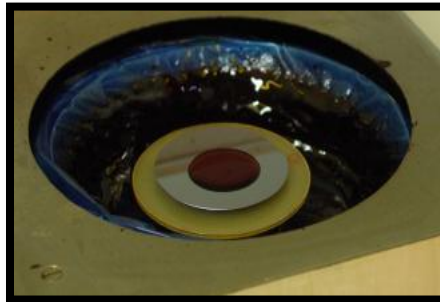


Fig. F



Fig. G

- Litografía: Foto-alineadora MJB3 Karl Zuss con resolución de hasta 1 μm (Fig. H). Máscara para realizar la transferencia de patrones al sustrato (Fig. I).



Fig. H

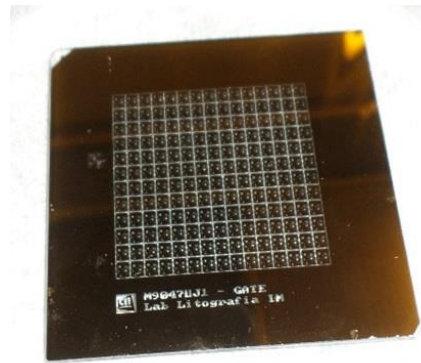


Fig. I

- Activación de photorresist y verificación de grabación: Hot-plate para fijar el photorresist sobre el sustrato (Fig. J). Microscopio Óptico utilizado para verificación de remoción del photorresist y grabación del patrón sobre el sustrato.



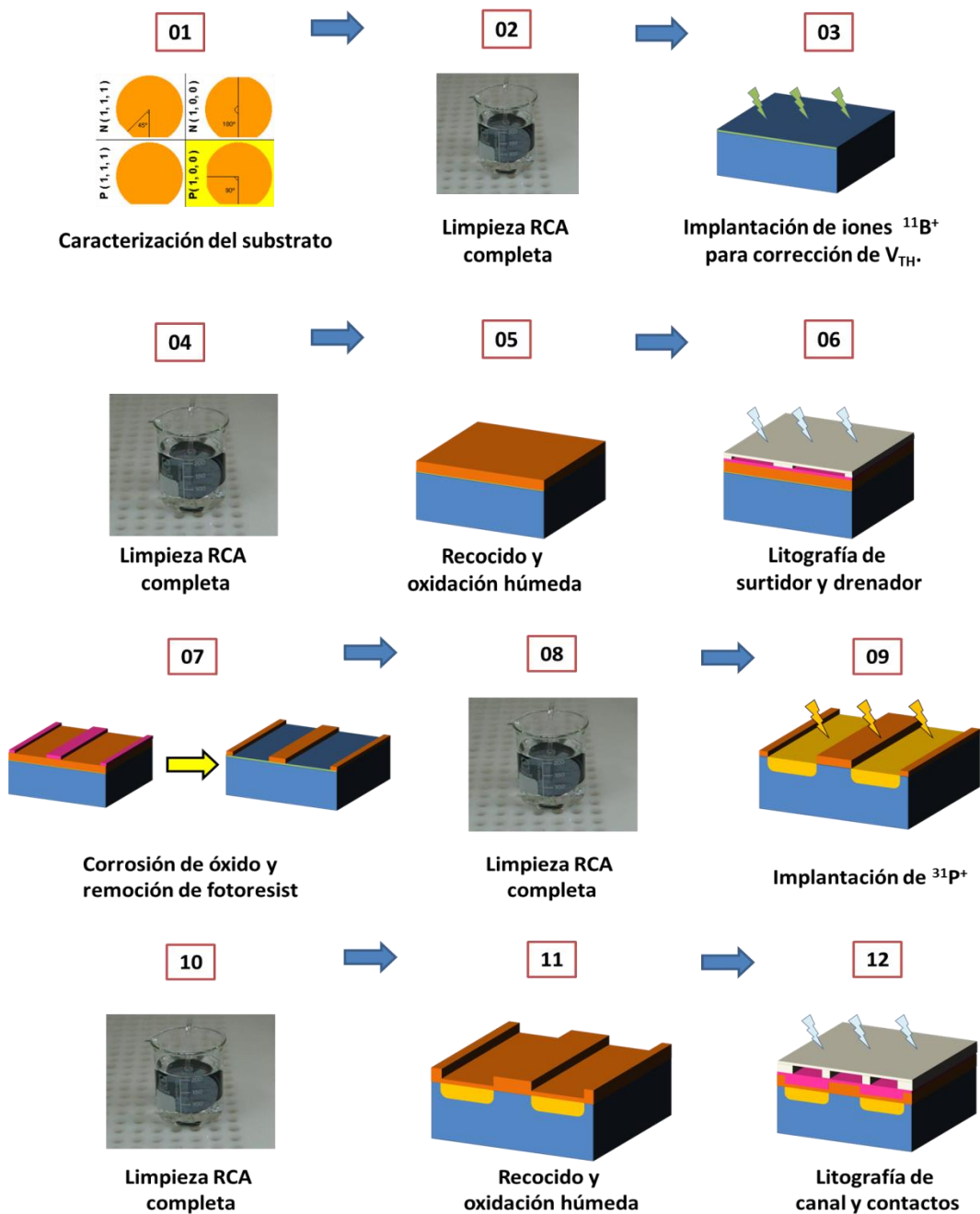
Fig. J

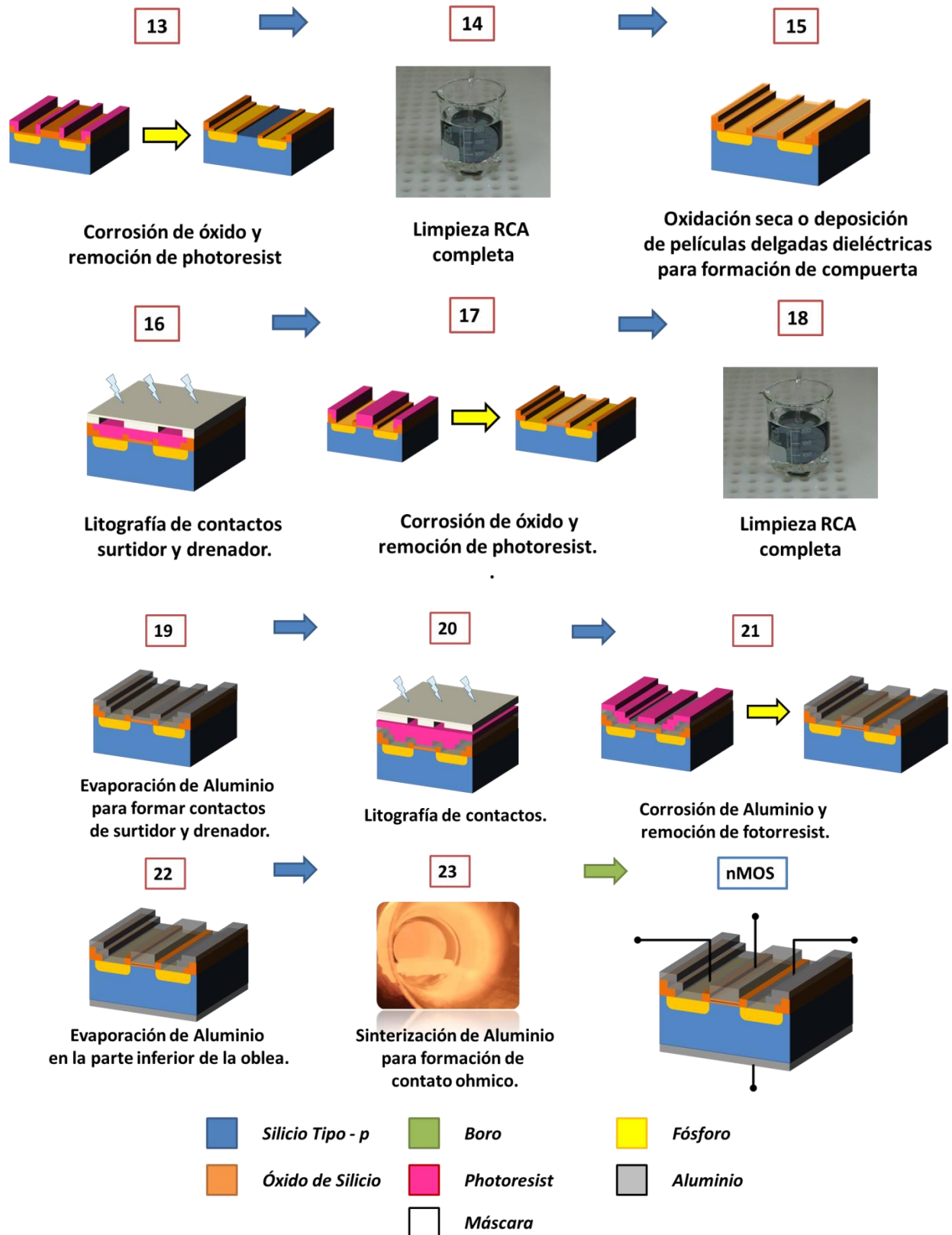


Fig. K

Apéndice III

“Proceso de Fabricación del Transistor nMOS”





“Especificaciones del Proceso”

Implantación de iones



Implantador de iones, modelo
EATON GA4204

Etapa #3

Implantación de $^{11}\text{B}^+$
Energía: 65keV
Dosis: 5×10^{13} Iones/cm ²
Ángulo incidencia: 7°

Parámetros utilizados para
corrección de V_t .

Etapa #9

Implantación de $^{31}\text{P}^+$
Energía: 80KeV
Dosis: 7×10^{15} Iones/cm ²
Ángulo incidencia: 7°

Parámetros utilizados para
formación de Surtidor y Drenador

Procesos de Oxidación

Etapa #5

Oxidación Húmeda
Horno Convencional, T = 1000°C
Entrada en N ₂ > 3min; Flujo: 1 lt/min
N ₂ = 30min
O ₂ = 5min
O ₂ /H ₂ O = 180 min (aprox. 63 gotas/min)
N ₂ = 10min
Salida en N ₂ > 3 min Flujo: 1 lt/min
Grosor del óxido ~ 0.753µm

Etapa #11

Oxidación Húmeda
Horno Convencional, T = 1000 °C
Entrada en N ₂ > 3min; Flujo: 1 lt/min
N ₂ = 20min
O ₂ = 5min
O ₂ /H ₂ O = 100 min (aprox. 33 gotas/min)
N ₂ = 10min
Salida en N ₂ > 3min; Flujo: 1 lt/min
Grosor del óxido ~ 0.99µm

Observaciones: Después de la implantación de iones de Boro y Fósforo para corregir V_{TH} , se lleva a cabo este proceso de recocido, primeramente en N₂ para la reconstrucción del substrato cristalino. Posteriormente la oxidación húmeda se lleva a cabo sometiendo las obleas a diferentes atmósferas y tiempos de recocido.

Etapa #15

Oxidación Seca
Horno Convencional con Tricloroetileno (TCE) $\rightarrow$ C ₂ HCl ₃ ; T = 1000 °C
Entrada en N ₂ > 3min
N ₂ = 30min
O ₂ = 5min
O ₂ + (1%) TCE = 30min
O ₂ = 5min
N ₂ = 30min
Salida en N ₂ > 3min
Grosor del óxido ~ 75nm

Observaciones: La formación de la compuerta para un transistor nMOS convencional, puede ser llevada a cabo con esta receta. Para nuestro estudio, es importante realizar una comparación entre un transistor nMOS con compuerta de óxido térmico y un transistor utilizando una compuerta formada por las capas dieléctricas depositadas que contienen Si NCs.

Corrosión de óxido y remoción de photoresist (Etapa # 7, #13, #17)

La eliminación del óxido se realiza utilizando una solución que contiene *HF* y *NH₄F*, también conocida como **Buffer**. Esta solución corroe SiO₂ a una tasa de 1000Å/min. A medida que el óxido se va eliminando, la oblea es retirada del Buffer y lavada a corriente en agua des-ionizada. El Silicio sin óxido es hidrofóbico, por lo que la oblea, debe lucir seca.

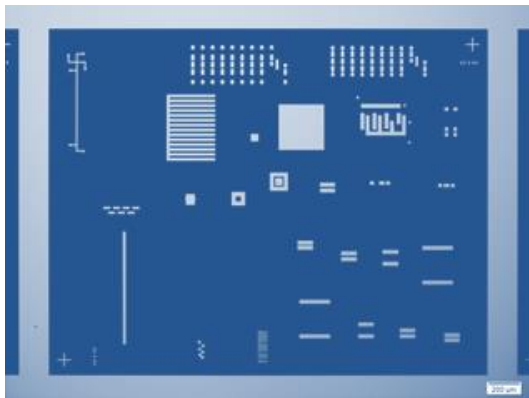
Una vez eliminado el óxido, la oblea no debe permanecer en contacto con la solución y se debe lavar en una corriente de agua des-ionizada y después secar con N₂ puro.

Después, el *photoresist* también debe ser eliminado, para esto se realiza una limpieza en acetona caliente ((CH₃)₂ CO) e isopropanol caliente (CH₇ OH), seguido de lavado con agua des-ionizada y secado con N₂. Verificar con un microscopio óptico, si se eliminó completamente el photoresist, y posteriormente guardar las muestras en un recipiente adecuado limpio y bien sellado, para que no entre en contacto con O₂.

Los procesos de limpieza RCA, Piraña y Orgánica, son especificadas en el Capítulo 3, donde se sigue la misma metodología.

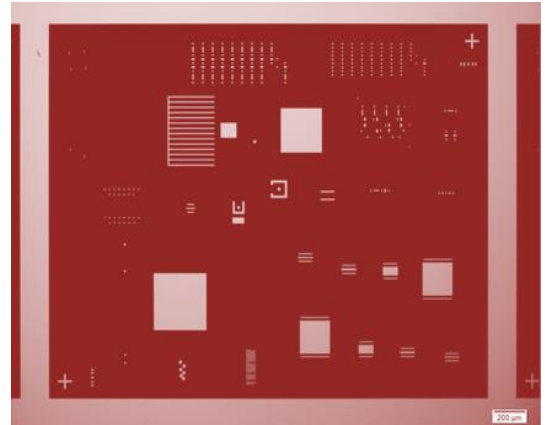
“Máscaras para Litografía”

Etapa # 6



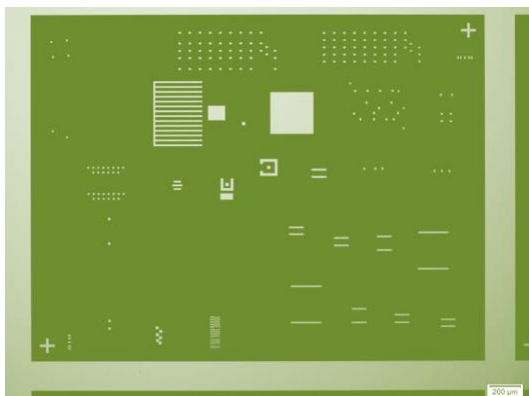
Definir Surtidor y Drenador

Etapa # 12



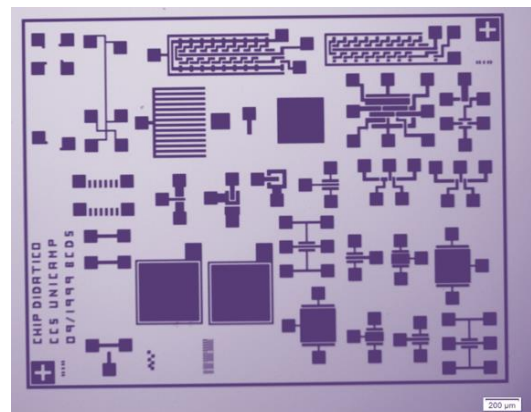
Definir Canal de Compuerta

Etapa # 16



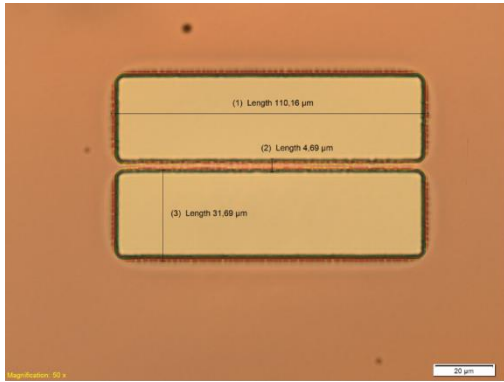
Abrir Contactos Surtidor y Drenador

Etapa # 20



Definir Metalización de Contactos

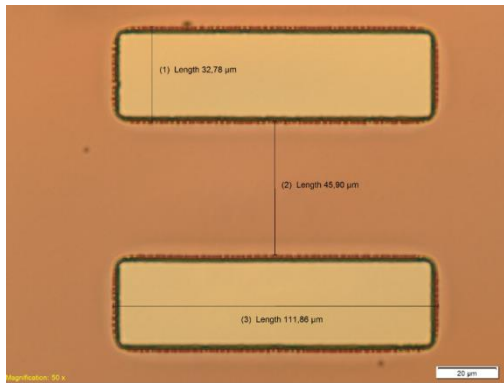
Dimensiones del Canal de Compuerta



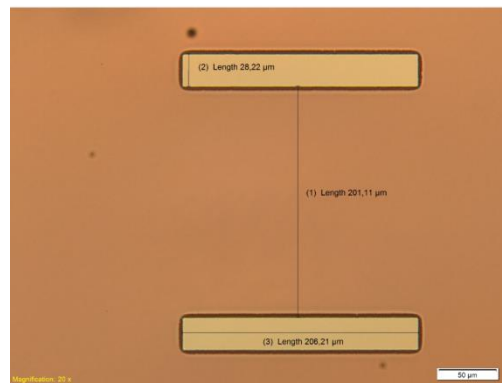
$L = 5\mu\text{m}$; $W \sim 100\mu\text{m}$



$L = 10\mu\text{m}$; $W \sim 100\mu\text{m}$



$L \sim 50\mu\text{m}$; $W \sim 100\mu\text{m}$



$L \sim 200\mu\text{m}$; $W \sim 200\mu\text{m}$

Observaciones: Para realizar la etapa de litografía se sigue el procedimiento utilizado en el Apéndice II, en el cual se describe la litografía del capacitor MOS; específicamente se utilizan los pasos b, c, y d con los mismos parámetros.

Consideraciones Generales

Es importante mencionar, que los procesos de limpieza, metalización y tratamiento térmico, implementados en este de proceso de fabricación, son exactamente iguales a los descritos en el capítulo 3.

Apéndice IV

“Simulación del Proceso de Fabricación del Transistor nMOS”

SILVACO
clasemos.in

go athena

line x loc=0 spacing=0.1
line x loc=30 spacing=0.1

line y loc=0 spacing=0.1
line y loc=1 spacing=0.1

init silicon c.boron=1.0e14

deposit photoresist thick=10

etch photoresist left x=10.0
etch photoresist right x=20.0

implant phosphor dose=1.0e16 energy=35
tilt=0

etch photoresist all

deposit oxide thick=0.2

etch oxide left x=9.9
etch oxide right x=20.1

deposit aluminum thick=1

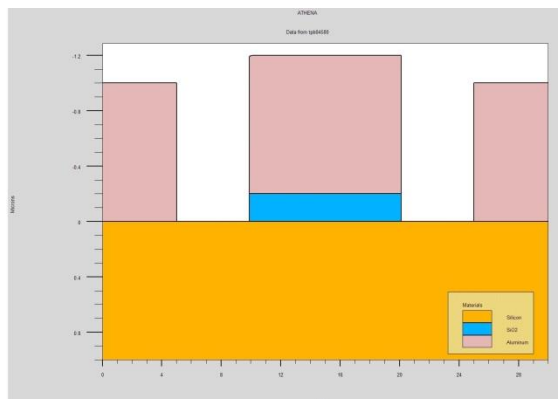
etch aluminum start x=20.1 y=0
etch cont x=25 y=0
etch cont x=25 y=-2
etch done x=20.1 y=-2

etch aluminum start x=9.9 y=0
etch cont x=5 y=0
etch cont x=5 y=-2
etch done x=9.9 y=-2

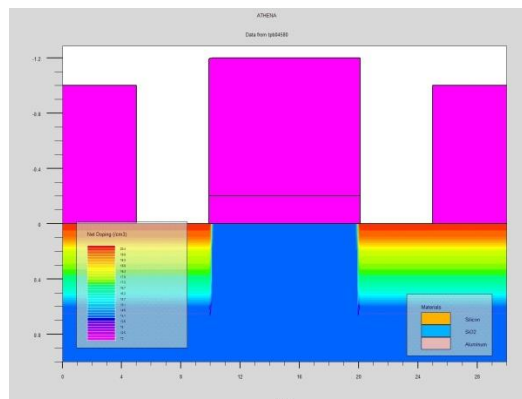
electrode x=5 name=source
electrode x=27 name=drain
electrode x=13 name=gate
electrode backside name=substrate

structure outfile=clasemos.str
tonyplot

quit



Transistor MOS



Perfil de concentración

Publicaciones de 1er Autor

1. **D. Mateos**, A. Arias, N. Nedev, M. Curiel, V. Dzhurkov, E. Manolov, D. Nesheva, O. Contreras, B. Valdez, I. Bineva, O. Raymond and J. M. Siqueiros, “*Metal-Oxide-Semiconductor Structures with Two and Three-Region Gate Dielectric Containing Silicon Nanocrystals: Structural, Infrared and Electrical Properties*”, Nanotechnology 2013: Advanced Materials, CNTs, Particles, Films and Composites, Vol. 1 (2013) pp. 396-399. ISBN: 978-1-4822-0581-7.
2. **D. Mateos**, M.A. Curiel, N. Nedev, D. Nesheva, R. Machorro, E. Manolov, N. Abundiz, A. Arias, O. Contreras, B. Valdez, O. Raymond, J.M. Siqueiros, “*TEM and Spectroscopic Ellipsometry Studies of Multilayer Gate Dielectrics Containing Crystalline and Amorphous Si Nanoclusters*”, Physica E: Low-dimensional Systems and Nanostructures, Vol. 51 (2013) pp 111-114. doi: 10.1016/j.physe.2012.11.015 (2013).
3. **D. Mateos**, N. Nedev, D. Nesheva, M. Curiel, E. Manolov, A. Arias, O. Contreras, B. Valdez, Z. Levi and J. M. Siqueiros, “*Electrical Characterization of MOS Structures with Silicon Nanocrystals Suitable for X-ray Detection*”, Key Engineering Materials, Vol. 543 (2013) pp 150-153

Publicaciones de Co-Autor

1. R. Herrera, M. Curiel, A. Arias, D. Nesheva, N. Nedev, E. Manolov, V. Dzhurkov, O. Perez, B. Valdez, **D. Mateos**, I. Bineva, W. de la Cruz and O. Contreras, “*Structural, compositional and electrical characterization of Si rich SiO_x layers suitable for application in light sensors*”. Materials Science in Semiconductor Processing, doi:10.1016/j.mssp.2015.03.040, (2015).
2. D. Nesheva, N. Nedev, M. Curiel, V. Dzhurkov, A. Arias, E. Manolov, **D. Mateos**, B. Valdez, I. Bineva and R. Herrera, “*Application of Metal-Oxide-Semiconductor structures containing silicon nanocrystals in radiation dosimetry*”. Open Physics, Vol. 13 (2015) pp 63-71.
3. A. Arias, N. Nedev, D. Nesheva, M. Curiel, E. Manolov, **D. Mateos**, V. Dzhurkov, B. Valdez, O. Contreras, R. Herrera, I. Bineva and J. M. Siqueiros, “*UV Dosimeters Based On Metal-Oxide-Semiconductor Structures Containing Si Nanocrystals*”. Sensor Letters, Vol. 13 (2015) pp 561-564.
4. A. Arias, N. Nedev, M. Curiel, R. Nedev, **D. Mateos**, E. Manolov, D. Nesheva, B. Valdez, R. Herrera and A. Sánchez, “*Application of Metal-Oxide-Semiconductor Structures For Visible And Near UV Light Sensing*”, Sensor Letters, Vol. 13 (2015) pp 556-560.
5. N. Nedev, A. Arias, M. Curiel, R. Nedev, **D. Mateos**, E. Manolov, D. Nesheva, B. Valdez, R. Herrera and A. Sánchez, “*Visible Light Sensor Based on Metal-Oxide-Semiconductor Structure*”, Key Engineering Materials, Vol. 605 (2014) pp 384-387.

6. A. Arias, N. Nedev, D. Nesheva, M. Curiel, E. Manolov, **D. Mateos**, V. Dzurkov, B. Valdez, O. Contreras, R. Herrera, I. Bineva and J. M. Siqueiros, “*MOS Structures Containing Si Nanocrystals for Applications in UV Dosimeters*”, Key Engineering Materials, Vol. 605 (2014) pp 380-383.

7. A. Arias, N. Nedev, M. Curiel, D. Nesheva, E. Manolov, B. Valdez, **D. Mateos**, O. Contreras, O. Raymond and J. M. Siqueiros, “*Electrical Characterization of Interface Defects in MOS Structures Containing Silicon Nanoclusters*”, Advanced Materials Research, Vol. 976 (2014) pp 129-132.

Participaciones en Congresos

1. **D. Mateos**, J. A. Diniz, S. N. M Muñoz, N. Nedev, M. Curiel, M. Mederos, B. Valdez and G. Montero, *“Low temperature thin dielectric films obtained by ECR-CVD for application in non-volatile memories”*, American Vacuum Society “61st International Symposium & Exhibition”, November 9-14th 2014, Baltimore, USA.
2. M. A. Curiel, N. Nedev, D. Nesheva, R. Herrera, A. Arias, E. Manolov, V. Dzhurokv, B. Valdez, O. E. Contreras, **D. Mateos**, O. Raymond and J. M. Siqueiros, *“Self-assembly of Si nanoparticles for optical sensor applications”*, 4th International Colloids Conference: Surface Design & Engineering, June 15-18th 2014, Madrid, Spain.
3. R. Herrera, A. Arias, N. Nedev, M. Curiel, D. Nesheva, E. Manolov, B. Valdez, V. Dzhurkov, O. Pérez, **D. Mateos**, O. Contreras, W. de la Cruz and J. M. Siqueiros, *“MOS Structures Containing Si Nanocrystals suitable for light detection”*, 4th International Conference on Materials and Applications for Sensors and Transducers, June 8-11th 2014, Bilbao, Spain.
4. A. Arias, R. Herrera, N. Nedev, M. Curiel, B. Valdez, **D. Mateos**, R. Nedev, O. Contreras, D. Nesheva, E. Manolov, V. Dzhurkov and J. M. Siqueiros, *“MOS Structures suitable for applications in UV dosimeters and visible light detectors”*, 3rd International Symposium on Nanoscience and Nanomaterials, March 10-14th 2014, Ensenada, Mexico,.
5. **D. Mateos**, A. Arias, N. Nedev, M. Curiel, V. Dzhurkov, E. Manolov, D. Nesheva, O. Contreras, B. Valdez, I. Bineva, O. Raymond and J. M. Siqueiros, *“Metal-Oxide-Semiconductor Structures with Two and Three-Region Gate Dielectric Containing Silicon Nanocrystals: Structural, Infrared and Electrical Properties”*, TechConnect World Conference Innovation, May 12-16th 2013, Washington DC, USA.

6. **D. Mateos**, M. Curiel, A. Arias, N. Nedev, R. Machorro, O. Contreras, N. Abundiz, D. Nesheva, E. Manolov, B. Valdez, O. Raymond and J. M. Siqueiros, “*Structural and Optical Characterization of Gate Dielectrics Containing Silicon Nanoclusters*”, 2nd International Symposium on Nanoscience and Nanomaterials, March 4-8th 2013, Ensenada, Mexico.
7. A. Arias, **D. Mateos**, M. Curiel, N. Nedev, D. Nesheva, E. Manolov, V. Dzhurkov, B. Valdez, O. Contreras, I. Bineva, O. Raymond and J. M. Siqueiros, “*Electrical Characterization of MOS Structures with Multi-Region Gate Dielectrics Containing Silicon Nanocrystals*”, 2nd International Symposium on Nanoscience and Nanomaterials, March 4-8th 2013, Ensenada, Mexico.
8. A. Arias, N. Nedev, M. Curiel, B. Valdez, **D. Mateos**, D. Nesheva, E. Manolov, O. Contreras, O. Raymond and J. M. Siqueiros, “*Caracterización de Defectos en la Interfaz en Estructuras Metal-Óxido-Semiconductor que Contienen Nanopartículas de Silicio*”, IV Congreso Nacional de Ciencia e Ingeniería de Materiales, February 18-22th 2013, Pachuca, México.
9. **D. Mateos**, M. A. Curiel, N. Nedev, D. Nesheva, R. Machorro, N. Abundiz, A. Arias, E. Manolov, O. E. Contreras, B. Valdez, O. Raymond and J. M. Siqueiros, “*Structural and electrical characterization of gate dielectrics with self-assembled nanocrystals*”, XXI International Materials Research Congress, Symposium “Low Dimensional Semiconductor Structures”, August 12-17th 2012, Cancun, Mexico.
10. **D. Mateos**, M. Curiel, N. Nedev, D. Nesheva, A. Arias, E. Manolov, O. Contreras, B. Valdez and J. M. Siqueiros, “*Effect of the Annealing Atmosphere on the Nanocrystal Space Distribution in MOS Structure Gate Dielectric*”, TechConnect World Conference Innovation, June 18-21th 2012, Santa Clara, USA.

11. **D. Mateos**, N. Nedev, D. Nesheva, M. Curiel, E. Manolov, A. Arias, O. Contreras, B. Valdez, Z. Levi and J. M. Siqueiros, “*Electrical Characterization of MOS Structures with Silicon Nanocrystals Suitable for X-ray Detection*”, 2nd International Conference on Materials and Applications for Sensors and Transducers, May 24-28th 2012, Budapest, Hungary.
12. **D. Mateos**, N. Nedev, M. Curiel, D. Nesheva, A. Arias, E. Manolov, O. Contreras, B. Valdez, O. Raymond and J. M. Siqueiros, “*Electrical characterization of nanocrystal gate dielectric obtained by two-step annealing process*”, 1st International Symposium on Nanoscience and Nanomaterials, March 12-16th 2012, Ensenada, Mexico.
13. A. Arias, N. Nedev, M. Curiel, D. Nesheva, **D. Mateos**, E. Manolov, B. Valdez, O. Contreras, O. Raymond and J. M. Siqueiros, “*Electrical characterization of interface defects in metal-oxide-semiconductor structures containing silicon nanoclusters*”, 1st International Symposium on Nanoscience and Nanomaterials, March 12-16th 2012, Ensenada, Mexico.
14. M. Curiel, N. Nedev, O. Contreras, D. Nesheva, E. Manolov, C. Ostos, **D. Mateos**, B. Valdez, O. Raymond and J. M. Siqueiros, “*Structural and electrical characterization of the dielectric layer in MOS structures with Si nanocrystals obtained under different annealing conditions*”, XX International Materials Research Congress, Symposium “Advances in Semiconducting Materials”, August 14-19th 2011, Cancun, Mexico.

Participación en Proyectos

Fecha	Proyectos de investigación
2015	Título: <i>“Investigación del proceso de limpieza “Forward” y su posible eliminación en caso de pasta “no clean””.</i> Programa: <i>Estudiantes de Posgrado en la Industria.</i> Convocatoria: <i>Proyectos de Innovación Interna “SKYWORKS”.</i>
2013	Título: <i>“Diseño y desarrollo tecnológico de línea de ensamble prototipo para conectores de bolsa de aire”.</i> Convocatoria: <i>Programa de Estímulos a la Innovación-FURMEX de México.</i> Proyecto: <i>No. 185182</i>
2013	Título: <i>“Investigación y desarrollo del proceso para adherir microcircuitos de AsGa y Si mediante una película de silicón que incremente la eficiencia de conectividad inalámbrica”.</i> Convocatoria: <i>Programa de Estímulos a la Innovación-Skyworks Solutions de México.</i> Proyecto: <i>No. 198771</i>
2013	Título: <i>“Desarrollo de interface eléctrica entre microcircuitos y tableros de pruebas”.</i> Convocatoria: <i>Programa de Estímulos a la Innovación-Skyworks Solutions de México.</i> Proyecto: <i>No. 199739</i>
2012-2014	Título: <i>“Caracterización óptica y eléctrica de ensamblajes tridimensionales de nanopartículas de silicio dentro de capas delgadas de óxido de silicio para aplicaciones en dispositivos electrónicos”.</i> Convocatoria: <i>Proyectos de Investigación Científica Básica 2011- CONACYT</i> Proyecto: <i>No. 169831</i>
2012	Título: <i>“Diseño y desarrollo de protección para señales de radiofrecuencia en microcircuitos de AsGa”</i> Convocatoria: <i>Fondos Innovación Conacyt 2012.</i> Proyecto: <i>No. 185182</i>
2012	Título: <i>“Diseño y desarrollo tecnológico de línea de ensamble prototipo para conectores de bolsa de aire”.</i> Convocatoria: <i>Fondos Innovación Conacyt 2012.</i> Proyecto: <i>No. 184501</i>
2011-2012	Título: <i>“Caracterización de estructuras Metal-Óxido-Semiconductor que contienen nanocristales de silicio para su aplicación en dispositivos electrónicos modernos”.</i> Convocatoria: <i>15ª Convocatoria Interna de Apoyo a Proyectos de Investigación, UABC.</i> Modalidad: <i>Cuerpos Académicos.</i>