

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA



**PROGRAMA DE MAESTRÍA Y DOCTORADO
EN CIENCIAS E INGENIERÍA
ÁREA DE ELÉCTRICA**

**ANÁLISIS Y DISEÑO DE UN SISTEMA DE CORRECCIÓN
DINÁMICA HÍBRIDA PARA UN MODULADOR SIGMA DELTA
MULTI-BIT PASA-BANDA.**

TESIS

que para cubrir parcialmente los requisitos necesarios para obtener el grado de
MAESTRO EN CIENCIAS

Presenta:

LUIS FERNANDO BALTIERRA GALLEGOS

Mexicali, Baja California, México, Diciembre 2018.

TESIS DEFENDIDA POR

Luis Fernando Baltierra Gallegos

Y APROBADA POR EL SIGUIENTE COMITÉ



Dr. Miguel Ángel García Andrade

Director del Comité



Dr. Luis Arturo Martínez Alvarado

Miembro del Comité



Dr. Carlos Villa Angulo

Miembro del Comité



Dr. Raul Rascon Carmona

*Presidente del SACC
de Eléctrica*



Dr. Guillermo Galaviz Yáñez.

*Coordinador de Posgrado e Investigación
Facultad de Ingeniería*

UNIVERSIDAD AUTÓNOMA
DE BAJA CALIFORNIA



FACULTAD DE
INGENIERÍA

19 de Diciembre del 2018

RESUMEN de la tesis de **LUIS FERNANDO BALTIERRA GALLEGOS**, presentada como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en ELÉCTRICA con orientación en DISEÑO DE CIRCUITOS INTEGRADOS. Mexicali, Baja California, Diciembre 2018.

**ANÁLISIS Y DISEÑO DE UN SISTEMA DE CORRECCIÓN
DINÁMICA HÍBRIDA PARA UN MODULADOR SIGMA DELTA
MULTI-BIT PASA-BANDA.**

Resumen aprobado por:



Dr. Miguel Ángel García Andrade

Director de Tesis

En este trabajo de tesis se presenta una propuesta a nivel sistema de un circuito de corrección del error causado por el desacoplamiento (mismatch) de los elementos unitarios del Convertidor Analógico a Digital de un Modulador Sigma Delta Multi-bit tipo Pasa-Bandas. El sistema propuesto utiliza corrección dinámica de elementos que combina elementos resistivos y capacitivos dando como resultado un DAC híbrido que comparte características de ambos. Estas características combinadas permiten optimizar de mejor manera el desempeño del Modulador.

Se mostró que es posible tener una atenuación a frecuencias intermedias, esto con una adecuada modificación al circuito para el algoritmo DWA pasa bandas. Esta modificación consistió en la correcta selección de la suma de los voltajes de referencia. Se presenta el análisis de la propuesta del sistema de control de la selección de voltajes del DAC, el cual se implementó de manera sencilla con una compuerta XOR. El comportamiento de este circuito se comprueba al realizar una simulación a nivel del sistema. Este modelo es probado en un modulador sigma delta de segundo orden multibit pasa bandas. Esta simulación se realiza para una tecnología de 180nm, la frecuencia de muestreo para la simulación es de 42.8MHz. La simulación del comportamiento demuestra que el DWA recupera la SNR un 98 % respecto al modelo ideal.

Palabras Clave: Mismatch, DWA, MSD, Pasa-Bandas, XOR

ABSTRACT of the thesis presented by **LUIS FERNANDO BALTIERRA GALLLEGOS**, in partial fulfillment of the requirements of the degree of **MASTER OF ENGINEERING** in **ELECTRICAL ENGINEERING** with orientation in **INTEGRATED CIRCUIT DESIGN**. Mexicali, Baja California, December 2018.

**ANALYSIS AND DESIGN OF A HYBRID DYNAMIC CORRECTION
SYSTEM FOR A SIGMA DELTA MULTIBIT BANDPASS
MODULATOR.**

In this thesis, is presented a proposal at the system level of an error correction circuit caused by the mismatch of the unitary elements of the Analog to Digital Converter of a Sigma Delta Multi-bit Modulator Band-Pass type. The proposed system uses dynamic element correction that combines resistive and capacitive elements resulting in a hybrid DAC that shares characteristics of both. These combined characteristics allow to optimize the performance of the Modulator better.

It was shown that it is possible to have an attenuation at intermediate frequencies, this with an adequate modification to the circuit for the band-pass DWA algorithm. This modification consisted in the correct selection of the sum of the reference voltages. The analysis of the proposal of the control system of the voltage selection of the DAC is presented, which was implemented in a simple way with an XOR gate. The behavior of this circuit is checked when performing a simulation at system level. This model is tested in a sigma delta modulator of second order multibit band-pass. This simulation is performed for a 180nm technology, the sampling frequency for the simulation is 42.8MHz. The simulation of the behavior shows that the DWA recovers SNR 98% with respect to the ideal model.

Keywords: Mismatch, DWA, MSD, Band-Pass, XOR

Dedicado

*A mis padres María de
Jesús Gallegos y Luis
Baltierra. A mis herma-
nos Eduardo y Paco.*

Agradecimientos

Mi gratitud principalmente a Dios, por haberme dado la vida y permitirme haber llegado hasta este momento tan importante en mi formación profesional.

De manera muy especial agradezco al Dr. Miguel Angel Garcia Andrade por todo su apoyo para realizar esta maestría desde el comienzo de mi interés. También quiero agradecerle por todo el conocimiento, consejos y paciencia que me brindo.

A mis Padres por su cariño, paciencia y apoyo incondicional. Gracias por compartir mis horas grises mis momentos felices, ambiciones, sueños e inquietudes, gracias por haber hecho de mi lo que hoy soy.

A mis amigos que siempre estuvieron apoyándome y alentándome en momentos difíciles.

A la Facultad de Ingeniería y al Instituto de Ingeniería de la Universidad Autónoma de Baja California, por todas las facilidades y la oportunidad de cursar mis estudios de Maestría.

Al Dr. Guillermo Espinosa Flores-Verdad y al Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE) por el apoyo y soporte incondicional que me brindaron en mi estancia en la ciudad de Puebla.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por el apoyo económico que me otorgó durante la realización de mis estudios.

A todas aquellas personas que de alguna manera directa o indirectamente me ayudaron a concluir con este trabajo.

Contenido

	Página
Resumen en Español	I
Resumen en Inglés	II
Dedicatoria	III
Agradecimientos	IV
Contenido	v
Lista de Figuras	VII
Lista de Tablas	x
Lista de Acrónimos	XI
I.. Introducción.	1
I.1. Tendencias Tecnológicas.	1
I.2. Modulador Sigma Delta.	2
I.2.1. Modulador Sigma Delta Pasa Bajas.	3
I.2.2. Modulador Sigma Delta Pasa Bandas.	5
I.2.3. Parámetros y Restricciones.	6
I.3. Comportamientos No Ideales.	7
I.4. Objetivos Generales.	10
I.5. Organización de la Tesis.	10
II.. Modulador Sigma Delta Conceptos Básicos.	12
II.1. Introducción.	12
II.2. Modulador Sigma Delta.	12
II.2.1. Antecedentes Históricos.	12
II.2.2. Relación de Sobremuestreo (OSR).	14
II.2.3. Cuantificación.	16
II.2.4. Moldeo del Ruido de Cuantificación.	19
II.2.5. Moldeo del Ruido de Alto Orden y Estabilidad	20
II.2.6. Transformación a Sigma Delta Pasa Bandas.	25
II.2.7. Relación Señal a Ruido (SNR).	26
II.3. Convertidor Digital Analógico de Retroalimentación.	29
II.4. Desacoplo (Mismatch).	33
II.4.1. Acoplo Dinámico de Elementos (DEM).	36

Contenido (continuación)

	Página
II.4.2. Data Weghted Averaging (DWA).	40
III.. Análisis DWA a Nivel Sistema.	45
III.1. DWA Pasa Bandas.	45
III.2. Análisis del Algoritmo de Selección.	47
III.3. Análisis Nivel Sistema.	54
III.4. Resultados Simulación a Nivel Sistema.	66
III.5. Conclusión.	68
IV.. Integración al MSD Pasa Bandas.	71
IV.1. Simulación Sigma Delta Pasa Bandas Ideal.	72
IV.2. Modelo Esquemático del MSD Pasa Banda.	73
IV.2.1. Convertidor Digital Analógico Híbrido.	76
IV.2.2. DWA Pasa Bajas con DAC Híbrido.	78
IV.3. Modelo Esquemático DWA y MSD Pasa Banda.	82
IV.3.1. Pulsos de Reloj Sin Traslape.	82
IV.3.2. Implementación DWA a Nivel Lógico y Macromodelos.	84
IV.3.3. Modificación Modelo Esquemático MSD Pasa Bandas.	86
IV.4. Resultados.	89
IV.4.1. Simulación Modelo Esquemático.	89
IV.4.2. Rango Dinámico.	91
IV.4.3. Ancho de Banda de los Amplificadores.	91
IV.5. Conclusión.	93
V.. Conclusiones y Trabajo Futuro.	94
V.1. Conclusiones Generales.	94
V.2. Trabajo Futuro.	95

Lista de Figuras

Figura		Página
1.	Diagrama conceptual del modulador sigma delta.	3
2.	Comportamiento NTF y STF Pasa-Bajas.	4
3.	Comportamiento NTF y STF Pasa-Banda.	5
4.	Gráfica SNR_{max} Vs OSR para diferentes valores de L, B y OSR.	7
5.	(a) Modulador Delta. (b) Diagrama equivalente al modulador delta. (c) Modulador Sigma Delta.	13
6.	(a) Frecuencia de muestreo baja. (b) Frecuencia de muestreo alta.	15
7.	Ejemplo de un cuantificador uniforme multinivel.	17
8.	Modelo linealizado del cuantificador.	18
9.	(a) Modulador Sigma Delta. (b) Diagrama equivalente al Modulador Sigma Delta.	19
10.	Comportamiento de la función de transferencia del ruido y de la señal, modulador sigma delta.	20
11.	Diagrama a bloques de un modulaor retroalimentado.	21
12.	Manipulación del diagrama a bloques del modulador sigma delta de segundo orden.	23
13.	Modulador sigma delta de segundo orden con ganancias independientes en cada integrador.	24
14.	Simulación del modulador sigma delta pasa-bajas de segundo orden multibit.	25
15.	(a) Comportamiento NTF y STF Pasa-Banda (b) Plano Z.	25
16.	(a) Diagrama del modulador sigma delta pasa-bajas de segundo orden. (b) Modulador sigma delta pasa-bandas con la transformación $z^{-1} \rightarrow -z^{-2}$	26
17.	SNR Maxima Vs OSR con variación en el orden.	29
18.	(a)DAC con cadenas de resistencias (b) DAC arquitectura utilizando capacitores.	32

Lista de Figuras (continuación)

Figura		Página
19.	Arquitectura híbrida convertidor digital analógico.	33
20.	Selección aleatoria de elementos unitarios, DAC controlado por código termómetro.	37
21.	Selección aleatoria tipo butterfly de tres etapas de 8 elementos con tres bits de control.	38
22.	DWA, selección de elementos rotativo.	40
23.	DWA, lógica de selección de elementos.	42
24.	Moldeo DWA $1 - z^{-4}$	46
25.	Moldeo DWA $1 + z^{-2}$	47
26.	Selección de elementos ascendente.	49
27.	Selección de elementos decreciente.	50
28.	Selección de elementos $1 + z^{-1}$	52
29.	Selección de elementos $1 + z^{-2}$	53
30.	Diagrama a bloques DWA.	55
31.	Circuito generador de la secuencia de control.	57
32.	Circuito sumador completo de 1 bit.	58
33.	Tabla de verdad compuerta XOR.	59
34.	Escalera de resistencias con desacoplo.	61
35.	(a) Caso 1 selección de punteros ascendente. (b) Caso 2 selección de punteros descendente.	63
36.	Circuito de control para voltajes de referencia.	66
37.	Circuito DWA para un modulador sigma delta pasa bandas.	67
38.	Diagrama para mostrar el moldeo espectral del ruido primer orden. . .	67
39.	Moldeo espectral rechaza bandas, del ruido ocasionado por el desacoplo.	68
40.	Densidad espectral de potencia del MSD pasa banda, sin DWA y con desacoplo.	69

Lista de Figuras (continuación)

Figura		Página
41.	Densidad espectral de potencia del MSD pasa banda con desacoplo, aplicando el DWA.	69
42.	Modulador Sigma Delta Pasa Bandas modelo a bloques.	71
43.	Modulador Sigma Delta Pasa Bandas segundo orden multibit.	72
44.	Simulación modulador sigma delta pasa bandas ideal.	73
45.	Resonador.	74
46.	Sigma Delta Pasa Banda segundo orden multibit.	75
47.	Densidad espectral del modulador sigma delta pasa-bandas modelo esquemático.	76
48.	Convertidor Digital Analógico Híbrido.	77
49.	(a) Cadena resistiva con algoritmo DWA pasa bajas. (b) Dinámica de la resta de voltajes con un solo capacitor.	78
50.	(a) Convertidor Digital Analógico Híbrido "Pasa Bajas". (b) DWA Pasa bajas.	81
51.	Generador de fases sin traslape.	83
52.	Circuito generador de fase de control.	84
53.	Circuito esquemático DWA.	85
54.	Modulador sigma delta pasa bandas con DWA modelo esquemático. . .	87
55.	Sistema equivalente al circuito esquemático.	89
56.	Simulación modelo esquemático ideal.	90
57.	Simulación modelo esquemático ideal.	92
58.	Simulación del ancho de banda con diferentes ganancias de los amplificadores.	92

Lista de Tablas

Tabla	Página
I. Formas de representación digital	31
II. Reglas para el acoplo de dispositivos.	35
III. Tabla de verdad del circuito generador de la secuencia de control . . .	57
IV. Ejemplo complemento a dos.	59
V. Dinámica del cambio de signo.	61
VI. Síntesis.	65
VII. Valor de los capacitores	90

Lista de Acrónimos

MSD: Modulador Sigma Delta.

DWA: Data Weighted Averaging.

SNR: Signal to Noise Ratio.

OSR: Oversampling Ratio.

DEM: Dynamic Element Matching.

DAC: Digital to Analog Converter.

NTF: Noise Transfer Function.

STF: Signal Transfer Function.

Capítulo I

Introducción.

I.1. Tendencias Tecnológicas.

La introducción de la tecnología de circuitos integrados(CI) ha revolucionado la integración de sistemas electrónicos. Hoy en día millones de transistores se construyen en una menor área, formando juntos sistemas cada vez más complejos. En la creciente demanda de sistemas de procesamiento electrónicos con mayor desempeño, a menor costo y dimensiones, se ha impulsado el desarrollo de los llamados circuitos de modo mixto, los cuales combinan circuitos digitales y analógicos en un mismo sustrato. Entre estos sistemas se incluyen los convertidores analógicos a digital (CAD) y digital a analógico (CDA) [1,2].

En la actualidad podemos encontrar los CAD en muchos dispositivos electrónicos a nuestro alrededor, los cuales nos ayudan a conectar nuestro mundo físico o analógico con el mundo digital. Esto ha permitido enormes avances tecnológicos en los últimos 40 años[3]. Los CAD y CDA son una parte clave en el desempeño de los sistemas de procesamiento digital, ya que estos condicionan y limitan las características de desempeño del sistema en su totalidad como son la resolución y velocidad.

Ejemplo de una de las industrias más beneficiadas por la tecnología de circuitos integrados (CI), es la telefonía móvil. Esto por su habilidad de integración de sistemas en un solo dispositivo, llevando esta industria a la producción en masa del teléfono móvil. En 2016 se estimó una cifra de alrededor de 4.3 billones de usuarios de teléfono móvil

y para el 2020 se espera alcanzar los 5 billones, que representaría alrededor de 70% de la población mundial [4, 5]. Estos dispositivos usan los CAD y CDA en el transceptor, actuando como una interfaz que comunica el procesador digital de señales (PDS) con la red celular, una PC y con el usuario. En la actualidad las nuevas tecnologías de radio están requiriendo sistemas más robustos, precisos, eficientes y flexibles, lo cual hace al CAD una de las partes más desafiantes para el diseño en un CI [1, 6].

En las comunicaciones alámbricas e inalámbrica, transferencia de video digital entre otras aplicaciones electrónicas, ha habido un incremento en la demanda por el ancho de banda y conversión analógica a digital y digital a analógico de alta resolución con un bajo consumo de potencia.

Una solución a estas demandas se ha cubierto con el CAD basado en el modulador sigma delta (MSD). El MSD puede dar una alta resolución y linealidad con un bajo consumo de potencia con un ancho de banda en el rango de los MHz. Dentro de las características del MSD son la sencillez en su construcción y que requiere de pocos componentes analógicos. Esta arquitectura también satisface el teorema fundamental de Shannon, donde muestra que la relación señal a ruido (SNR) es directamente proporcional a la capacidad de transmisión de datos del canal. Por lo tanto, el modulador Sigma-Delta es la arquitectura de elección para los CDA en muchas aplicaciones, esto debido a su propiedad de moldeo de ruido de cuantificación[7, 1].

I.2. Modulador Sigma Delta.

Dada la tendencia a desarrollar más funciones de señales analógicas en el dominio digital, el MSD pasa-bajas se ha modificado para su uso en la conversión de señales en frecuencias intermedias (FI). A este modulador se la ha llamado MSD pasa-bandas.

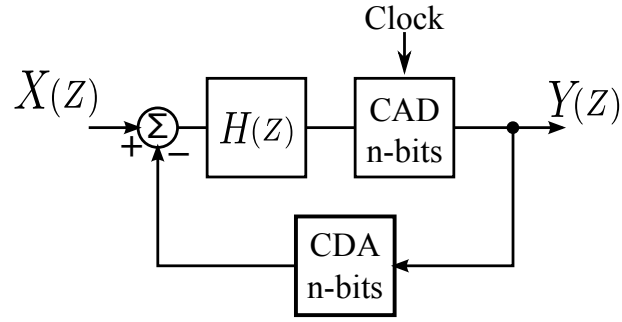


Figura 1: Diagrama conceptual del modulador sigma delta.

Dependiendo del sistema, las FI pueden ser de 450-500 KHz para la radio AM, 10.7 MHz para el FM, 33-38 MHz para la televisión europea y decenas de MHz para varios sistemas de comunicaciones. El MSD “pasa-banda” nos ofrece la habilidad de atenuar el ruido en la banda de interés a FI, por lo tanto representa una tecnología prometedora para realizar los CAD a FI[8, 3, 6].

I.2.1. Modulador Sigma Delta Pasa Bajos.

Una de las características del MSD pasa-bajas, es la atenuación del ruido en frecuencias bajas, este ruido es producido por el proceso de cuantificación del CAD. La figura 1 muestra el diagrama a bloques de un modulador sigma delta genérico en tiempo discreto, en el caso de un MSD tipo pasa-bajas se usa la siguiente función de transferencia:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (1)$$

Esta función de transferencia es para realizar la integración analógica discreta. Para el análisis del comportamiento del modulador y encontrar su función de transferencia, el bloque del CAD se modela como una adición de ruido producido por el error de

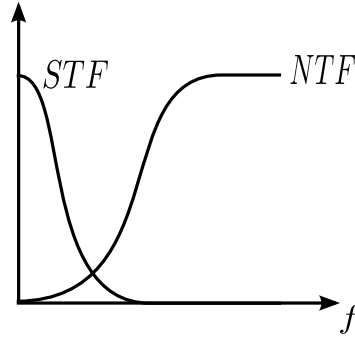


Figura 2: Comportamiento NTF y STF Pasa-Bajas.

cuantificación ε_Q , por lo tanto la ecuación que describe al modulador es:

$$Y(z) = X(z) \cdot z^{-1} + \varepsilon_Q(z) \cdot (1 - z^{-1}) \quad (2)$$

La ecuación 2 muestra que la señal $X(z)$ solo es retardada un periodo de reloj, mientras que el ruido $\varepsilon_Q(z)$ es multiplicado por $(1 - z^{-1})$. Esto muestra que la señal y el ruido de cuantificación son procesados de manera diferente por el modulador. Entonces se puede decir que la señal de entrada es multiplicada por una función de transferencia $STF(z)$ de comportamiento pasa bajas y que el ruido de cuantificación es multiplicado por una función de transferencia $NTF(z)$ con comportamiento pasa altas.

$$Y(z) = X(z) \cdot STF(z) + \varepsilon_Q(z) \cdot NTF(z) \quad (3)$$

La figura 2 representa el comportamiento de la STF y NTF en el dominio de la frecuencia.

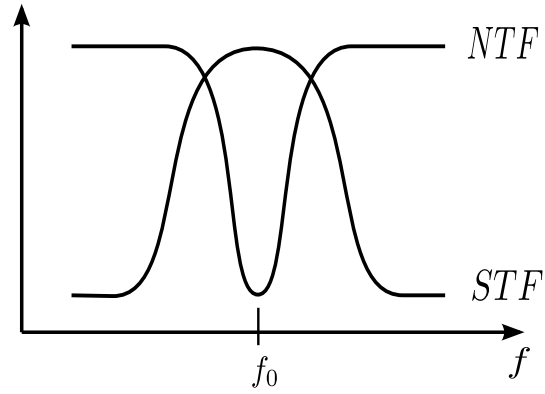


Figura 3: Comportamiento NTF y STF Pasa-Banda.

I.2.2. Modulador Sigma Delta Pasa Bandas.

La función del modulador sigma delta pasa-banda es atenuar fuertemente el error de cuantificación en un determinado ancho de banda (FI). En este ancho de banda se tiene una alta ganancia para la señal portadora en cierto intervalo alrededor de una frecuencia central f_0 . En una etapa posterior se utiliza un filtro digital después del modulador para rechazar el ruido fuera del ancho de banda alrededor de f_0 [8].

El diseño del modulador pasa-bandas comienza por una transformación al modulador pasa-bajas. El MSD pasa-bajas multiplica el ruido producido por la cuantificación, por una función de transferencia tipo pasa altas (NTF), atenuando el ruido a frecuencias bajas, esto se traduce en el plano-Z con colocar un cero en $f = 0$. Para colocar el cero en frecuencias intermedias, es necesario modificar $H(Z)$ en el diagrama de la figura 1. Este cambio se realiza transformando $z^{-1} \rightarrow -z^{-2}$, con esto se modifica la NTF a tipo rechaza banda, atenuando el ruido a frecuencias intermedias. Con esta modificación se obtiene el comportamiento que se muestra en la figura 3.

I.2.3. Parámetros y Restricciones.

Existen tres parámetros claves para el diseño del MSD, los cuales son: la relación de sobremuestreo OSR, el orden del filtro L y la resolución del cuantificador B. Incrementando cualquiera de estos parámetros se mejora la resolución bajo condiciones ideales, sin embargo, hay limitaciones asociadas con cada parámetro.

La OSR es definida como el cociente entre la frecuencia de muestreo (f_s) y dos veces el ancho de banda de la señal (ie., frecuencia de Nyquist). La OSR está limitada por f_s , una alta f_s en el modulador implica la reducción del tiempo de establecimiento. Debido a esto los amplificadores requieren más potencia para mantenerse con la misma precisión.

El orden del filtro determina la efectividad del moldeo del ruido y éste es limitado por la estabilidad del sistema. La resolución del cuantificador comúnmente está limitada a 4 o 5 bits debido al crecimiento exponencial del hardware y la área usada, la disipación de potencia del CAD, así como el desacoplo entre los componentes [8, 7]. La relación señal a ruido (SNR) del Modulador Sigma Delta relaciona los tres parámetros mencionados anteriormente mediante la siguiente ecuación:

$$SNR = \frac{3\pi}{2}(2L + 1)(2^B - 1)^2 \left(\frac{OSR}{\pi} \right)^{2L+1} \quad (4)$$

Donde la SNR es la relación entre la potencia de la señal y el ruido de cuantificación [9, 1]. Con la ecuación 4, se puede mostrar el comportamiento de la SNR, al modificar estos tres parámetros.

Si se incrementa solamente el número de Bits del cuantificador, se incrementará la SNR aproximadamente 6 dB por cada bit adicional, como se muestra en la figura 4(a). Sin embargo, al tener un cuantificador de más de 1bit, se presentan problemas

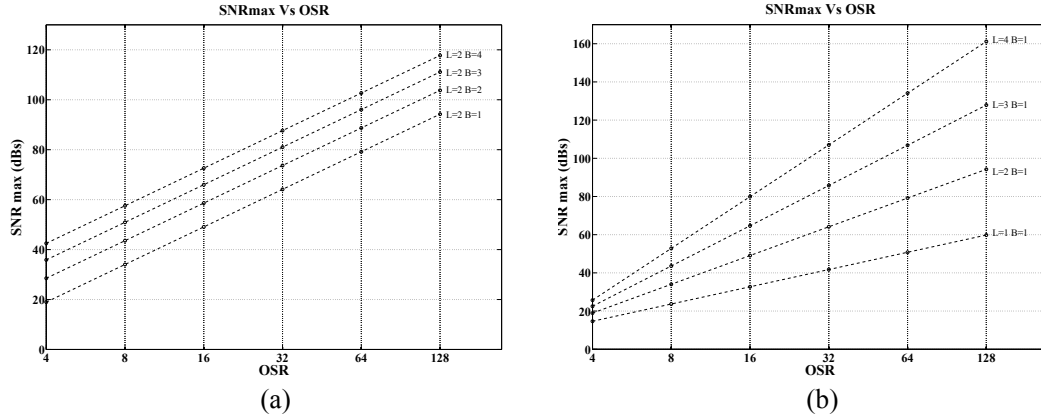


Figura 4: Gráfica SNR_{max} Vs OSR para diferentes valores de L, B y OSR.

de distorsión debido a la no-linealidad del CAD, producido por el desacoplamiento (mismatch) entre los componentes.

También se observa el incremento de la SNR, con el aumento del orden del modulador. En la figura 4 (b) se puede observar una disminución significativa de la SNR cuando la OSR es reducida sin importar el orden del modulador, perdiendo los beneficios de utilizar un modulador de orden alto al reducir la OSR. Desafortunadamente los moduladores de tercer orden o más, presentan problemas de inestabilidad, con cuantificadores de 1 bit.

En cualquiera de estos dos casos 4 (a) y (b) , se experimenta un aumento en la SNR, al incrementarse la relación de sobremuestreo.

I.3. Comportamientos No Ideales.

El diseño de cualquier modulador sigma delta requiere el conocimiento de un número de problemas de diseño tanto en la arquitectura como a nivel circuito. Entre los más importantes a nivel bloques está, el Amplificador Operacional (Op-Amp) o Amplificador de Transconductancia (OTA) con sus limitaciones en ganancia finita, ancho de banda

finito, slew-rate finito y offset, así como los comportamientos no ideales del CAD y CDA[8].

En el análisis y diseño de un circuito, suponemos que los parámetros o valor nominal de los componentes son los establecidos. En realidad, los dispositivos sufren desviaciones aleatorias de sus valores nominales, los cuales son resultados de la naturaleza estocástica de muchos procesos físicos que se dan durante el proceso de fabricación del circuito integrado, como fluctuaciones microscópicas, la rugosidad en los bordes, variaciones en el dopado del material, grosor del óxido. Sin embargo, estas fluctuaciones estadísticas no pueden ser completamente eliminadas, su impacto tiene que ser minimizado[10,7,11].

El desacoplo entre componentes (Mismatch) es usualmente expresado como la desviación entre valor medido y el valor propuesto del dispositivo. Para entender el impacto del desacoplo se presenta el siguiente ejemplo, supongamos 2 resistores iguales, con valor de $10K\Omega$. Después de la fabricación, el par de resistencias presentan un valor de $12.47K\Omega$ y $12.34K\Omega$, esto debido a las tolerancias del 20 % al 30 % que se presentan en los dispositivos integrados. Ahora la variación entre dos componentes similares sobre el mismo circuito integrado o desacoplo entre componentes, puede ser controlado mejor que el 1 %, y en muchos casos, mejor que el 0.1 %. En este caso la variación entre las resistencias es igual a 1.0105 %, o aproximadamente 1 % más que el rango previsto de 1.0000.[11]

Particularmente en el MSD, este error de desacoplo entre elementos unitarios se encuentra presente en la etapa de retroalimentación del sistema, donde se encuentra el CDA. Esto debido a la naturaleza de su arquitectura basándose en referencias, existe una gran variedad de topologías que pueden ser usadas para la implementación del CDA, una arquitectura común es la del empleo de 2^N elementos unitarios, donde N

es el número de bits, estas pueden ser basados en cadenas de resistencias, matrices de corrientes, bancos de capacitores, entre otros [11,8].

Analizando el MSD se puede observar cómo el error de desacoplo generado en la retroalimentación por el CDA no está moldeado por la función de transferencia del ruido (NTF). Éste se añade a la entrada del modulador y es transferido a la salida a través de la función de transferencia de la señal (STF). Por lo tanto, la STF moldea el ruido generado por el error de desacoplo dentro de la banda base. El riguroso requerimiento de linealidad alienta al uso de cuantificadores de 1-bit, y hacer un cuidadoso diseño para asegurar que el convertidor cumpla con los requisitos generales de resolución [8].

Existen técnicas para la disminución del efecto de desacoplo, tales como calibración láser durante la fabricación, por medio de correcciones digitales [12,13] y/o por medio de la técnica conocida como acoplamiento dinámico entre elementos (DEM por sus siglas en inglés Dynamic Element Matching). Esta técnica se puede realizar mediante diferentes algoritmos, Random Averaging (RDA) Clocked Averaging (CLA) Individual Level Averaging (ILA) O Data Weighted Averaging (DWA) entre otros [14,15,16,17,18,19].

La técnica DEM consiste en igualar los elementos en promedio en lugar de realizar correcciones estáticas en los valores. Esto se realiza mediante algoritmos de selección de los elementos unitarios ya sean resistencias o condensadores, logrando así corregir el error de desacoplo y otros efectos no deseados como cambios debido a la temperatura. El algoritmo de selección DWA es uno de los más utilizados para MSD multibit, debido a que moldea el espectro del error de desacoplo dispersándolo fuera de la banda de interés, además, su implementación es sencilla y no requiere de circuitos sofisticados.

I.4. Objetivos Generales.

El objetivo general de este trabajo es el análisis y diseño de un sistema de corrección dinámica para un convertidor digital analógico híbrido (resistencias y capacitores) para moduladores sigma delta multi-bit pasa-banda.

En este trabajo se propone un circuito para modificar el algoritmo de selección DWA, para ser usado en MSD pasa-banda, para que el error producido por el desacoplo entre las resistencias se atenúe en frecuencias intermedias. El diseño será tanto a nivel sistema como a nivel circuito y macromodelos.

En este trabajo se propone el uso de una arquitectura dinámica híbrida, la cual combina las características de un CDA tipo resistivo con la modulación dinámica del error tipo capacitivo.

Se utiliza como vehículo de prueba un MSD pasa-banda 4/bits, de segundo orden. El diseño está orientado a una tecnología CMOS de 180nm, la cual requiere un voltaje de polarización de 1.8V . El sistema se implementa con la técnica de condensadores conmutados y estructuras completamente diferenciales para atenuar los efectos de inyección de carga.

I.5. Organización de la Tesis.

El segundo capítulo presenta los conceptos básicos para entender el funcionamiento del modulador sigma delta pasa-bandas en general, serán abordadas temas como la cuantificación, sobremuestreo, modulación del ruido (noise shaping). Así como los efectos no ideales que se presentan en el CDA, se revisará la presencia del error de desacoplo en las resistencias, y el desarrollo de los algoritmos de selección de elementos unitarios, para el moldeo del error producido por el desacoplo en el espectro.

El tercer capítulo muestra el desarrollo y análisis del algoritmo DWA propuesto, para moduladores sigma delta pasa-banda. El análisis se desarrolla a nivel sistema mostrando resultados de la simulación y el análisis de estos.

El capítulo 4 contiene la lógica para la integración del DWA propuesto al MSD pasabandas. Muestra el modelo esquemático del modulador bloque por bloque. Se muestran los resultados de la simulación.

El capítulo 5 contiene las conclusiones generales del trabajo y la propuesta del trabajo futuro.

Capítulo II

Modulador Sigma Delta Conceptos Básicos.

II.1. Introducción.

Este capítulo presentan los conceptos básicos para comprender el funcionamiento del modulador sigma delta y sus comportamientos no lineales. Se muestra la importancia y los beneficios del sobremuestreo para distribuir el error de cuantificación entre el espectro. Se muestra el análisis del moldeo del ruido de cuantificación presente en el CAD.

Posteriormente se aborda el tema del desacoplo entre elementos unitarios. El desacoplo entre componentes se presenta en el convertidor digital analógico, el cual se encuentra en la retroalimentación del sistema. Se presentan, también, las estrategias o métodos actualmente usados para minimizar y corregir este problema.

Por último, se muestra el funcionamiento de MSD pasa-bandas y la incorporación de la técnica DWA híbrida RC para corrección en frecuencias intermedias FI.

II.2. Modulador Sigma Delta.

II.2.1. Antecedentes Históricos.

Inicialmente el concepto de sobremuestreo y moldeo de ruido, surgió en la búsqueda de una técnica eficiente para transmitir señales de voz digitales, dando como resultado el

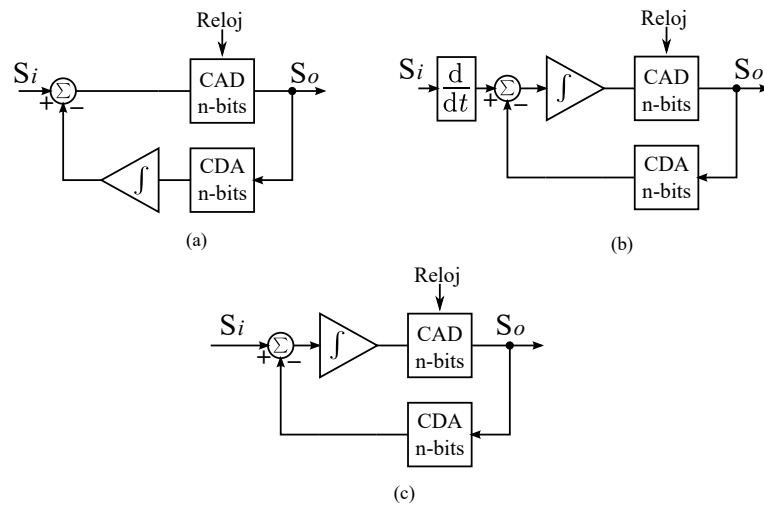


Figura 5: (a) Modulador Delta. (b) Diagrama equivalente al modulador delta. (c) Modulador Sigma Delta.

Modulador Delta (MD). El Modulador Delta ilustrado en la figura 5(a), fue inventado en los años 50s de manera independiente por los laboratorios ITT, los laboratorios Philips de investigación y los laboratorios Bell [20, 21, 22]. En 1954 Cutler introdujo los conceptos de relación sobremuestreo (OSR) y moldeo del ruido [23]. El objetivo era alcanzar un alto SNR en un limitado ancho de banda. El nombre del Modulador Delta Sigma (MDS) fue finalmente introducido por Inose y Yasuda en 1962 [24, 25]. Dado que el modulador delta, por su comportamiento pasa-altas, es incapaz de transmitir componentes en corriente directa (CD), Inose propuso mover la señal de entrada del sistema (S_i , figura 5 a), a la entrada del integrador, figura 5(c), en lugar de la salida. De esta forma, se tiene un sistema equivalente añadiendo un bloque derivativo a la terminal de la entrada, como se muestra en la figura 5(b). La evolución natural del sistema es remover el bloque derivativo figura 5(c). La diferencia entre el MSD y el MD, es que el integrador opera con la diferencia de errores y no con la estimación de la señal, obteniendo con el MSD una respuesta pasa-bajas para la señal de entrada y pasa-altas al ruido de cuantificación. A mitad de los años 70s Candy crea el primer MSD

multibit [26], para este tiempo la mayoría de los diseñadores preferían la robustez del MSD que el MD.

II.2.2. Relación de Sobremuestreo (OSR).

En los años 80s los métodos de sobremuestreo se popularizaron impulsados por la necesidad de reducir el ruido del sistema, así como el uso de procesadores digitales de señales de mejor rendimiento, dimensiones cada vez más pequeñas de los transistores, el aumento de la densidad del circuito y rangos de voltaje más pequeños [27].

La propuesta de los diseñadores era hacer convertidores digitales analógicos simples, usando métodos de sobremuestreo para reducir el ruido en la banda base, asumiendo el costo de tener frecuencias de muestreo altas. Actualmente, la demanda de anchos de banda mayores, exige a los diseñadores realizar circuitos más complejos, para lograr reducir la OSR.

Sobremuestreo, es el proceso de tomar más muestras por segundo (f_s) que el requerido por el criterio de Nyquist. Al aumentar las muestras por segundo no afectamos la potencia de la señal de entrada, ni la potencia del ruido de cuantificación generado por el CAD. La relación de sobremuestreo se define como el cociente entre la frecuencia de muestreo (f_s) y dos veces el ancho de banda de la señal (ie., frecuencia de Nyquist), esto es:

$$OSR = \frac{f_s}{2f_0} \quad (5)$$

El ruido de cuantificación (ε), generado en el CAD, se puede modelar como ruido blanco teniendo igual probabilidad de errar en cualquier lugar en el rango $\pm\Delta/2$, siendo

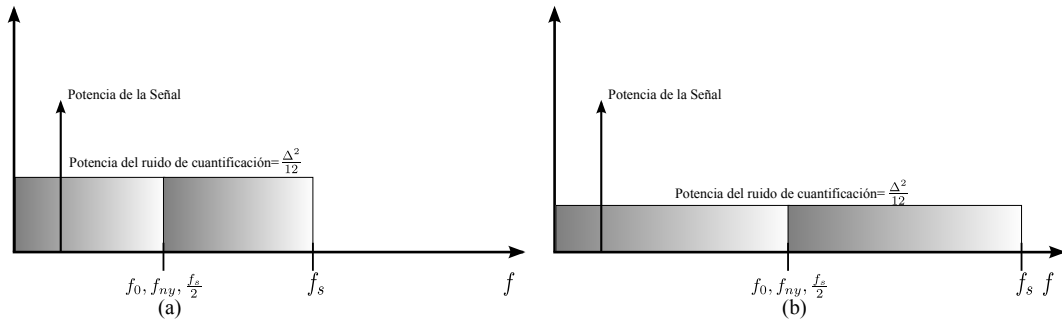


Figura 6: (a) Frecuencia de muestreo baja. (b) Frecuencia de muestreo alta.

Δ el paso de cuantificación. El valor rms del error es:

$$\varepsilon_{rms}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon^2 de = \frac{\Delta^2}{12} \quad (6)$$

Trasladando esta definición de potencia del ruido de cuantificación, del tiempo a la frecuencia, por el teorema de parseval, tendremos que $\Delta^2/12$ será la potencia del ruido total en el espectro de 0 a f_s . Por lo tanto, la potencia del ruido dentro de un determinado ancho de banda es:

$$n_0^2 = \int_0^{f_0} \varepsilon_{rms}^2(f) df = \varepsilon_{rms}^2 \left(\frac{2f_0}{f_s} \right) = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (7)$$

Donde $f_0 = f_s/2$. En la figura 6 (a) se observa cómo se distribuye el ruido dentro de una frecuencia de muestreo baja, mientras que en la figura 6 (b) se muestra la distribución del ruido en un rango más amplio, esto al aumentar la frecuencia de muestreo. Si consideramos la banda base hasta la frecuencia de Nyquist, la potencia del ruido se reduce por 3dB al duplicar la OSR.

II.2.3. Cuantificación.

Cuantificación en amplitud y muestreo en el tiempo es una de las partes más importantes a considerar en los convertidores analógico a digital. La cuantificación cambia una señal muestreada en el tiempo, que es continua en amplitud, a una discreta en amplitud.

El valor máximo y mínimo de voltaje con el que trabaja el sistema, sin saturarse, es denominado como rango dinámico (DR). Este rango es dividido en un número igual de intervalos, los cuales son representados cada uno, con una determinada amplitud analógica.

El valor analógico de entrada, es modificada al valor de referencia de cuantificación más cercano. Al cuantificar la señal de entrada, y tener estos voltajes de referencia, se introduce una distorsión o error en la señal. Este error es un aspecto clave en el desempeño del MSD.

La figura 7 muestra un ejemplo de un cuantificador uniforme multinivel de 3 bits, donde el número de referencias o niveles, igualmente espaciados puede ser expresado como:

$$M = 2^b \quad (8)$$

Donde b es el número de bits, en este caso se tienen 8 niveles de cuantificación. Asumiendo que $Ref = V_{max} - V_{min}$, la amplitud de cada intervalo de cuantificación Δ es definida por:

$$\Delta = \frac{Ref}{M} \quad (9)$$

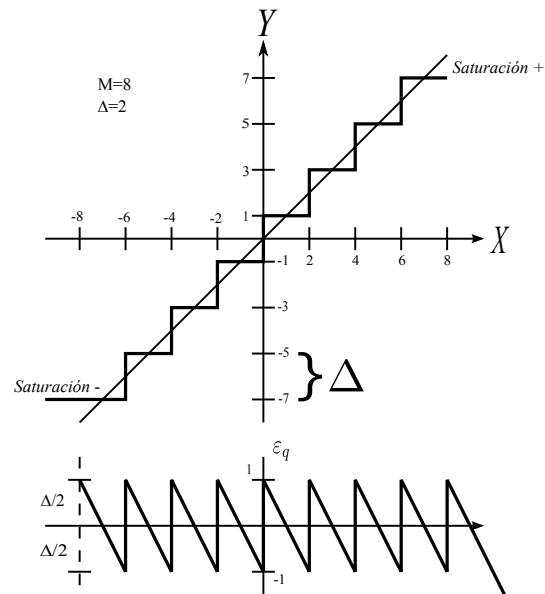


Figura 7: Ejemplo de un cuantificador uniforme multinivel.

En la figura 7 se muestra que el error de cuantificación ε_q esta entre los rangos $\Delta/2$ y $-\Delta/2$. Fuera del rango dinámico $V_{max} \dots V_{min}$, la salida del cuantificador se satura en los dos limites, entonces ε_q aumenta linealmente en sentido negativo o positivo.

El convertidor analógico digital al cuantificar la señal de entrada, hace que se introduzca un inevitable error en el sistema. Este error es completamente definido por el comportamiento de la señal de entrada, teniendo en cuenta que el error no es completamente descorrelacionado y aleatorio, hace difícil realizar una aproximación lineal.

Una práctica común, para representar el efecto de cuantificación con un modelo lineal, es suponer que la entrada cambia aleatoriamente entre las muestras con valores entre el rango dinámico sin causar saturación y con igual probabilidad de que haya errado en cualquier punto dentro del rango $\pm\Delta/2$, en este caso el error en gran parte no se encontrara correlacionado.

De esta manera, el error de cuantificación puede suponerse que se comporta como una señal independiente, uniformemente distribuida, y descorrelacionada, el error puede

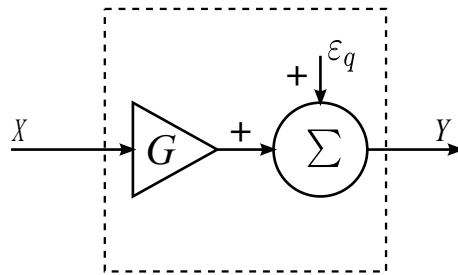


Figura 8: Modelo linealizado del cuantificador.

entonces representarse como una fuente aditiva de ruido blanco.

Con esto pueden ser determinadas algunas propiedades importantes de los moduladores. En [28, 27] se prueba, que bajo ciertas condiciones, el ruido blanco uniforme de cuantificación provee una buena aproximación a la realidad. En particular sí y solo sí:

- ◆ El cuantificador no entre en estado de saturación, evitando que la señal de entrada exceda el rango dinámico de entrada del cuantificador.

- ◆ El cuantificador tenga un gran número de niveles, o que la distancia entre los niveles sea pequeña.

- ◆ Que el error sea uniformemente distribuido en $\pm\Delta/2$.

- ◆ La densidad espectral de la potencia del error es plana (ruido blanco).

Este modelo lineal del ruido de cuantificación no es completamente correcto, como se mencionó anteriormente, el ruido de cuantificación es una función determinística de la señal de entrada, por lo tanto no puede ser vista como una señal independiente [27, 29]. Sin embargo, el ruido blanco aditivo ha sido usado en los análisis de sistemas, en la gran mayoría de las publicaciones que contienen cuantificadores, como: en comunicaciones, control, en la literatura de procesamiento de señales, mostrando resultados razonablemente buenos, lo cual hace el ruido blanco aditivo una aproximación confiable para el modelado del sistema.

Basándose en la aproximación del ruido blanco, es posible obtener un modelo lineal

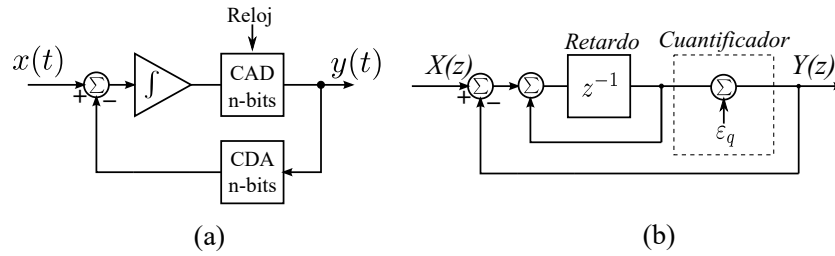


Figura 9: (a) Modulador Sigma Delta. (b) Diagrama equivalente al Modulador Sigma Delta.

del cuantificador como el que se muestra en la figura 8, donde G representa la ganancia lineal del cuantificador, mientras que ε_q es una fuente de ruido blanco, uniformemente distribuido y no correlacionado con la señal de entrada.

II.2.4. Moldeo del Ruido de Cuantificación.

El propósito del método de sobremuestreo es distribuir el espectro del ruido sobre un ancho de banda más amplio, atenuando el ruido en la banda de interés. Este método es más efectivo si el espectro del error es multiplicado por una función de transferencia, que moldee el espectro del error.

Para una banda de interés en frecuencias bajas, podemos multiplicar el espectro del error por una función de transferencia pasa altas, el espectro del error será atenuado en la banda de interés, y se aumentará en frecuencias altas.

En la figura 9 (b) se muestra la representación equivalente del modulador sigma delta de primer orden, en donde el cuantificador es representado como un ruido blanco ε_q añadido al sistema. Como este es un sistema en tiempo discreto, representamos el integrador con un acumulador y un retardo retroalimentado. La función de transferencia discreta del integrador es:

$$H_{(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (10)$$

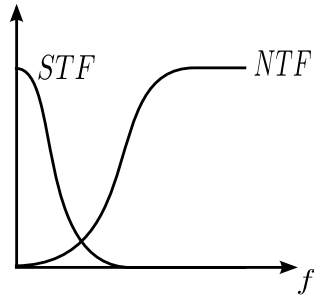


Figura 10: Comportamiento de la función de transferencia del ruido y de la señal, modulador sigma delta.

Por lo tanto, analizando la salida Y del modulador obtendremos la siguiente ecuación:

$$Y(z) = X(z) \cdot z^{-1} + \varepsilon_q(z) \cdot (1 - z^{-1}) \quad (11)$$

En la ecuación 11 se muestra que la señal de entrada es multiplicada por una función de transferencia pasa bajas (z^{-1}), mientras que el ruido de cuantificación es multiplicado por una función de transferencia pasa altas ($1 - z^{-1}$).

Este sistema representa un modulador de tiempo discreto de primer orden, el cual tiene una función de transferencia del ruido (NTF) tipo pasa-altas, el comportamiento esperado se muestra en la figura 10.

II.2.5. Moldeo del Ruido de Alto Orden y Estabilidad

Para obtener una mayor atenuación del ruido en la banda base, se puede aumentar el orden del filtro. Moduladores de segundo orden o más, proveen más atenuación en la banda base y por lo tanto permiten el uso de valores de la OSR más bajos.

La función de un modulador genérico de orden L es:

$$Y(z) = X(z) \cdot z^{-L} + \varepsilon_q(z) \cdot (1 - z^{-1})^L \quad (12)$$

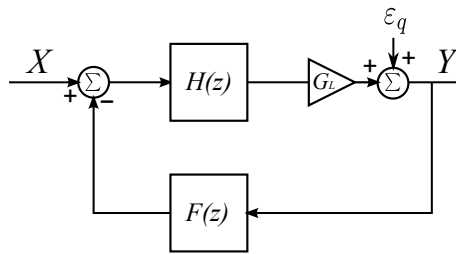


Figura 11: Diagrama a bloques de un modulaor retroalimentado.

Por lo tanto, el ruido del cuantificador es atenuado L veces en DC o $\text{frec}=0$, y la señal será retardada L veces sin sufrir alguna alteración. Desafortunadamente, a diferencia de los moduladores de primer y segundo orden, los moduladores de un bit de tercer orden a un orden mas alto, presentan inestabilidad. Esta inestabilidad se manifiesta como un crecimiento ilimitado en la salida de los integradores, así como la entrada limitada por una fracción predeterminada del rango de voltaje de referencia de retroalimentación.

Para analizar el MSD de alto orden, se toma como referencia el diagrama a bloques básico del MSD de primer orden. Como se mostró anteriormente, el error de cuantificación es sustituido por una adición de ruido blanco ε_q y una ganancia lineal del cuantificador G . Esta ganancia G al considerarse dentro del modelo lineal del modulador, cambia la función de transferencia del sistema. De acuerdo con la teoría de estabilidad si la ganancia de bucle, incluyendo G , no es adecuada, el sistema puede tener un comportamiento inestable.

El MSD de la figura 11, se le agrega el bloque $F(z)$ en la parte de la retroalimentación, para obtener el siguiente análisis. Sabemos que la ecuación de salida de un MSD es:

$$Y(z) = STF \cdot X(z) + NTF \cdot \varepsilon_q \quad (13)$$

Analizando el diagrama a bloques de la figura 11, se obtiene la STF y NTF:

$$STF = \frac{G \cdot H(z)}{1 + G \cdot H(z) \cdot F(z)} \quad (14)$$

$$NTF = \frac{1}{1 + G \cdot H(z) \cdot F(z)} \quad (15)$$

Las funciones $F(z)$ y $GH(z)$ se pueden determinar despejando las ecuaciones 14 y 15:

$$F(z) = \frac{1 - NTF}{STF} \quad (16)$$

$$G \cdot H(z) = \frac{STF}{NTF} \quad (17)$$

Analizando estas ecuaciones para MSD de primer orden se sabe que la $NTF = 1 - z^{-1}$ y $STF = z^{-1}$, por lo tanto sustituyendo primero en la ecuación 16, $F(z)$ sera igual a 1, concluyendo que para moduladores de primer orden podemos ignorar este bloque. Ahora sustituyendo en 17 tendremos la siguiente función de transferencia para construir el modulador:

$$G \cdot H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (18)$$

Para moduladores de un orden mayor tenemos que la $NTF = (1 - z^{-1})^L$ y $STF = z^{-L}$. En este caso para obtener las funciones de transferencia de $F(z)$ y $GH(z)$ para un MSD de segundo orden 16 y 17 serán evaluados con $L = 2$:

$$G \cdot H(z) = \frac{z^{-2}}{(1 - z^{-1})^2} \quad (19)$$

$$F(z) = \frac{2 - z^{-1}}{z^{-1}} = 2z - 1 \quad (20)$$

La figura 12 (a) muestra un diagrama de bloques linealizado, del MSD de tiempo

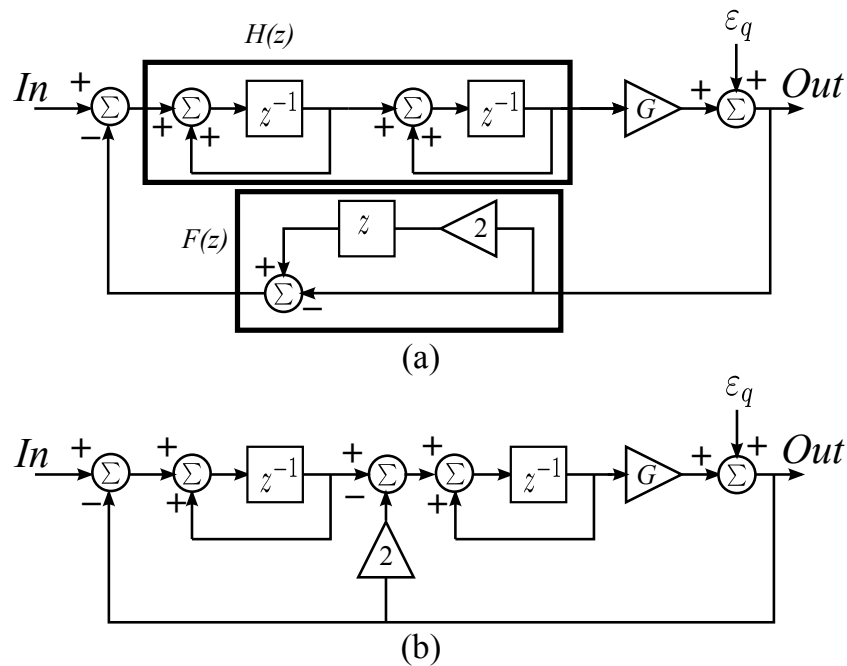


Figura 12: Manipulación del diagrama a bloques del modulador sigma delta de segundo orden.

discreto, de segundo orden, el cual usa las ecuaciones 19 y 20. Esta topología puede ser simplificada manipulando sus elementos siempre y cuando se mantenga su función de transferencia. El diagrama equivalente se muestra en la figura 12 (b), la retroalimentación es conectada a un nodo intermedio inmediatamente después del primer integrador. En este caso bajo la aproximación de la ganancia unitaria, y satisfaciendo 19, G en la figura 12 (b) es igual a 1.

La simulación de la figura 12 (b), muestra que el rango dinámico de salida del integrador es más grande que el rango dinámico de entrada del modulador, esto ocasionando un problema dado a las restricciones del rango dinámico de la tecnología.

En la figura 13 muestra el diagrama a bloques de un MSD de segundo orden, donde se le ha incluido ganancias independientes para cada entrada de los integradores. Con una arquitectura switch capacitor estas ganancias se realizan con la apropiada selección de las dimensiones de los capacitores de entrada.

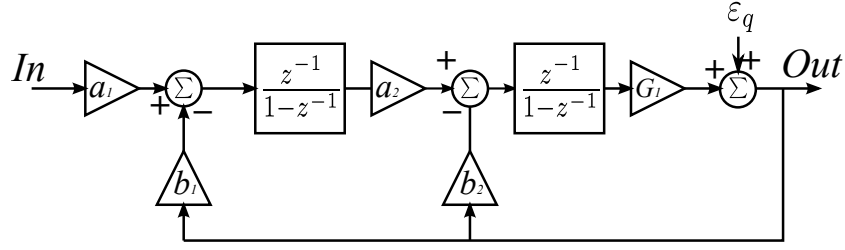


Figura 13: Modulador sigma delta de segundo orden con ganancias independientes en cada integrador.

De acuerdo a la aproximación de la ganancia unitaria, el equivalente de la ganancia del cuantificador en la topología de la figura 13 es:

$$G = \frac{1}{b_1 \cdot a_2} \quad (21)$$

Para implementar la misma función de transferencia dada por el modulador de la figura 12, la ganancia del integrador debe de satisfacer la siguiente restricción, en la figura 13:

$$\frac{b_2}{b_1 \cdot a_2} = 2 \quad (22)$$

Para disminuir la ganancia del primer integrador y hacer uso de las dimensiones de los capacitores para modificar las ganancias, podemos reordenar y decir que $b_1 = 1$ y $b_2 = 1$, y decir de acuerdo a la restricción 22 que $a_2 = 0,5$ y por lo tanto despejando en la ecuación 21 tendremos que $G = 2$, con este nuevo arreglo se resuelve el problema del rango dinámico y no se afecta la función de transferencia del modulador [9].

La figura 14 muestra resultados de simulación del modulador de la figura 13. Se muestra el moldeo espectral del ruido de cuantificación del MSD, el cual es multiplicado por una función de transferencia pasa altas de segundo orden, atenuando el error en frecuencias bajas. Esta simulación fue utilizando una topología linealizada del modulador sigma delta multibit de segundo orden ideal.

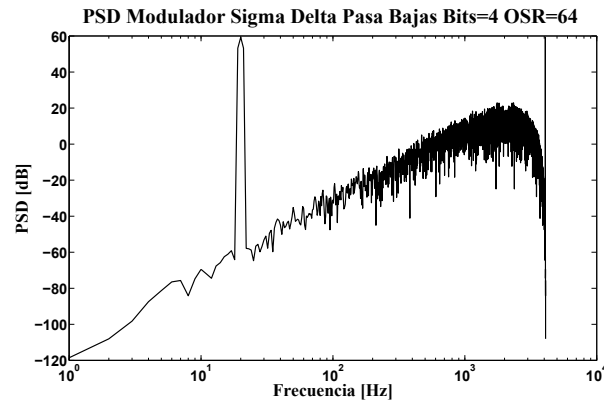


Figura 14: Simulación del modulador sigma delta pasa-bajas de segundo orden multibit.

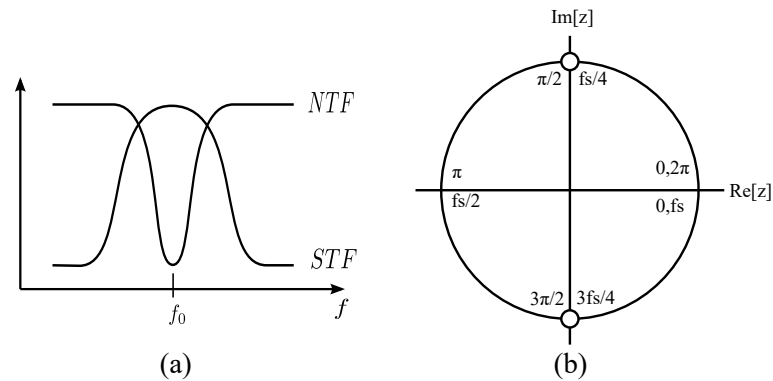


Figura 15: (a) Comportamiento NTF y STF Pasa-Banda (b) Plano Z.

II.2.6. Transformación a Sigma Delta Pasa Bandas.

Para las señales en frecuencias intermedias, el modulador sigma delta debe de atenuar el ruido de cuantificación en esa banda, dando lugar al convertidor sigma delta pasa bandas. Para este MSD pasa bandas como en el pasa bajas, se considera que en una etapa posterior al modulador existe un filtro digital el cual rechaza el ruido fuera de la banda de interés.

Una manera de obtener un MSD pasa-bandas es utilizando resonadores digitales, estos son sistemas lineales recursivos (IIR) teniendo un par de polos conjugados colocados dentro del círculo unitario del plano-z.

El diseño del modulador sigma delta pasa bandas comienza por una adecuada modi-

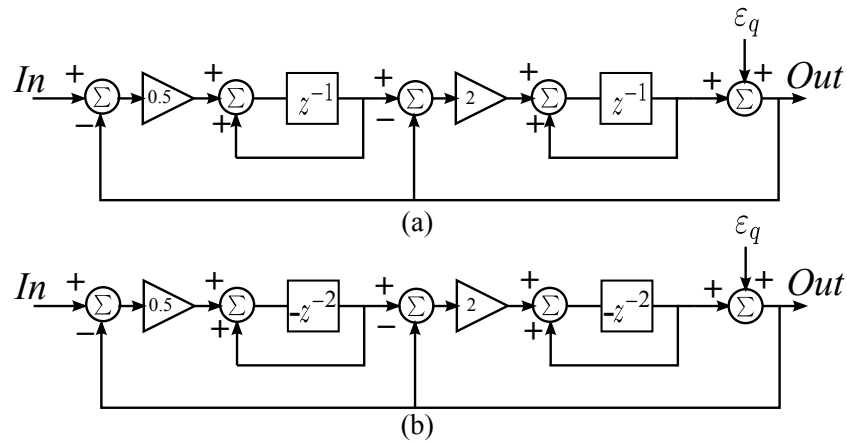


Figura 16: (a) Diagrama del modulador sigma delta pasa-bajas de segundo orden. (b) Modulador sigma delta pasa-bandas con la transformación $z^{-1} \rightarrow -z^{-2}$

ficación al esquema del MSD pasa bajas. El modelo del MSD pasa bajas que se modifica, puede ser de una configuración de primer o segundo orden con un esquema en cascada, o bien un sistema de una sola retroalimentación de alto orden. La función de moldeado pasa bajas, con la atenuación del ruido en $f_0 = 0$ o en corriente directa, es modificada a pasa-bandas alrededor de el punto $z_{bp} = \pm e^{j\Omega_0}$. Si por ejemplo, $\Omega_0 = \pm\pi/2$ entonces $z_{bp} = \pm j$ o $f_0 = f_s/4$, el cual es la mitad de la frecuencia de Nyquist. En la figura 15 (b) se muestra gráficamente el plano- z y la colocación de los ceros en $\pm f_s/4$. La función de transferencia que moldea el ruido de cuantificación debe ser $1 + z^{-2}$, para lograr esto es necesario cambiar la función de transferencia $H(z)$, modificando el retardo $z^{-1} \rightarrow -z^{-2}$.

II.2.7. Relación Señal a Ruido (SNR).

En el estudio de los efectos de la cuantificación es conveniente usar el concepto de la Relación Señal a Ruido (SNR). Se mostró que la cuantificación se puede representar linealmente como una suma de un ruido blanco a la entrada. Si tenemos una gran cantidad de este ruido, esto reduce la capacidad del convertidor de conservar la señal

original. El efecto del ruido es evaluado por la SNR definida como:

$$SNR_{dB} = 10 * \log \frac{P_{sign}}{P_{noise}} \quad (23)$$

Donde P_{sign} y P_{noise} son la potencia de la señal y potencia del ruido respectivamente. Esta expresión supone que el error de cuantificación puede representarse como ruido. Suponiendo una señal senoidal como tono de prueba a la entrada del convertidor, la potencia a escala completa es:

$$P_{sign} = \frac{A^2}{2} \quad (24)$$

Y la potencia del ruido de cuantificación como vimos en la ecuación 6 es:

$$P_{noise} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon^2 d\varepsilon = \frac{\Delta^2}{12} \quad (25)$$

Sustituyendo la ecuación 23 de la SNR tenemos que:

$$SNR_{dB} = 10 * \log \left(\frac{\frac{A^2}{2}}{\frac{\Delta^2}{12}} \right) \quad (26)$$

Desarrollando la ecuación tendremos:

$$SNR_{dB} = 6,02b + 1,76 \quad (27)$$

Donde b es el número de bits. Las unidades de esta relación son decibeles.

La ecuación 27 establece una útil relación entre la SRN máxima y el número de bits del cuantificador. Esto nos indica que al aumentar un bit en el cuantificador, mejoramos la SNR aproximadamente 6dB. Esta aproximación de la SNR se aplica para el ruido de cuantificación, no se toma en cuenta el moldeo espectral del ruido.

Un cuantificador de 1bit, genera un amplio error de cuantificación, para atenuar el error es necesario un alta relación de sobremuestreo. Con una resolución en el cuantificador de más de 1bit los componentes del ruido contendrán menos potencia.

La SNR de un modulador de un orden (L) mayor puede ser estimada en el siguiente análisis.

La señal de ruido a la salida del modulador en un determinado ancho de banda B_o puede estimarse como:

$$e_m^2 = \frac{2}{f_s} \int_0^{B_o} e_{rms}^2 \|(1 - z^{-1})\|^{2L} df \Big|_{z=e^{j2\pi f T_s}}. \quad (28)$$

Donde $T_s = 1/f_s$. Sustituyendo la potencia del error e_m^2 , en la fórmula $SNR = P_{sign}/e_m^2$ se obtiene la siguiente aproximación:

$$SNR = \frac{3\pi}{2} (2L + 1)(2^B - 1)^2 \left(\frac{OSR}{\pi} \right)^{2L+1}. \quad (29)$$

Donde L es el orden del modulador, el cual es limitado por la estabilidad a órdenes menores de L=2. B es el número de bits del cuantificador, el cual es limitado por la complejidad y el crecimiento exponencial del hardware y la disipación de potencia del CAD. Aumentando cualquiera de estos parámetros se aumenta la relación señal a ruido en la banda base.

La figura 17 muestra la gráfica de la SNR Vs la relación de sobremuestreo, utilizando la ecuación 29, con diferente orden L=1, 2, 3, 4. Se observa que al aumentar el orden, hay un aumento en la SNR mientras se incrementa la OSR.

Se deben interpretar estos resultados con cuidado, tomando en cuenta como se dijo anteriormente, los MSD de orden mayor a 2 presentan problemas de estabilidad. Existen

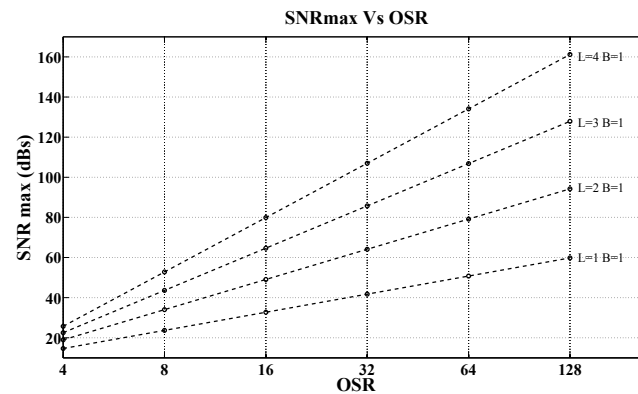


Figura 17: SNR Maxima Vs OSR con variación en el orden.

topologías de ordenes mayores a 2, alcanzando este orden con ciertas restricciones, por lo cual la SNR puede ser más baja que la calculada con la ecuación 29.

II.3. Convertidor Digital Analógico de Retroalimentación.

El estudio del funcionamiento y los comportamientos no lineales del DAC, son fundamentales para optimizar el desempeño MSD. Analizando el MSD en la etapa de retroalimentación, se puede observar que el error generado en la parte del DAC, no está moldeada por la NTF del MSD, en lugar de esto, el error es añadido a la entrada del modulador y multiplicado por la STF, para después ser trasferido a la salida, añadiendo distorsión en la banda base.

Los convertidores digitales analógicos usados en el MSD son:

- ◆ Ponderación binaria.
- ◆ Escalera R2R.
- ◆ Código termómetro.
- ◆ Híbrido.

Este trabajo se centra en el DAC de termómetro e híbrido. El DAC de código termómetro o elementos unitarios usa una serie de 2^B elementos idealmente idénticos. Una implementación práctica de este DAC consiste en 2^B elementos (resistencias, condensadores o fuentes de corriente). El hardware para construir estos convertidores crece exponencialmente según el número de bits “B”, por ejemplo para un CDA de 8 o 16 bits, se requieren 255 o 65,535 segmentos iguales respectivamente. En un MSD se usan DAC de hasta 5 bits, ya que con esto se tiene un buen compromiso entre complejidad y hardware requerido.

Los MSD requieren de señales analógicas positivas y negativas en el lazo de realimentación. EL DAC debe tener la capacidad de manejo de éstas. Hay diversos formatos para representar las señales negativas en el proceso de conversión y cada uno presenta compromisos, ventajas y desventajas para los aspectos de conversión y procesamiento de la señal. La manera de representarlas, influenciará los aspectos de conversión y del procesamiento analógico y digital. La tabla I muestra los formatos digitales más comunes para representar cantidades positivas y negativas. [3]

En la primera columna de la tabla I se muestra el código binario directo; éste se adapta bien para las señales positivas. Para el manejo de señales bipolares se usan varios códigos, entre ellos están el código de desplazamiento binario y el complemento a dos. En el dominio digital es posible manejar adecuadamente señales positivas y negativas, sumas y restas de acuerdo al formato que se adecue a la aplicación.

Los componentes básicos usados en las arquitecturas DAC, se distinguen por:

- ◆ Arquitecturas basadas en resistencias.
- ◆ Arquitecturas basadas en capacitores.
- ◆ Arquitecturas basadas en fuentes de corriente.

Un ejemplo de un DAC consiste en una serie de resistencias entre dos referencias

Cuadro I: Formas de representación digital

Binario directo		Offset binario		Complemento a dos	
15	1111	7	1111	7	0111
14	1110	6	1110	6	0110
13	1101	5	1101	5	0101
12	1100	4	1100	4	0100
11	1011	3	1011	3	0011
10	1010	2	1010	2	0010
9	1001	1	1001	1	0001
8	1000	0	1000	0	0000
7	0111	-1	0111	-1	1111
6	0110	-2	0110	-2	1110
5	0101	-3	0101	-3	1101
4	0100	-4	0100	-4	1100
3	0011	-5	0011	-5	1011
2	0010	-6	0010	-6	1010
1	0001	-7	0001	-7	1001
0	0000	-8	0000	-8	1000

de voltaje como se muestra en la figura 18(a). Esta arquitectura es llamada escalera o cadena de resistencias. La cadena de resistencias puede trabajar como un CDA si una red de selección y conmutación esta conectada a la cadena resistiva.

En la figura 18(a) se muestra una cadena resistiva divisora de voltaje conectada entre V_{ref} y tierra, la cantidad de resistencias iguales conectadas, es determinada por 2^B , donde B es el número de bits, el cual genera también 2^B voltajes analógicos discretos.

El rango dinámico del DAC es establecido por el voltaje de referencia el cual puede ser generado dentro del dispositivo o externo de éste. En cualquier caso es necesario asegurar un alto grado de precisión, ya que cualquier error en las referencias limita el rendimiento del sistema en su totalidad.

Las arquitecturas basadas en capacitores, como se muestra en la figura 18(b), cambian la estructura de resistencias por cadenas de capacitores (switch capacitors); en este caso cada capacitor seleccionado se carga con un voltaje $V_{ref}/2^B$. La diferencia

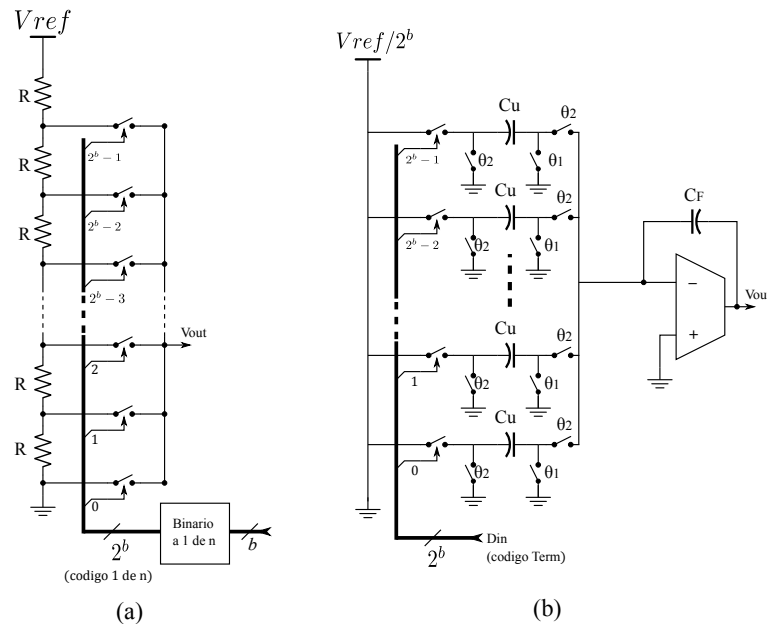


Figura 18: (a) DAC con cadenas de resistencias (b) DAC arquitectura utilizando capacitores.

con la arquitectura de cadena resistiva es que ahora la carga es la portadora de información, la cual es sumada por el amplificador de transconductancia, para entregar el valor analógico correcto.

Las Arquitecturas híbridas pueden dar una mejor solución a la conversión, esto al combinarse las arquitecturas capacitivas y resistivas. Ya que la arquitectura basada en capacitores requiere de un buffer para conservar el voltaje de salida, el DAC basándose en resistencias es usado para el grueso de la conversión digital analógica, mientras que el DAC basado en capacitores proporciona la conversión fina. Esto permite realizar por separado las funciones de conversión y corrección, que normalmente se hacen en un solo circuito; con la posibilidad de optimizar por separado ambas funciones. En muchos dispositivos integrados donde el DAC es usado, se pone en funcionamiento la estrategia híbrida, ya que proporciona un mejor compromiso entre costo, velocidad, precisión y consumo de potencia [30,8].

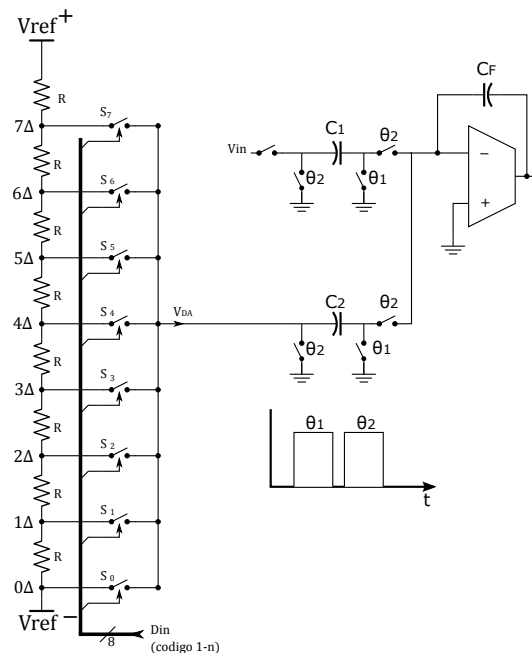


Figura 19: Arquitectura híbrida convertidor digital analógico.

La figura 19 muestra una arquitectura híbrida, la cual combina estructuras capacitivas y resistivas. En este convertidor la entrada digital es transformada a código “1 de n” para la selección del arreglo de los interruptores de la etapa resistiva para conectar y cargar el voltaje de este nivel a la segunda etapa capacitiva. De esta manera el voltaje cargado en el condensador es sumado al voltaje V_{in} , esto último como representación de la conexión de la etapa de retroalimentación en el MSD.

II.4. Desacoplo (Mismatch).

En la implementación real de los dispositivos como las resistencias, capacitores, transistores, etc., el valor nominal de estos difiere, debido a dos efectos: error global en los dispositivos y la fluctuación local de los parámetros. En un circuito integrado, todos los dispositivos son construidos en la misma pieza de silicio, por lo tanto, todos experimentan de forma similar las condiciones de manufactura. Si un componente in-

crementa su valor en un 10 %, los demás componentes construidos de manera igual a éste, experimentarán un aumento similar, es decir, todos los componentes en el circuito experimentan la misma variación global. Por otra parte, de manera local, la variación o error relativo entre dos componentes del mismo valor construidos de manera similar en el mismo circuito, puede controlarse en $\pm 1\%$, y en muchos casos, mejor que el $\pm 0,1\%$ [11].

En base a este comportamiento de los errores mencionados; las estrategias de diseño de los circuitos y sistemas analógicos integrados es hacer que el funcionamiento y desempeño dependan, en gran medida, del acoplamiento entre dispositivos y no del valor absoluto de éstos. A pesar de que los dispositivos aparentemente pueden ser diseñados iguales, algunas variaciones aleatorias son inevitables; los diseñadores se han ideado maneras para minimizar su impacto, las cuales se presentan a continuación.

Podemos expresar el desacoplo (δ) entre dos componentes como [11]:

$$\delta = \frac{(x_2/x_1) - (X_2/X_1)}{(X_2/X_1)} = \frac{X_1x_2}{X_2x_1} - 1 \quad (30)$$

Donde X_1 y X_2 son los valores previstos y los valores medidos son x_1 y x_2 . La misma medición realizada en un segundo par de componentes tendrá un diferente valor de desacoplo. La medición de una mayor cantidad de pares de componentes, producirá una distribución aleatoria de desacoplo.

En el diseño a nivel layout, es posible aplicar algunas reglas para minimizar el impacto del desacoplo. En la tabla II se presentan algunas de éstas reglas de manera cualitativa, estas reglas que pueden ser usadas para la construcción de resistencias o capacitores a nivel layout[11].

Cuadro II: Reglas para el acoplo de dispositivos.

Reglas para el acoplo de resistencias
Construir las resistencias de un mismo material
Construirlas con dimensiones grandes e iguales
Construirlas con idéntica geometría
Orientar las resistencias en una misma dirección
Colocarlas o construirlas cerca una de la otra
Evitar segmentos cortos de resistencias
Si es posible, colocar las resistencias en zonas de estrés bajo
Colocarlos lejos de dispositivos de alimentación
Mismos circuitos circundantes
Reglas para el acoplo de capacitores
Usar geometrías idénticas
Utilizar geometrías cuadradas para los capacitores
Construirlos con dimensiones grandes
Construirlos de manera adyacente
Colocarlos sobre la capa de oxido
Conectar el electrodo superior al nodo de mayor impedancia
Colocarlos lejos de fuentes de alimentación
Mismos circuitos circundantes

Análisis del Error de Desacoplo.

El desacoplo entre los componentes está presente en los convertidores digitales analógicos. Este error de desacoplo tiene un profundo impacto en el desempeño global de los sistemas de conversión tanto AD como DA. Anteriormente se mostró que los CDA pueden ser construidos con resistencias o condensadores. La variación de la resistencia puede expresarse como:

$$R_i = R_u(1 + \varepsilon_a) * (1 + \varepsilon_r) \quad (31)$$

Donde ε_a es el error absoluto y ε_r es el error generado por el desacoplo. El voltaje de salida en el nivel k de una cadena de resistencias que trabaja como divisor de voltaje de n bits entre V_{ref} y tierra es:

$$V_{out}(k) = V_{ref} \frac{\sum_0^k R_i}{\sum_0^{2^n-1} R_i} \quad (32)$$

Donde $k=0,\dots,2^n-1$. El uso de 30 en 31 muestra que el voltaje de salida no depende del error absoluto. El voltaje se convierte en:

$$V_{out}(k) = V_{ref} \frac{k + \sum_0^k \varepsilon_r}{\sum_0^{2^n-1} \varepsilon_r} \quad (33)$$

Por lo tanto, el error depende en gran parte de la acumulación del error de desacoplo.

II.4.1. Acoplo Dinámico de Elementos (DEM).

Los moduladores sigma delta de alto rendimiento han empleado el acoplo dinámico de elementos (DEM), técnica usada para el moldeo del ruido generado en el DAC. Este error, visto como ruido, es generado por el desacoplo de los dispositivos durante la fabricación del circuito integrado.

El desacoplo en los elementos unitarios en el DAC multibit de retroalimentación, introduce un error a la salida, el cual consiste en un incremento en el piso del ruido en el espectro así como armónicos sobre la banda base. En algunos casos el aumento del piso del ruido es aceptable para algunas aplicaciones, pero la distorsión generada por armónicos no lo es. En este caso la técnica de selección aleatoria de elementos del DAC es una simple solución al problema, convirtiendo la energía de los espurios armónicos en un ruido pseudoaleatorio [31].

El método DEM es una técnica para linealizar los convertidores analógicos digital de elementos unitarios. El objetivo es seleccionar estos elementos unitarios de manera aleatoria o pseudoaleatoria, e igualar los valores al valor promedio de estos, en lugar de hacer ajustes estáticos a los valores de cada componente [8].

El DEM usado en el DAC con selección de elementos unitarios con código termómetro puede ser problemático. Usualmente, elementos iguales como resistencias capaci-

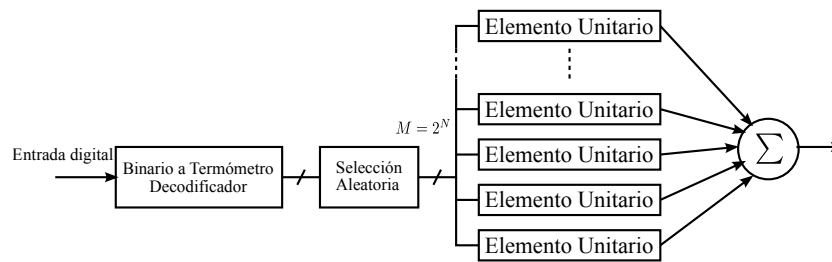


Figura 20: Selección aleatoria de elementos unitarios, DAC controlado por código termómetro.

tores o fuentes de corriente, son sumados usando representación aleatoria del código termómetro como se muestra en la figura 20. La selección de elementos unitarios se realiza mediante una entrada digital la cual es convertida a código termómetro. Estas señales son distribuidas aleatoriamente entre las M señales posibles, las cuales seleccionan los elementos unitarios que serán sumados.

Podemos notar que el número de posibles salidas aleatorias es de $M!$, lo cual pueden ser demasiadas, incluso con un número relativamente pequeño de niveles. Con $M=7$ tendremos 5040, para $M=10$ serán 3.6 millones. Esta alta cantidad de posibles salidas aleatorias son difíciles de codificar, sin embargo, no es estrictamente necesario obtener todas las posibles salidas. Realmente sólo se requiere evitar repetidas frecuencias, que nos producen tonos y ruido en el espectro de frecuencia [8].

Butterfly Randomization.

Esta técnica consiste en una serie de interruptores los cuales conectan las salidas con las entradas. En la figura 21 se muestra un arreglo de interruptores con una arquitectura butterfly de tres etapas con 3 bits de control [8].

El uso de $\log_2 M$ etapas, nos asegura que cada entrada puede ser conectada a cualquier salida, agregando más etapas se incrementa el número de posibilidades de conexiones. El control de los interruptores puede ser realizado usando un generador de

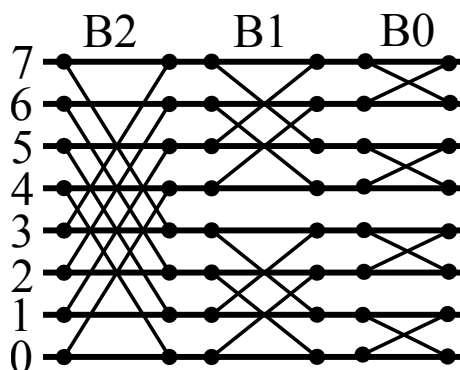


Figura 21: Selección aleatoria tipo butterfly de tres etapas de 8 elementos con tres bits de control.

números aleatorios o por divisiones sucesivas entre 2 del reloj. En este último caso el método es llamado clock averaging [8].

Individual level Averaging (ILA).

Individual level averaging es otra técnica para introducir un moldeo del ruido pasas altas de primer orden. En lugar de tratar de igualar el uso de los elementos unitarios para todos los códigos, ILA trata de igualar su uso por separado por cada código uno a la vez.

Cada nivel de salida tiene un apuntador que graba qué conjunto de elementos fueron utilizados la última vez. De esta forma después de algunas conversiones del mismo nivel, todos los elementos de DAC han sido utilizados para generar el nivel y la acción de cancelación del desacoplo sea completa.

De esta manera el ruido espurio es eliminado. Por lo tanto, se reducen los requerimientos de precisión del DAC sin incrementar apreciablemente el ruido de la banda de interés. La realización de este algoritmo requiere circuitería digital relativamente compleja en comparación con otras alternativas. El método ILA logra obtener un moldeado del espectro del ruido de desacoplo [8].

Tree Structure (TDWA).

La estructura de árbol, trabaja con la salida del modulador, pasándola a través de una serie de nodos que dividen la señal. Cuando la señal pasa a través del nodo, la señal se divide en 2 con un cociente asignado a cada rama. Un bloque de filtrado conectado a cada nodo es el que controla que rama recibirá el resto.

Cada señal de control esta dotada de una secuencia en forma de ruido que es independiente de las otras señales de control. Durante cada ciclo, la lógica del filtro asegura, que el resto se utilizara a la rama menos usada. Entonces el error de desajuste se configurara según el orden de dicha secuencia. Las restricciones en la secuencia de la señal de control hacen que la generación de secuencias de orden mayor a 2 sea difícil de conseguir, y pueden causar una reducción en la efectividad del moldeo de segundo orden en algunos casos[32, 33, 34].

Vector Feedback Structure (VFB).

El esquema de retroalimentación vectorial difiere de otros esquemas DEM, ya que este aplica el filtrado del error de desacoplo a cada elemento del DAC individualmente. Esta técnica trabaja con la salida del modulador la cual pasa por un cuantificador vectorial el cual comprime la salida del modulador en n salidas paralelas, cada salida controla un elemento unitario en el DAC. El cuantificador vectorial elige y enciende un número apropiado de elementos, basado en el valor de los datos procedentes del modulador. Cada salida del cuantificador vectorial es retroalimentada a través de un filtro, de manera similar a como lo hace el modulador convencional, el orden del filtro determina el orden del moldeo del ruido de desacoplo. Al igual que otros esquemas DEM, el objetivo es elegir que elementos usar para que cualquier error de desacoplo

Ciclo	In	Elementos							
		'1'	'2'	'3'	'4'	'5'	'6'	'7'	'8'
1	001	●							
2	011		●	●	●				
3	011					●	●	●	
4	110	●	●	●	●	●			●
5	010						●	●	
6	100	●	●	●					●

Figura 22: DWA, selección de elementos rotativo.

asociado con este elemento se moldee fuera de la banda de interés.[32, 35]

II.4.2. Data Weghted Averaging (DWA).

El acoplo de elementos unitarios DEM, es un método usado para linealizar el convertidor digital analógico de código termómetro. El error puede promediarse manipulando el uso de los elementos unitarios del CDA, con un algoritmo.

Entre los métodos usados, el DWA es el más popular debido a su baja complejidad. En el algoritmo DWA, el valor de salida del CDA es la suma de los elementos unitarios del CDA que son seleccionados cíclicamente. La selección cíclica nos asegura que el error de desacoplo se promedia lo mas rápido posible [36].

En la figura 22 se muestra un ejemplo gráfico del funcionamiento del algoritmo para un DAC de 3 bits formado por 8 elementos unitarios. Los cuadros punteados corresponden a los elementos seleccionados en cada ciclo.

En el primer ciclo el dato digital de entrada es 001, por lo tanto, se selecciona el elemento uno. En el segundo ciclo, el código digital de entrada es 011, que corresponde al número 3, por lo cual, se seleccionan tres elementos unitarios empezando del elemento numero dos. El tercer ciclo, el código de entrada es el mismo que el anterior, así que se

selecciona tres elementos unitarios empezando en el elemento numero 5. En el cuarto ciclo ocurre una rotación, el dato digital de entrada es el número 6, los elementos son seleccionados a partir del elemento 8, al no haber más elementos después del elemento ocho, seleccionamos los 5 elementos restantes a partir del elemento 1. Se puede decir que, en cada ciclo la selección del primer elemento del conjunto, se realiza a partir del elemento que sigue después del último elemento seleccionado del ciclo anterior. El mismo procedimiento de selección sucede para los ciclos posteriores.

Como ya se mencionó, el algoritmo DWA modula los errores causados por el desacoplo con una función de filtrado de primer orden pasa altas $(1 - z^{-1})$.

A continuación se presenta el análisis matemático del mecanismo de modulación del error de desacoplo. Un análisis general del funcionamiento del algoritmo es con el uso de punteros. Un puntero Ptr indica la posición del primer elemento del conjunto, donde $0 < Ptr < L$ y $L = 2^B$ es el número total de elementos del DAC y B es el número de bits. En cada nuevo ciclo de conversión el puntero se actualiza, la nueva posición del puntero, es igual a:

$$Ptr(k) = Ptr(k - 1) + x(k) \quad (34)$$

Donde $x(k)$ es el vector actual seleccionado. En el siguiente ciclo, el número requerido de elementos es seleccionado a partir de la posición que indica el puntero. De esta forma, el puntero indica el último elemento seleccionado.

El valor analógico de salida en un DAC de elementos unitarios en paralelo, está dado por la suma de las cargas o corrientes de sus K elementos unitarios activados en un ciclo de conversión, es decir:

$$V_{out} = \sum_{k=1}^K E_k \quad (35)$$

Donde V_{out} es el valor analógico de salida del DAC, E representa a los elementos

		Elementos							
In		'1'	'2'	'3'	'4'	'5'	'6'	'7'	'8'
PTR	110	●	●	●	●	●	●		
DPTR	010	●	●						
E				●	●	●	●		

Figura 23: DWA, lógica de selección de elementos.

individuales, y K es el número de elementos E seleccionados para la conversión.

Cuando se utiliza el DWA, es posible representar a nivel de procesado de señal, al conjunto de elementos que determina el valor de salida del DAC (vector E)

Cuando se utiliza el DWA, es posible obtener el conjunto de elementos que determinan el valor de salida del DAC (vector E), con la diferencia de dos vectores: vector PTR y vector $DPTR$. Donde $DPTR$ es el vector que contiene los elementos seleccionados del dato de entrada anterior; y PTR es el vector que selecciona el número de elementos del dato actual mas el número de elementos de $DPTR$.

En el ejemplo de la figura 23, el vector PTR tiene activo 6 elementos, mientras que el vector $DPTR$ tiene 2. El resultado nos deja con el vector E el cual tiene 4 elementos activos. Por lo tanto, este vector selecciona 4 elementos del DAC correspondientes a sus elementos activos. De esta forma, la señal se procesa como la diferencia entra los elementos activos del vector PTR y el vector $DPTR$. Es decir:

$$V_{out} = \sum_{k=0}^{Ptr(n)} E_k - \sum_{k=0}^{Ptr(n-1)} E_k = \quad (36)$$

Donde Ptr es el punto que indica la posición del último elemento seleccionado y n indica el ciclo de conversión. De la misma manera que la señal de salida V_{Out} , el error acumulado ε_{ac} debido al desacoplo entre los k elementos, es igual a la suma de los

errores ε de cada elemento E seleccionados en el ciclo de conversión, es decir:

$$\varepsilon_{ac}(Ptr) = \sum_{k=0}^{Ptr} (\omega_k - \bar{\omega}) \quad (37)$$

Donde ω_1 es el valor real del elemento, mientras que $\bar{\omega}$ es el promedio de los valores reales de todos los elementos unitarios, Ptr es el valor actual de la señal (de 0 a L). Así, al igual que la señal V_{out} , el error de desacoplo del DAC es procesado como la diferencia entre dos vectores es decir:

$$\varepsilon_{out} = \sum_{k=0}^{Ptr(n)} (\omega_k - \bar{\omega}) - \sum_{k=0}^{Ptr(n-1)} (\omega_k - \bar{\omega}) \quad (38)$$

Del ejemplo de la figura23 el puntero $Ptr(n)$ apunta al elemento 6 por lo que el error acumulado en el ciclo n es la suma del error de 12 elementos unitarios. En el ciclo anterior $Ptr(n-1)$, el puntero se encuentra en la posición 2, por lo que el error acumulado en este ciclo es la suma de 2 elementos unitarios. El error ε_{DWA} es la diferencia entre los errores acumulados en el vector del ciclo presente $\varepsilon(Ptr(n))$ y los errores acumulados en el vector del ciclo pasado $\varepsilon(Ptr(n-1))$. La ecuación 38 puede reescribirse como:

$$\varepsilon_{out}(n) = \varepsilon_{ac}\{Ptr(n)\} - \varepsilon_{ac}\{Ptr(n-1)\} \quad (39)$$

Al obtener la transformada discreta z, de la ecuación 39 se tiene:

$$\varepsilon_{out}(z) = \varepsilon_{ac}\{Ptr(z)\} \cdot (1 - z^{-1}) \quad (40)$$

Esta ecuación nos indica que el error ε_{out} es igual al vector ε_{ac} en función del puntero Ptr , modulado con una función de transferencia de un filtro de primer orden pasa altas.

Un tratado matemático mas riguroso del algoritmo DWA se puede encontrar en [37]
[38].

Capítulo III

Análisis DWA a Nivel Sistema.

En esta capítulo se explica el algoritmo de rotación de selección de elementos unitarios (DWA) aplicado a un MSD “pasa banda”, se presentan las modificaciones al modelo híbrido para que sea posible realizar el algoritmo. Se partirá de esta explicación pasa bajas, para posteriormente desarrollar el modelo pasa bandas.

III.1. DWA Pasa Bandas.

El algoritmo Data Weighted Averaging (DWA) presentado en el capítulo anterior, muestra una opción atractiva para resolver el problema de la no linealidad del DAC en los Moduladores Sigma Delta.

Entre los métodos “Dinamic Element Matching” (DEM), el DWA es uno de los más populares debido a su baja complejidad. El algoritmo DWA es capaz de moldear el ruido producido por el desacoplo de los elementos unitarios, multiplicándolo por una función de transferencia tipo pasa altas.

$$H_M = 1 - z^{-1} \quad (41)$$

En esta sección se presenta la modificación al algoritmo de selección de elementos DWA pasa bajas, a un comportamiento pasa bandas.

Para utilizar el método DWA en el modulador sigma delta pasa bandas, es necesario cambiar el algoritmo de selección de elementos, de tal manera que se modifique la

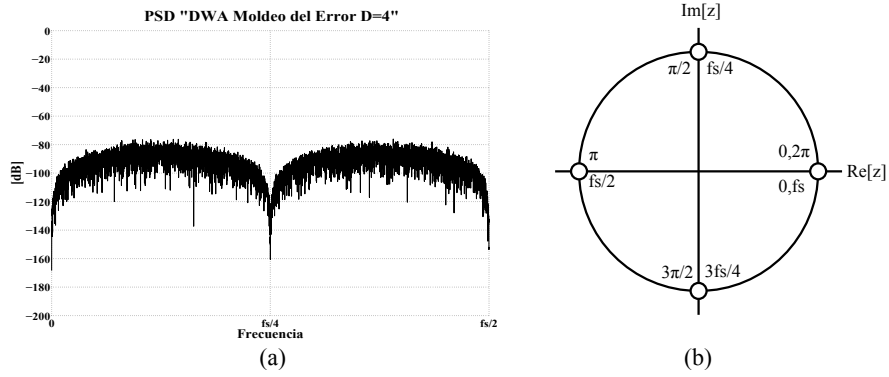


Figura 24: Moldeo DWA $1 - z^{-4}$.

función de transferencia que moldea el ruido de desacoplo. La función de transferencia H_M de la ecuación 41, debe tener un comportamiento rechaza bandas, para lograr esto se coloca el notch en una fracción racional de la frecuencia de muestreo (f_s). La función de transferencia de la ecuación 41 puede cambiar su comportamiento de filtrado, dependiendo de la elección del signo o del número de retardo:

$$H_M = 1 \pm z^{-D} \quad (42)$$

El espectro del error producido por el desacoplo de los elementos del CDA, está moldeado por una función de transferencia tipo pasa altas, para MSD tipo pasa bajas, dada por la expresión:

$$\varepsilon_{DWA}(z) = \varepsilon(Ptr(z)) \cdot (1 - z^{-1}) \quad (43)$$

Para los MSD pasa bandas donde la banda de interés se encuentra alrededor de $f_s/4$, una opción para reducir el error de desacoplo en un cuarto de la frecuencia de muestreo, es agregar 4 tiempos de retardo ($D=4$) en la ecuación 42. El comportamiento de la función de transferencia $1 - z^{-4}$ se muestra en la figura 24.

El problema de esta función de transferencia son los notch innecesarios en DC y

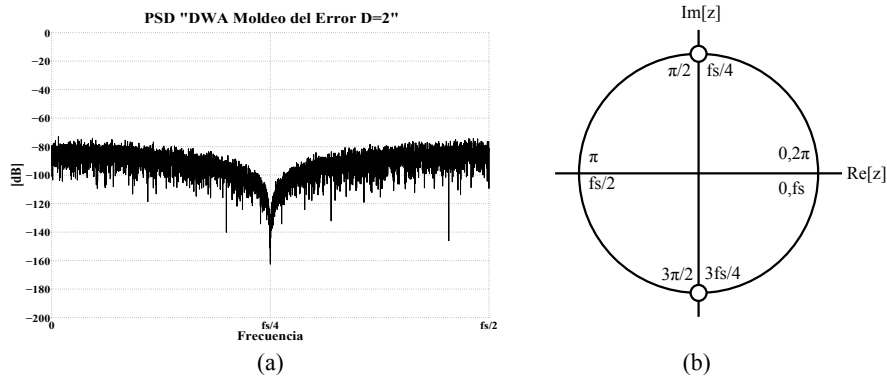


Figura 25: Moldeo DWA $1 + z^{-2}$.

en la mitad de f_s , esto se muestra claramente en la figura 24(a) donde se observa la densidad espectral del ruido para $D=4$. Viéndolo en el plano Z, en la figura 24(b) hay 4 ceros colocados en $0, \pi/2, \pi, 3\pi/2$ alrededor del círculo unitario, los cuales reducen las magnitudes espectrales en estas frecuencias.

Para obtener sólo un notch en $f_s/4$, es necesario modificar el signo y el retardo a H_M para obtener una función de moldeo del error de la siguiente forma:

$$H_M = 1 + z^{-2} \quad (44)$$

Cambiando el signo de resta a suma y colocando 2 retardos, se posicionan los notch en $f_s/4$ y $3f_s/4$ como se muestra en el plano-Z de la figura 25(b). La figura 25(a) muestra el comportamiento del moldeo espectral del error. Esta transformación se puede representar con el mapeo $z^{-1} \rightarrow -z^{-1}$.

III.2. Análisis del Algoritmo de Selección.

A continuación se realizara el análisis del cambio de algoritmo de selección, para el cambio de función de transferencia de moldeo de pasa altas a rechaza banda.

Para representar el análisis matemático de este algoritmo de selección, se usan diagramas de punteros vistos en el capítulo anterior, el cual nos ayuda a entender el comportamiento de la función de transferencia en relación con la manipulación de la dirección de la selección rotativa de los elementos. En el siguiente ejemplo se analiza el cambio de signo con un retardo, posteriormente se agregan los dos retardos para completar la función de transferencia rechaza bandas.

Partimos de la siguiente igualdad de punteros, Donde $X(n)$ es el dato digital de entrada del DWA y $D(n)$ es el dato de salida del mismo. Esta estructura presenta un moldeado del error tipo pasa altas:

$$X(n) = Ptr(n) - Ptr(n - 1) = D(n) \quad (45)$$

Para realizar la operación de la sumatoria de los elementos unitarios y obtener el dato de salida $D(n)$ se ocupan conocer las posiciones de $Ptr(n)$ y $Ptr(n - 1)$:

$$D(n) = \sum_{i=0}^{Ptr(n)} E_i - \sum_{i=0}^{Ptr(n-1)} E_i \quad (46)$$

Mientras que el dato de entrada $X(n)$ se utiliza para conocer los valores de los punteros, en particular el puntero del estado actual $Ptr(n)$, esto realizando la siguiente operación:

$$Ptr(n) = Ptr(n - 1) + X(n) \quad (47)$$

Esta expresión muestra el valor del puntero actual $Ptr(n)$ en la cadena de elementos unitarios. En el ejemplo de la figura 26 se muestra la posición de $Ptr(n)$, esta posición se encuentra sumando el valor de entrada $X(n)$ a partir del puntero del ciclo anterior $Ptr(n - 1)$. En este caso la posición de $Ptr(n - 1)$ corresponde al elemento número 4,

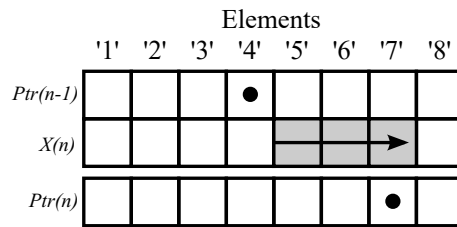


Figura 26: Selección de elementos ascendente.

al sumar el valor actual de entrada $X(n)$ tendremos que el puntero actual se encuentra en la posición numero 7.

Partiendo del análisis anterior, para realizar el cambio de signo $(1+z^{-1})$ manteniendo la misma igualdad de la ecuación 45 existen dos opciones:

- **Opción 1** Invertir el signo al puntero $Ptr(n - 1)$ es decir:

$$\begin{aligned} X(n) &= Ptr(n) - (-Ptr(n - 1)) = D(n) \\ X(n) &= Ptr(n) + Ptr(n - 1) = D(n) \end{aligned} \quad (48)$$

- **Opción 2** Invertir el signo al puntero $Ptr(n)$.

$$X(n) = (-Ptr(n)) - Ptr(n - 1) = D(n) \quad (49)$$

$$-X(n) = Ptr(n) + Ptr(n - 1) = -D(n) \quad (50)$$

Para la opción número 2 es necesario tomar en cuenta que el dato de entrada y el dato de salida tienen el signo invertido, como se muestra en la ecuación 50.

Se utiliza la opción 2, ya que en la practica se desconoce el valor del puntero de la posición actual $Ptr(n)$. Para demostrar el cambio de sentido, se trabaja con la ecuación para encontrar $Ptr(n)$ el cual involucra a la señal de entrada $X(n)$.

En la siguiente ecuación se toma en cuenta dos cosas, el cambio de signo en $Ptr(n)$

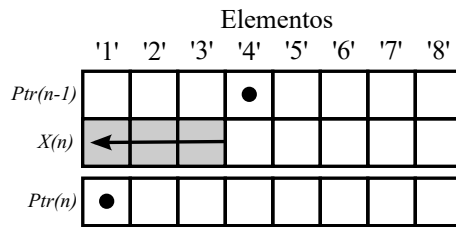


Figura 27: Selección de elementos decreciente.

como se muestra en la ecuación 49 y el cambio de signo en $X(n)$, este ultimo cambio para dejar con signo positivo $X(n)$ en la ecuación 50:

$$-X(n) = (-Ptr(n)) - Ptr(n - 1) \quad (51)$$

El objetivo es encontrar cual es el valor al que equivale el puntero actual negativo ($-Ptr(n)$), entonces tenemos que:

$$(-Ptr(n)) = Ptr(n - 1) - X(n) \quad (52)$$

Para obtener el valor de $-Ptr(n)$, es necesario restar el valor del dato de entrada al valor de $Ptr(n - 1)$, esta resta representa un cambio de dirección al sentido de rotación. Podemos apreciar la representación de esta ecuación en la figura 27, la cual muestra el puntero $Ptr(n - 1)$ en la posición 4, al restar el valor de $X(n)$ la posición del puntero actual se coloca en el elemento 1.

Para que el signo positivo de la función de transferencia $1 + z^{-1}$ se cumpla en cada ciclo, el signo de $Ptr(n)$ se debe cambiar cada ciclo $Ptr(n) \cdot [1, -1, 1, -1...]$ de acuerdo con el siguiente análisis.

En el primer ciclo se obtuvo un valor negativo del punto actual es decir " $-Ptr(n)$ ", para el siguiente ciclo este valor cambiara a ser el valor del puntero anterior " $-Ptr(n - 1)$ ".

En el siguiente análisis se toma como referencia el valor de salida $D(n)$ de la ecuación 50 , ya que al analizar el valor de salida con los punteros estos determinan hasta donde será la sumatoria de los elementos unitarios, así como la sumatoria del error de desacoplo y el análisis posterior del moldeo del error.

Se parte de la ecuación original, sin utilizar la “opción 2”

$$D(n) = Ptr(n) + Ptr(n - 1) \quad (53)$$

Ya que en el ciclo anterior se genero un numero negativo para el puntero actual, entonces en este ciclo tendremos un valor negativo para el puntero anterior, por lo tanto:

$$D(n) = Ptr(n) + (-Ptr(n - 1)) \quad (54)$$

Se toma en cuenta que ya no es necesario cambiar el signo a $Ptr(n)$, como se indica en la opción 2. Para poder reacomodar los signos y que el valor del puntero actual reste al valor del puntero anterior, es necesario cambiar el signo a $D(n)$:

$$(-D(n)) = \mathbf{Ptr(n)} + (-Ptr(n - 1)) \quad (55)$$

$$D(n) = Ptr(n - 1) - Ptr(n) \quad (56)$$

La ecuación 55 se resalta en negro $Ptr(n)$ ya que no se le cambio el signo al valor de esto, como en el ciclo anterior, también es el valor y el signo que quedara grabado para el siguiente ciclo. En este caso al sumar valores de los punteros, como se muestra en la ecuación 55, esto se traduce a un cambio de sentido(\rightarrow).

Para el siguiente ciclo, el valor que representa a $Ptr(n)$ se convertirá en el puntero

		Elementos							
Ciclo	In	'1'	'2'	'3'	'4'	'5'	'6'	'7'	'8'
1	100				→				
2	010		←						
3	101							→	
4	011				←				
5	001					→			
6	110	←							←

Figura 28: Selección de elementos $1 + z^{-1}$.

del ciclo anterior, manteniendo su signo positivo. Por lo tanto se tendrá que usar la opción 2 cambiando el signo al puntero actual, obteniendo el cambio de sentido (\leftarrow).

$$D(n+1) = -Ptr(n+1) + \mathbf{Ptr}(n) \quad (57)$$

Siguiendo con estos cambios de signos para satisfacer la función de transferencia, las ecuaciones de ciclos posteriores serán:

$$\begin{aligned}
 -D(n) &= (-Ptr(n)) - Ptr(n-1) && \leftarrow \\
 D(n+1) &= Ptr(n+1) - (-Ptr(n)) && \rightarrow \\
 -D(n+2) &= (-Ptr(n+2)) - Ptr(n+1) && \leftarrow \\
 D(n+3) &= Ptr(n+3) - (-Ptr(n+2)) && \rightarrow \\
 -D(n+4) &= (-Ptr(n+4)) - Ptr(n+3) && \leftarrow
 \end{aligned} \quad (58)$$

Estas ecuaciones demuestran que el cambio de sentido en la dirección de los punteros, satisface el función de transferencia $1 + z^{-1}$, y esto demuestra los cambios de dirección en la figura 28.

En la figura 28 se muestra el método de selección de elementos, en el primer ciclo la entrada indica la selección de 4 elementos empezando desde el elemento uno hasta el

Ciclo	In	Elementos																
		'1'	'2'	'3'	'4'	'5'	'6'	'7'	'8'									
1	100	█	█	█	█	→												
2	010						█	█	→									
3	101	█	█	█	█	█	█	█	←									
4	011									█	█	█	█	←				
5	001													█	█	→		
6	110	█	█	█	█	█	█	█	█	→						█	█	→

Figura 29: Selección de elementos $1 + z^{-2}$.

elemento 4. En el siguiente ciclo el dato de entrada indica la selección de 2 elementos, esta selección empieza en el último elemento seleccionado del dato anterior, en este caso el elemento número 4, y cambia el sentido rotativo del índice actual hacia la dirección contraria, terminando en el elemento número 2. Para el ciclo 3 se seleccionan 5 elementos empezando por el último seleccionado del dato anterior, en este caso el elemento 2, y se cambia de nuevo el sentido del índice de selección terminando la selección en el elemento número 7. Este algoritmo de selección se repite cada ciclo cambiando el sentido del índice de selección.

Para completar el cambio de H_M se requieren agregar dos retardos ($1 + z^{-2}$), el efecto de este retardo se ve reflejado en la ecuación:

$$D(n) = Ptr(n) - Ptr(n - 2) \quad \leftarrow \quad (59)$$

Ahora deberá restarse el puntero dos ciclos antes al puntero actual. Siguiendo con el análisis del cambio de signos del puntero actual y de la salida, para satisfacer la función de transferencia $1 - z^{-2}$, tendremos que los ciclos posteriores son:

$$\begin{aligned}
-D(n) &= (-Ptr(n)) - Ptr(n-2) && \leftarrow \\
-D(n+1) &= (-Ptr(n+1)) - Ptr(n-1) && \leftarrow \\
D(n+2) &= Ptr(n+2) - (-Ptr(n)) && \rightarrow \\
D(n+3) &= Ptr(n+3) - (-Ptr(n+1)) && \rightarrow \\
-D(n+4) &= (-Ptr(n+4)) - Ptr(n+2) && \leftarrow \\
-D(n+5) &= (-Ptr(n+5)) - Ptr(n+3) && \leftarrow \\
D(n+6) &= Ptr(n+6) - (-Ptr(n+4)) && \rightarrow
\end{aligned} \tag{60}$$

Estas ecuaciones nos muestran que ahora el cambio de signo es reflejado como un cambio de dirección en el sentido de la selección de los elementos unitarios cada dos ciclos, o un cambio en el sentido de la posición del puntero actual. Podemos observar en la figura 29 como se realiza estos cambios de sentido. Con este cambio se completa la función de transferencia rechaza bandas con el notch en $f_s/4$.

III.3. Análisis Nivel Sistema.

El diagrama a bloques propuesto para la implementación del algoritmo DWA pasa bandas tomando en cuenta las características del modelo híbrido se muestra en la figura 30. En esta sección se explica el funcionamiento en general de cada bloque, posteriormente se analizara el diseño de cada bloque a profundidad y la adaptación al modelo esquemático.

El diagrama de la figura 30 se analiza con una entrada digital de 4 bits. La entrada digital es multiplicada por la secuencia “seq[1,1,-1,-1,1,1,...]” (Parte A). Esta secuencia, como se demuestra en la sección anterior, es indispensable para el correcto manejo de los signos y la obtención de la función de transferencia rechaza bandas.

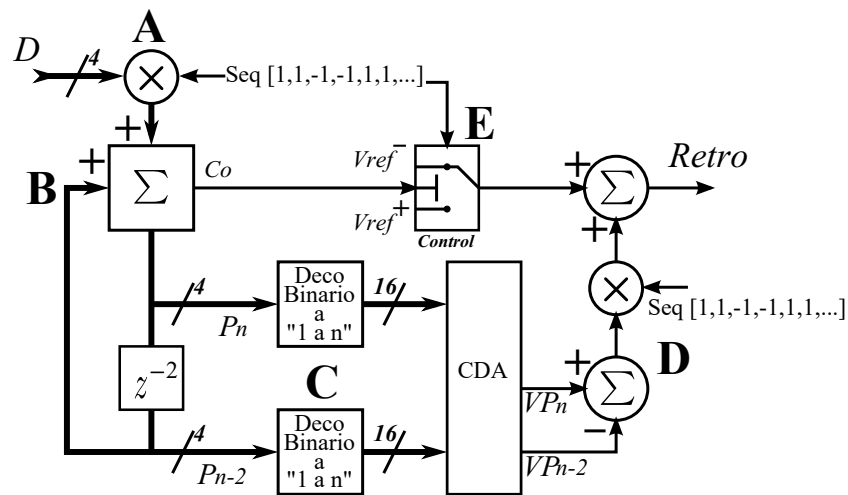


Figura 30: Diagrama a bloques DWA.

La secuencia cambia el signo del valor digital de la entrada cada dos ciclos, este valor digital entra a un bloque sumador digital o “sumador completo” (Parte B). Este bloque suma los valores digitales de sus dos entradas, para el caso en que la entrada digital cambie de signo de positivo a negativo, este bloque realizara una operación de resta.

La salida del sumador se considera como el valor digital que representa al puntero actual “ P_n ”, esta misma salida del sumador es conectada a un bloque que retarda el dato dos ciclos de reloj. La salida de este retardo es conectada a la entrada del mismo sumador y esta misma salida se considera como el valor digital que representa el puntero “ P_{n-2} ”.

Los valores digitales que representan P_n y P_{n-2} requieren ser decodificados al código “de 1 a n” (Parte C). La salida de los decodificadores selecciona uno de los 16 interruptores colocados en la cadena resistiva o convertidor digital analógico (CDA) con el fin de obtener el voltaje en un determinado nivel. Los interruptores seleccionados por P_n y P_{n-2} no pueden ser seleccionados al mismo tiempo, por lo cual, un interruptor se cierra en la fase θ_1 y el otro en θ_2 , esto con el fin de realizar la operación de resta con estos

dos valores, considerando la topología híbrida propuesta.

La salida del CDA envía los voltajes a una operación de resta, el resultado de esta operación es multiplicado por la secuencia “seq[1,1,-1,-1,1,1,...]” (Parte D), la cual invierte el signo del resultado de la operación. Esta secuencia es la misma que multiplica al dato digital de entrada. Después se realiza el cambio de signo correspondiente, es decir, al resultado se le suma un voltaje de referencia positivo o negativo, según sea el caso requerido.

Para realizar la suma correcta del voltaje de referencia positivo o negativo, es necesario tener un circuito de control el cual decida que voltaje se suma de acuerdo a los diferentes casos, como el cambio de sentido en los punteros, el desborde en la cadena resistiva etc. Este circuito tiene como señal de control la salida de acarreo “Co” del sumador completo y la secuencia de control “seq[1,1,-1,-1,1,1,...]”.

Para realizar la simulación a nivel sistema, es necesario adaptar los bloques de acuerdo a las características de las señales y tomando en cuenta la topología híbrida propuesta. Las adaptaciones son las siguientes:

- Realizar la secuencia de control ”Seq”.
- Cambio de signo del dato digital de entrada.
- Construcción del sumador completo.
- Adaptación del decodificador con el convertidor digital analógico.
- Representación del cambio de signo en las señales de salida del CDA.
- Diseño del circuito de control para la suma de los voltajes de referencia negativos o positivos.

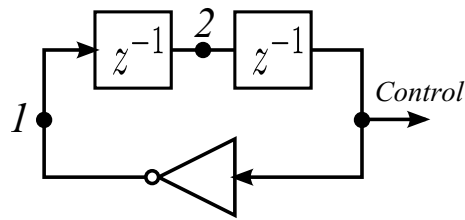


Figura 31: Circuito generador de la secuencia de control.

Secuencia de Control "Seq".

El circuito para realizar la secuencia de control se muestra en la figura 31. Este circuito se realiza con dos retardos conectados en serie, estos retardos son retroalimentados con una compuerta inversora. La salida de los retardos se considera como el nodo de control, el cual arroja valores digitales 1 o 0.

Los retardos son controlados por el tiempo de reloj de la simulación, es decir, el retardo actúa con cada muestra de la simulación. Por ejemplo en " t_0 " si los nodos 2 y *control* se encuentran en estado bajo, el nodo 1 el cual es la salida del inversor estará en estado alto, para " t_1 " el valor del nodo 1 pasará al nodo 2, y el valor anterior del nodo 2 pasará al nodo de control, en este caso el nodo de control permanecerá en estado bajo. Para el siguiente ciclo " t_2 " el valor alto del nodo 2 pasará al nodo de control, de este modo el nodo de control cambiará a estado alto en este ciclo, siguiendo este análisis tendremos la secuencia digital [1,1,0,0,1,1,...]. Esta secuencia se muestra en la tabla de verdad III.

Cuadro III: Tabla de verdad del circuito generador de la secuencia de control

<i>Ciclo</i>	<i>Nodo</i>		
	<i>1</i>	<i>2</i>	<i>Control</i>
t_0	1	0	0
t_1	1	1	0
t_2	0	1	1
t_3	0	0	1
t_4	1	0	0

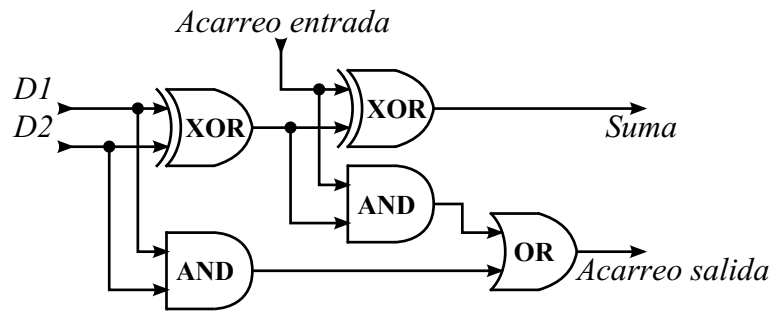


Figura 32: Circuito sumador completo de 1 bit.

Sumador Completo.

El circuito sumador digital o sumador completo se muestra en la figura 32, este circuito en particular es un sumador de 1 bit. El circuito cuenta con 3 entradas, dos de ellas son para los datos digitales que serán sumados, y otro para el acarreo de entrada. Los 2 dato de salida son para el resultado de la suma y el acarreo de salida.

Para realizar un sumador completo de 4 bits es necesario conectar 4 etapas en cascada. Para realizar la conexión en cascada, el acarreo de salida de una etapa se conecta al acarreo de entrada de la siguiente etapa, y así sucesivamente.

Cambio de Signo del Dato Digital de Entrada.

En el diagrama a bloques de la figura 30 (Parte “A”) muestra un cambio de signo de positivo a negativo para el dato digital de entrada, el propósito de cambiar el signo a negativo es obtener la siguiente operación de resta.

$$P(n) = P(n - 2) - D(n) \quad (61)$$

Como se sabe, para representar un valor negativo se usa complemento a 2, por lo tanto, una alternativa para representar esta resta es modificar el valor digital de entrada

Cuadro IV: Ejemplo complemento a dos.

	<i>Numero binario</i>	<i>Complemento a dos</i>
0	0000	0000
1	0001	1111
2	0010	1110
3	0011	1101
4	0100	1100

y sumarlo al valor digital $P(n - 2)$ con el sumador completo.

El complemento a dos nos permite obtener una representación binaria de números negativos. Este se obtiene al cambiar cada uno de los dígitos del número binario por su complementario:

La utilidad del complemento a dos se encuentra en las operaciones matemáticas con números binarios. En particular, la resta de números binarios se facilita utilizando el complemento a dos. La resta de dos números binarios puede obtenerse sumando al minuendo el complemento a dos del sustraendo.

Es posible transformar un número binario a complemento a dos utilizando compuertas "XOR", la ventaja de esta compuerta es que puede decidir si negar el dato de entrada o conservar el valor original, con una señal de control. La figura 33 muestra la tabla de verdad de la compuerta, se observa que al aplicar un "1" a la entrada de control la compuerta actúa como un inversor.

De acuerdo con el diagrama a bloques principal, para poder invertir una señal de 4 bits, se requieren 4 compuertas XOR conectadas a cada bit, las entradas de control de

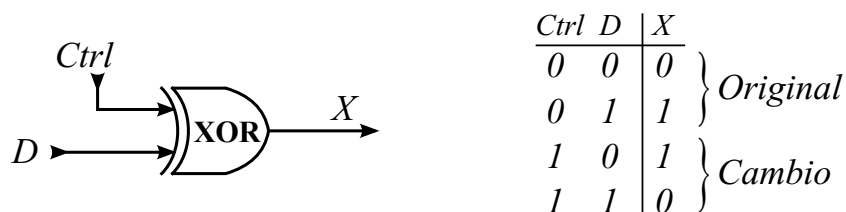


Figura 33: Tabla de verdad compuerta XOR.

cada compuerta serán conectadas en este caso a la secuencia de control, la secuencia decidirá cuando transformar a complemento a 2, para que el sumador completo actúe como una operación de resta. La salida de las compuertas XOR serán conectadas al sumador completo para realizar la operación.

Para completar la transformación a complemento a 2 del dato de entrada, se requiere sumarle un “1”. Para esto se aprovecha el acarreo de entrada del sumador completo, el cual recibirá la misma señal de la secuencia de control.

Decodificador y Convertidor Digital Analógico.

Para realizar la simulación a nivel sistema y añadir la simulación del desacoplo entre las resistencias, los bloques del decodificador y el convertidor digital analógico se realizaran de la siguiente forma.

La finalidad del decodificador es transformar el código binario a código “de 1 a n”, esto para seleccionar un voltaje determinado entre la cadena de resistencias del CDA. El voltaje de salida en el nivel “ k ” de una cadena de resistencias que trabaja como divisor de voltaje de n bits entre V_{ref} y tierra es:

$$V_{out}(k) = V_{ref} \frac{\sum_{i=1}^k R_i}{\sum_{i=1}^{2^n-1} R_i}; k = 0, \dots, 2^n - 1. \quad (62)$$

Podemos realizar esta operación de la siguiente forma:

$$V_{out} = ((sum(j)/sum(h)) * (2)) - 1; \quad (63)$$

Para modelar el efecto del desacoplo se utiliza la función “rand”, esta función se adapta para obtener valores alrededor de -1 a 1, con una desviación del porcentaje

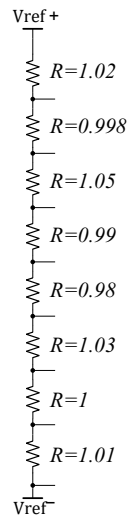


Figura 34: Escalera de resistencias con desacoplo.

deseado (ejem. 1.02, 0.998, 1.05, 0.99), estas desviaciones en el valor nominal se aplican tanto al vector j como al h , con porcentajes de desviación del 5 % o 2 %. Esto se puede representar en la cadena de resistencias de la figura 34 la cual muestra la desviación de valores en cada resistencia de una manera aleatoria.

Cambio de Signo en la Señal de Salida del DAC.

Se obtienen los voltajes correspondientes a los punteros P_n y P_{n-1} , es decir VP_n y VP_{n-2} a la salida del CDA, en el paso posterior estos voltajes son restados $V_o = VP_n - VP_{n-2}$. El resultado de esta resta es multiplicado por la secuencia de control para el cambio de signo. Con estos cambios de signo el objetivo es que en dos ciclos

Cuadro V: Dinámica del cambio de signo.

<i>Ciclo</i>	<i>Control</i>	<i>Minuendo</i>		<i>Sustraendo</i>
t_0	0	VP_n	-	VP_{n-1}
t_1	0	VP_n	-	VP_{n-1}
t_2	1	VP_{n-1}	-	VP_n
t_3	1	VP_{n-1}	-	VP_n
t_4	0	VP_n	-	VP_{n-1}

V_o permanezca con el signo original y en los siguientes dos ciclos el valor V_o cambie de signo.

Este cambio de signo es representado en la figura 30 como una multiplicación al resultado de la resta entre los voltajes de los punteros.

Se propone realizar esta multiplicación, intercambiando las posiciones del minuendo y el sustraendo como se muestra en la tabla V. Cuando la señal de control indique mantener el signo original, VP_n debe mantener la posición del minuendo y VP_{n-2} el sustraendo, cuando la señal de control cambie VP_n tendrá la posición del sustraendo y VP_{n-2} el minuendo.

Circuito de Control Para Añadir Voltaje de Referencia Positivo o Negativo.

Para realizar el circuito de control y añadir el voltaje de referencia adecuado es necesario tener en cuenta los siguientes 3 diferentes casos:

- Cambio de sentido de los punteros.
- Desborde superior de la cadena resistiva.
- Desborde inferior de la cadena resistiva.

Para la explicación se partirá de dos diferentes casos mostrados en la figura 35, estos dos casos muestran el comportamiento del cambio de sentido de los punteros. Este cambio de los punteros es controlado por la secuencia de control. **CASO 1** cuando la selección de los punteros es ascendente. **CASO 2** cuando la selección de los punteros sea descendente. En ambos casos ocurren dos situaciones en particular, estos casos serán **1a, 1b y 2a, 2b**.

CASO 1a En este caso como se muestra en la figura 35 (a), el puntero actual es seleccionado de una manera ascendente, por lo tanto, se puede representar el voltaje

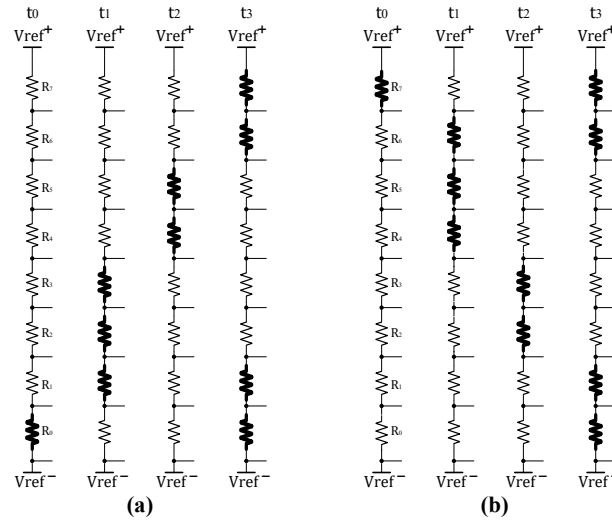


Figura 35: (a) Caso 1 selección de punteros ascendente. (b) Caso 2 selección de punteros descendente.

del DAC como la diferencia de dos voltajes que ocurren en dos tiempos distintos. Para obtener una correcta relación entre el voltaje de salida y la codificación del offset binario a esta diferencia le agregamos un voltaje de referencia negativo, por lo tanto tenemos la siguiente ecuación:

$$V_{DAC_n} = (j_n - i_{n-2})\Delta + Vref^- \quad (64)$$

CASO 1b en este caso como se muestra en la figura 35 (a) en el tiempo “t3” el índice actual ha alcanzado el final de la cadena resistiva y comienza a contar desde la posición cero, con esto se dice que a ocurrido un “desborde superior”. Teniendo en cuenta nuestro circuito sumador completo, al suceder un desborde superior el “acarreo de salida” del sumador presentará una señal en alto, esta señal se usa como señal de control. Para definir la ecuación del voltaje de salida del DAC se divide la cadena en dos partes y se le agrega el voltaje de referencia negativo, por lo tanto el voltaje de

salida del DAC se define como:

$$\begin{aligned} V_{DAC_n} &= (Vref^+ - i_{n-2}\Delta) + (j_n\Delta - Vref^-) + Vref^- \\ &= (j_n - i_{n-2})\Delta + Vref^+ \end{aligned} \quad (65)$$

En las ecuaciones 64 y 65 se muestra que a la diferencia de voltajes $(j_n - i_{n-2})\Delta$ se le puede sumar directamente un voltaje de referencia negativo para el caso en que no haya desborde o un voltaje de referencia positivo en el caso de que si lo haya.

Se utiliza la señal de acarreo del sumador completo como la señal de control para los cambios de voltajes de referencia, voltaje bajo en la salida del acarreo para el $Vref^-$ y voltaje alto para $Vref^+$.

CASO 2a en este caso se tendrá el cambio de los punteros de selección de una forma descendente. Como ejemplo supondremos el puntero anterior (i_{n-2}) en la posición 6 y el dato de entrada un 4, por lo tanto, el resultado de la resta o la posición del puntero actual (j_n) es 2. En este caso se recuerda que nuestro circuito sumador completo no puede restar por si solo, y por lo tanto no puede haber un conteo descendente. Para realizar la operación utilizando el sumador completo, se le aplica el complemento a 2 a la señal de entrada, este nuevo número binario es sumado al número del puntero anterior, la finalidad es sumar un número binario de tal forma que haya un desborde por arriba de la cadena resistiva y comience a contar desde la posición cero colocando el puntero actual en la posición del resultado de la resta original 2. Por lo tanto, en este caso en particular abra un desborde por arriba, el cual presentará una señal en alto en el acarreo de salida.

El análisis para obtener el voltaje de salida del convertidor podría parecerse a la ecuación 65 del caso 1b, el cual demuestra que a la diferencia de voltajes se le debe de sumar un voltaje positivo, sin embargo, se debe considerar el “cambio de signo de la

Cuadro VI: Síntesis.

<i>Caso</i>	<i>Sentido</i>	<i>Acarreo de salida</i>	<i>Señal de control</i>	<i>Vref</i>
1a	↑	Bajo	No	-
1b	↑	Alto	No	+
2a	↓	Alto	Si	-
2b	↓	Bajo	Si	+

señal de salida”. La señal de control, la cual decide el sentido ascendente o descendente de los punteros, también controla el cambio de signo de la señal de salida, es decir, cuando la señal de control es baja, el sentido de los punteros es ascendente y no hay cambio de signo en la salida, cuando la señal de control se encuentra en alto, el sentido de los punteros es descendente y hay cambio de signo en la señal de salida, para realizar este cambio de signo es necesario intercambiar las posiciones del minuendo y sustraendo es decir

$$(j_n - i_{n-2})\Delta \rightarrow (i_{n-2} - j_n)\Delta \quad (66)$$

Al cambiar el signo a la señal de salida, también debemos cambiar el signo al voltaje de referencia, por lo tanto, en este caso se debe sumar un voltaje de referencia negativo.

CASO 2b en este caso supondremos el puntero anterior en la posición 3 y el dato de entrada 4, por lo tanto, el resultado o la posición del puntero actual es 7, matemáticamente su supone que hubo un desborde por abajo de la cadena resistiva para llegar al 7, realmente no es así. Al aplicar el complemento a 2 a la señal de entrada, este se le suma al número binario del puntero anterior, para llegar a la posición 7. El acarreo de salida del sumador completo mandará una señal en bajo para este caso, el análisis para obtener el voltaje de salida del convertidor se asemeja al caso 1a, el cual muestra que a la diferencia de voltajes es necesario sumarle un voltaje de referencia negativo. Igual que en el caso anterior debido al cambio de signo del voltaje de salida, también se ocupará cambiar el signo al voltaje de referencia, por lo tanto, para este

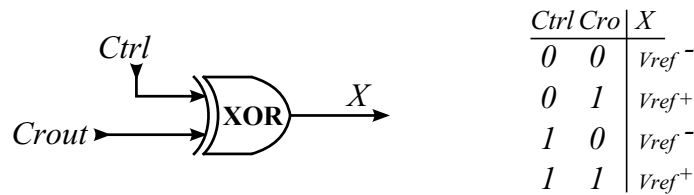


Figura 36: Circuito de control para voltajes de referencia.

caso se ocupará sumar un voltaje de referencia positivo.

Para los 4 diferentes casos se sintetiza la información en la tabla VI de acuerdo con los tipos de voltajes que se ocupan dependiendo el caso.

Para solucionar este problema se propone simplificar este circuito de control con una compuerta XOR. Esta compuerta define el voltaje de referencia que sera sumado al voltaje de salida del convertidor. En la figura 36 se muestra que señales se conectan a la compuerta XOR.

III.4. Resultados Simulación a Nivel Sistema.

El DWA propuesto se muestra en la figura 37, este DWA es aplicado en la retroalimentación del modulador sigma delta pasa bandas de segundo orden.

Para comprobar el moldeo del error rechaza bandas del sistema de corrección DWA pasa bandas de la figura 38, se realiza el siguiente análisis. En la figura 38 se muestra un diagrama el cual realiza la función de comprobar el efecto del moldeo del ruido, en este diagrama se tiene como señal entrada un ruido blanco, este ruido pasa a través de un bloque cuantificador, esto para poder tener los valores que entraran al sistema de corrección DWA. En este caso se tienen 2 bloques de corrección DWA, uno es un modelo ideal, esto quiere decir que no hay desacoplo en la simulación de las resistencias, y un modelo con desacoplo del 2%. Al pasar la señal cuantificada a través de los dos

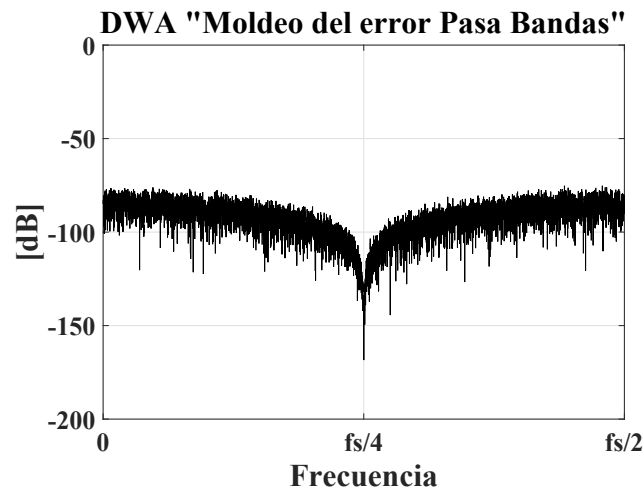


Figura 39: Moldeo espectral rechaza bandas, del ruido ocasionado por el desacoplo.

se presenta un incremento en el ruido del piso que es consecuencia del desacoplo. En esta simulación se tiene una $SNR=61dB$ lo cual representa una pérdida de 25dB respecto al modelo ideal.

En la siguiente simulación 41, se aplica el circuito DWA al modulador sigma delta. Se puede apreciar que el piso del ruido en la banda de interés presenta una reducción. En esta ocasión se tiene una $SNR=84dB$ lo cual representa dos decibeles abajo del modelo ideal.

III.5. Conclusión.

En este capítulo se demuestra que es posible obtener un moldeo espectral rechaza bandas en el error causado por el desacoplo en las resistencias. Este moldeo es posible gracias al algoritmo de selección DWA propuesto, el cual selecciona resistencias consecutivas intercambiando el sentido. El piso del ruido en el espectro de frecuencia en la banda base, es reducido hasta un 97% respecto al modelo ideal.

Se demuestra que el modelo DWA funciona correctamente simulándolo con bloques

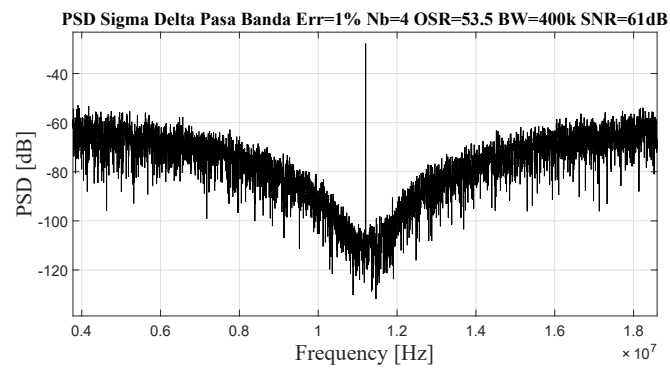


Figura 40: Densidad espectral de potencia del MSD pasa banda, sin DWA y con desacoplo.

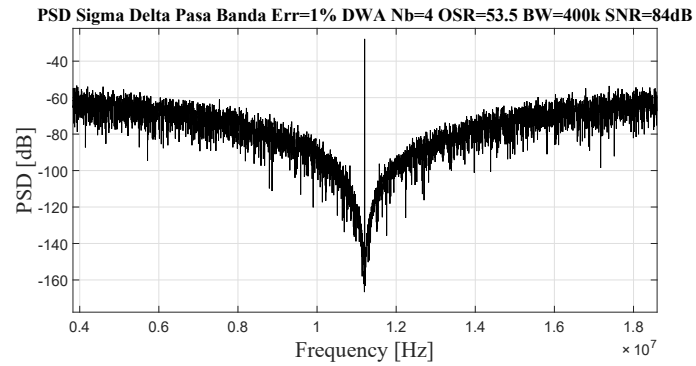


Figura 41: Densidad espectral de potencia del MSD pasa banda con desacoplo, aplicando el DWA.

a nivel sistema, con este modelo se parte para realizar la incorporación del DWA al modulador sigma delta pasa bandas.

Capítulo IV

Integración al MSD Pasa Bandas.

Para las señales en frecuencias intermedias, el modulador sigma delta debe de atenuar el ruido de cuantificación en esa banda, dando lugar al modulador sigma delta pasa bandas. Se requiere un filtro digital posterior al MSD que atenúe el ruido fuera de la banda de interés.

El diseño del modulador sigma delta pasa bandas comienza por una modificación al prototipo del MSD pasa bajas. El MSD pasa bandas es diseñado para realizar un moldeado del ruido de cuantificación reduciendo el piso del ruido en frecuencias intermedias. Analizando el comportamiento del MSD en el plano Z , los zeros de la función de transferencia se colocan alrededor del círculo unitario en $fs/4$. Para realizar la transformación es necesario aplicar un mapeo de $z^{-1} \rightarrow -z^{-2}$ a cada bloque del modulado. Por lo tanto, el integrador para el MSD pasa bajas se transformara en un resonador para el MSD pasa bandas, el cual tiene una función de transferencia de la siguiente forma:

$$H(z) = \frac{-z^{-2}}{1 + z^{-2}} \quad (67)$$

El uso de este resonador en los bloques $H(z)$ en la figura 42, dan como resultado al

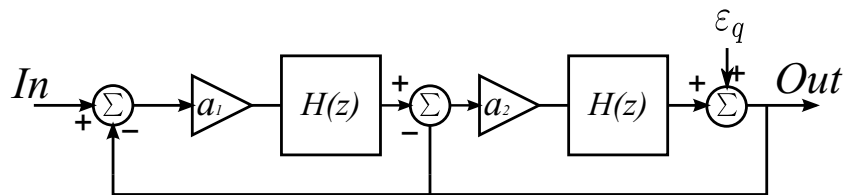


Figura 42: Modulador Sigma Delta Pasa Bandas modelo a bloques.

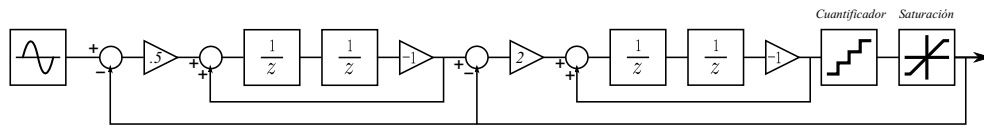


Figura 43: Modulador Sigma Delta Pasa Bandas segundo orden multibit.

modulador sigma delta pasa bandas de segundo orden. Para el modelo a bloques de la figura 42 los coeficientes de a_1 y a_2 deberán ser de 0.5 y 2 respectivamente.

IV.1. Simulación Sigma Delta Pasa Bandas Ideal.

Para la simulación del modelo a bloques con funciones de transferencia, se usa el modelo esquemático de la figura 43, el cual es un MSD pasa bandas multibit de segundo orden. El objetivo de esta simulación es probar el modelo a bloques de la figura 42 y obtener un resultado ideal de la topología, en un análisis posterior se agregan los comportamientos parásitos y no linealidades.

Para la simulación se usa una señal senoidal en la entrada del modulador con amplitud ± 1 . Se construye el resonador con bloques de retardos. En la primera etapa se tiene una ganancia de 0.5 y en la segunda etapa una ganancia de 2, esto para cuidar la estabilidad y el rango dinámico de los resonadores. En esta simulación no se tomarán en cuenta el ancho de banda de los resonadores y de igual forma no se tiene un control sobre la ganancia finita de estos mismos. En la etapa final se tiene un cuantificador de 4 bits. Para garantizar el rango dinámico de voltaje tenemos una etapa de saturación.

Para el cálculo de la SNR en esta simulación, sólo se toma en cuenta el ruido generado por el error de cuantificación, esto con el fin de partir del valor de la SNR de un modelo ideal.

Para un MSD pasa bandas de segundo orden de 4 bits, teóricamente se puede alcanzar una SNR=98.8 con una OSR de 53.5, lo cual es mas que suficiente para la resolución

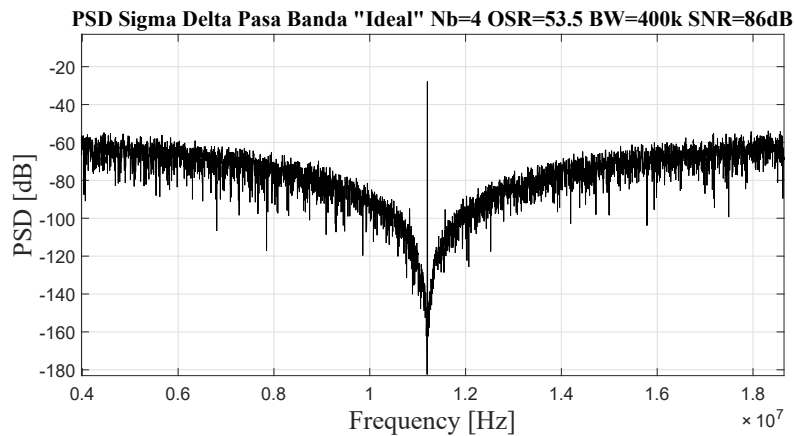


Figura 44: Simulación modulador sigma delta pasa bandas ideal.

requerida. Este desempeño teórico, solo puede ser alcanzado o aproximado bajo ciertas restricciones, como amplificadores ideales, convertidores A/D y D/A ideales, valores ideales en los coeficientes de los resonadores, y voltaje de entrada máximo que abarque toda la escala completa del rango de entrada del cuantificador. No obstante, la SNR mínima requerida es de 60dB aproximadamente, por lo que se cuenta con un margen para relajar estas restricciones.

En la figura 44 se presentan los resultados de la simulación, la cual se considera como el comportamiento ideal del sistema de la figura 43. En esta simulación se tiene una SNR=86, esto es 12dB menos que el valor calculado, debido a que se pierde información en el cuantificador.

IV.2. Modelo Esquemático del MSD Pasa Banda.

Para realizar el modelo esquemático del MSD pasa bandas se partirá de la función de transferencia del resonador la cual se muestra en la siguiente ecuación:

$$H_m = \frac{-z^{-2}}{1 + z^{-2}} \quad (68)$$

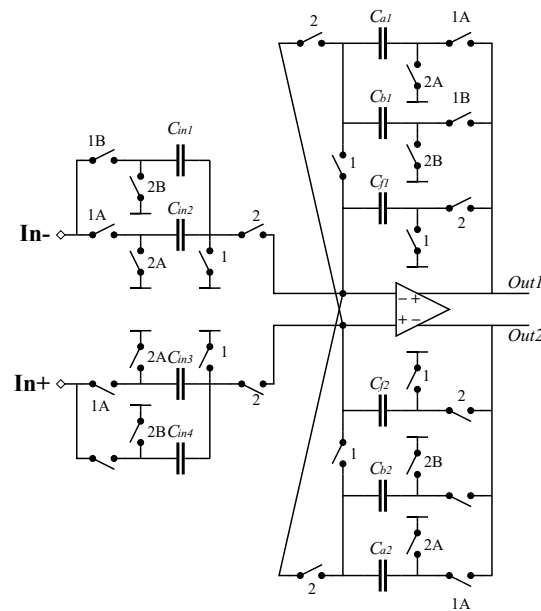


Figura 45: Resonador.

Para realizar este resonador es necesario emplear 2 amplificadores operacionales (para un solo resonador), por lo tanto, para un MSD pasa bandas de segundo orden se requiere 4 amplificadores operacionales. Para reducir el número de amplificadores, la función de transferencia del resonador puede ser implementada a nivel transistor usando la aproximación pseudo-N-path [39], y así poder realizar el resonador con un solo amplificador completamente diferencial y realizar una modulación rechaza bandas de primero orden (i.e una función de filtrado de segundo orden), el modelo esquemático se muestra en la figura 45.

De este modo el MSD pasa bandas de segundo orden requerirá solo 2 amplificadores operacionales completamente diferenciales, con una reducción significativa en el área y consumo de potencia. La arquitectura del modulador se muestra en 46[39].

El modelo esquemático del MSD pasa bandas multibit de segundo orden figura 46 es simulado para evaluar el comportamiento de la SNR en un modelo ideal y así poder compararlo con el modelo en sistema. La simulación se realizó con una frecuencia de

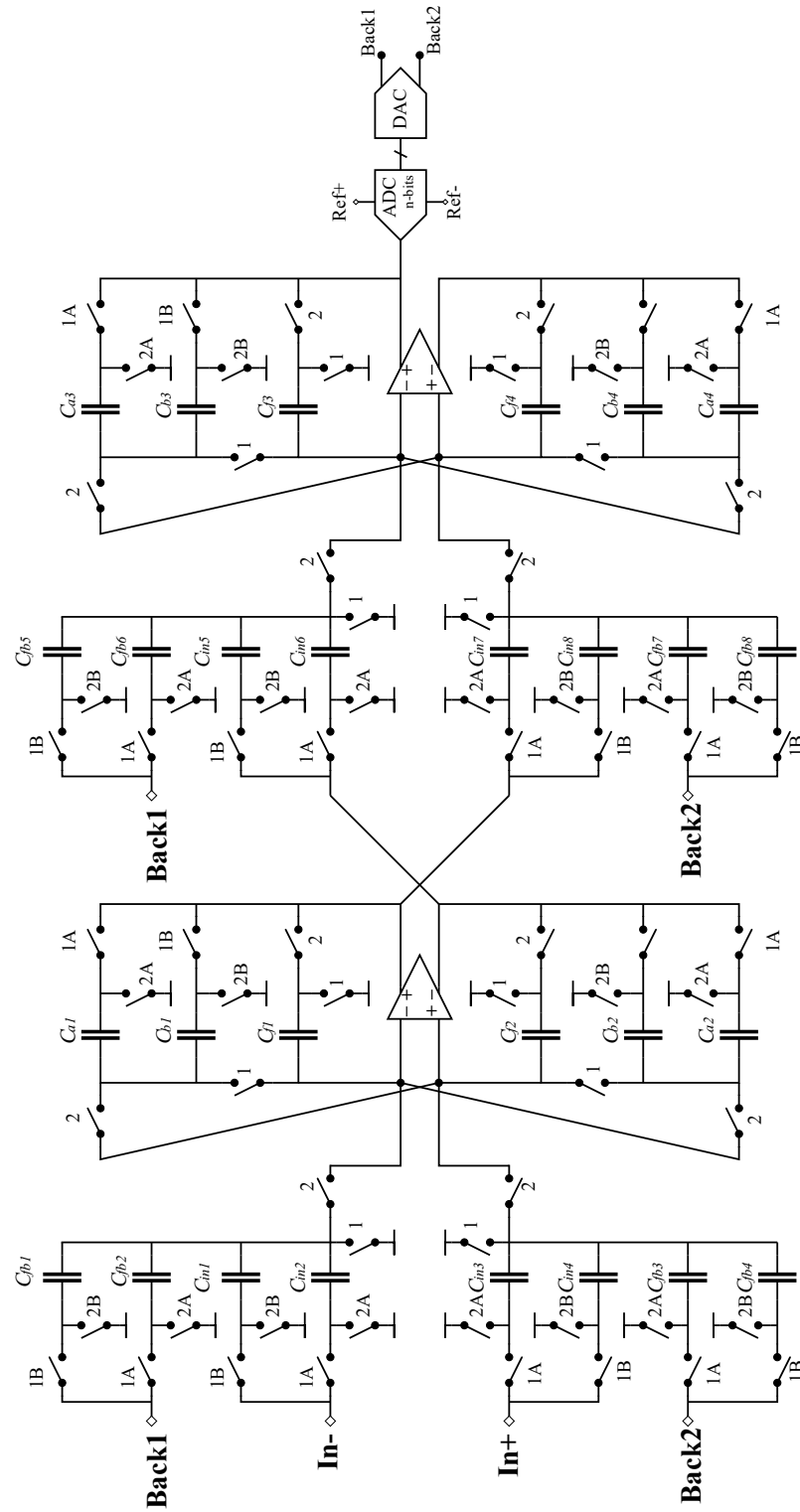


Figura 46: Sigma Delta Pasa Banda segundo orden multibit.

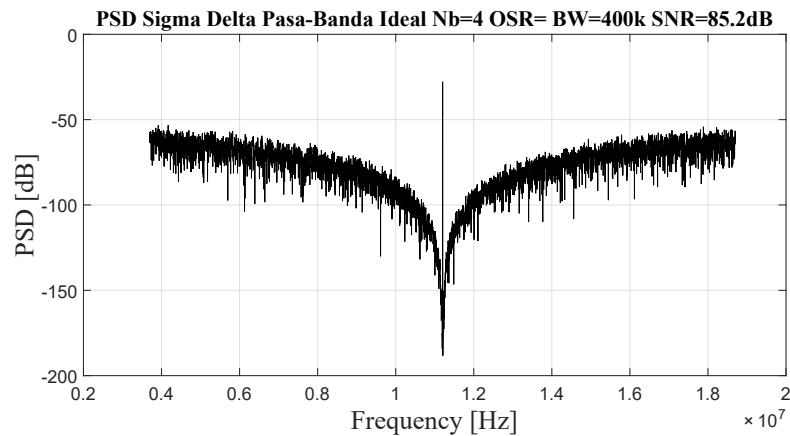


Figura 47: Densidad espectral del modulador sigma delta pasa-bandas modelo esquemático.

muestreo de 42.8 MHz, con un ancho de banda de 400 kHz y razón de sobremuestreo de 53.5. La señal de entrada del convertidor es una señal senoidal con frecuencia de 10.7 KHz. El convertidor A/D o cuantificador es realizado con programación Verilog, la salida es conectada a un convertidor D/A ideal, el cual la salida será la señal de retroalimentación. Los bloques de los coeficientes se realizan mediante una adecuada selección de valores de los capacitores.

La simulación se muestra en la figura 47, en la cual se muestra el moldeo del error rechaza banda del MSD. Se obtiene una SNR=85.2 en la banda base alrededor de $f_s/4$, esta SNR es solamente 0.7 dB menor a la de la simulación del modelo a bloques. Con esto se comprueba que la SNR del modelo esquemático es similar a la respuesta del modelo en sistema.

IV.2.1. Convertidor Digital Analógico Híbrido.

La figura 48 muestra la configuración típica del bloque de entrada de un modulador sigma delta, que utiliza en este ejemplo un convertidor digital analógico (CDA) de tres bits con una cadena resistiva, este CDA es conectado a la etapa de entrada a través del

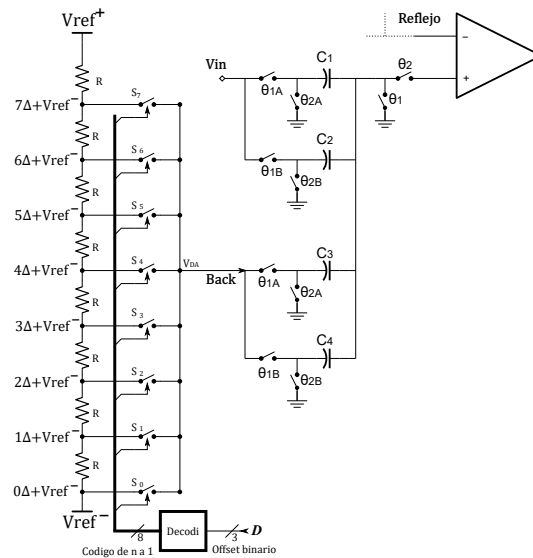


Figura 48: Convertidor Digital Analógico Híbrido.

nodo "Back".

Para este sistema se analiza el circuito que es conectado a la entrada positiva del amplificador completamente diferencial, ya que el circuito de la parte negativa es simplemente el reflejo de la entrada positiva con las señales de entradas "Vin" y "Back" invertidos.

El CDA es conectado a la entrada positiva del primer amplificador mediante la estructura de capacitores conmutados formada por C_3 y C_4 , la estructura de estos capacitores e interruptores realiza un retardo de la señal de retroalimentación. El dato digital es representado por "D" en forma de offset binario para valores positivos y negativos.

El voltaje en cada resistencia es de $\Delta = (V_{ref^+} - V_{ref^-})/8$. En la figura se muestra la caída de tensión en los bordes de cada resistencia respecto a Δ . El funcionamiento normal, sin corrección, es muy sencillo; cuando el dato digital D es igual a i , el interruptor S_i se cierra y el voltaje de salida del CDA es $V_{DA} = i\Delta + V_{ref^-}$. Este voltaje carga el capacitor C_3 en las fases θ_1 y θ_{1A} , este dato se mantiene guardado un tiempo

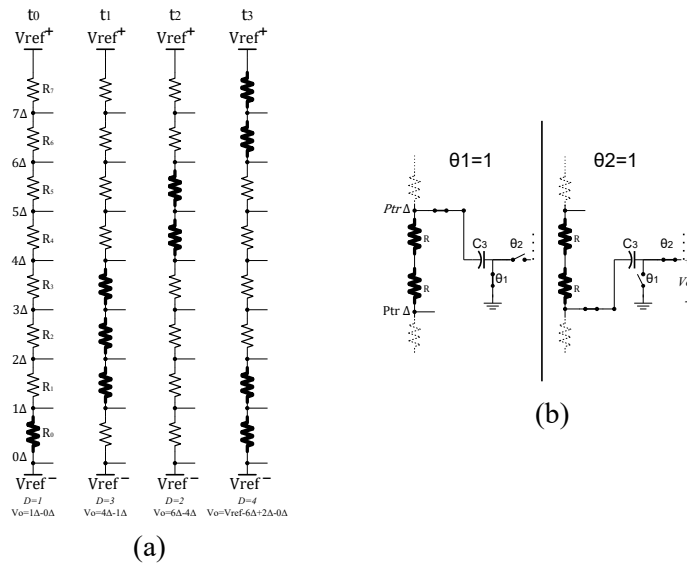


Figura 49: (a) Cadena resistiva con algoritmo DWA pasa bajas. (b) Dinámica de la resta de voltajes con un solo capacitor.

de reloj, mientras que el valor guardado previamente en C_4 es enviado al amplificador para realizar la operación en las fases θ_2 y θ_{2B} ; el valor guardado en C_3 será enviado al amplificador en las fases θ_2 y θ_{2A} . El decodificador de offset binario a código de n a 1 se sincroniza con la fase θ_1 .

El problema principal es el desacoplo entre las resistencias es debido a las variaciones en el proceso de fabricación. Como consecuencia, los voltajes de salida presentan un error o desviación del voltaje ideal que degradan la relación señal a ruido.

IV.2.2. DWA Pasa Bajas con DAC Híbrido.

En esta sección se explica el algoritmo de rotación de selección de elementos unitarios (DWA) aplicado a un MSD “pasa bajas”, se presentan las modificaciones al modelo híbrido para que sea posible realizar el algoritmo. Se partirá de esta explicación pasa bajas, para posteriormente desarrollar el modelo pasa bandas.

Se propone realizar el proceso de corrección DWA mediante la diferencia de voltajes.

La figura 49 (a) ayuda a explicar el concepto. Para la explicación se muestra la operación del CDA para cuatro diferentes datos ($D = 1, 3, 2$ y 4) de manera secuencial en los instantes t_0 ; t_1 ; t_2 y t_3 . Para el primer dato $D = 1$, se elige como inicio el voltaje en R_0 (resaltado en negrita en la figura 49(a)). El voltaje de salida de la cadena resistiva es la diferencia del voltaje en el nodo superior menos el voltaje del nodo inferior, es decir $V_{DA} = 1\Delta - 0\Delta$. Para el siguiente dato $D = 3$, se elige el voltaje que se produce en las siguientes resistencias de la cadena, es decir el voltaje de R_1 ; R_2 y R_3 , el voltaje de salida del CDA es $V_{DA} = 4\Delta - 1\Delta$. El siguiente dato es $D = 2$, se elige la diferencia de voltaje de las resistencias consecutivas en el orden de la cadena R_4 y R_5 , por lo tanto, el voltaje de salida es $V_{DA} = 6\Delta - 4\Delta$. El siguiente dato es 4 . Cuando se alcanza el final de la cadena como es el caso, se toma la diferencia de voltajes de las últimas resistencias de la cadena y se continúa con las resistencias iniciales. El voltaje de salida es $V_{DA} = (V_{ref}^+ - 6\Delta) + (2\Delta - V_{ref}^-)$.

Para facilitar el análisis se llamará **Caso A** aquellos en donde para realizar la diferencia no se ha alcanzado el final de la cadena resistiva, y **Caso B** para la situación contraria. Para analizar el funcionamiento del DAC pasa bajas supondremos en este caso sólo un capacitor para realizar la operación del voltaje del DAC “ C_3 ” como se muestra en la figura 49 (b). En el procedimiento propuesto se observa lo siguiente:

Caso A, la dinámica para realizar la diferencia de voltajes se muestra en la figura 49 (b), se carga el capacitor C_3 en fase θ_1 con el voltaje superior j de la cadena resistiva, y en fase θ_2 , se conecta al voltaje inferior i , realizando una resta de voltajes en el capacitor. Podemos representar el voltaje del DAC como la diferencia de dos voltajes que ocurren en dos tiempos distintos:

$$V_{DAC_n} = (j_n - i_{n-1})\Delta \quad (69)$$

donde $j_n\Delta$ representa el voltaje del dato presente (en fase θ_1) y $i_{n-1}\Delta$ el voltaje del dato anterior (en fase θ_2).

Caso B, para este caso la cadena se divide en dos partes, vea la figura 48 para el dato $D = 4$. Por lo tanto la diferencia de voltajes se obtiene como:

$$\begin{aligned} V_{DAC_n} &= (Vref^+ - i_{n-1}\Delta) + (j_n\Delta - Vref^-) \\ &= (j_n - i_{n-1})\Delta + (Vref^+ - Vref^-) \end{aligned} \quad (70)$$

La diferencia de voltajes es siempre positiva para ambos casos A y B. Para llevar a cabo las operaciones del caso A y caso B se requiere agregar un capacitor extra ademas de sumar un $Vref^-$, esto para obtener voltajes negativos y que sea correcta la relación entre el voltaje de salida y la codificación de offset binario.

Al agregar $Vref^-$ a las ecuaciones 69 y 70 se tiene para el caso A:

$$V_{DAC_n} = (j_n - i_{n-1})\Delta + Vref^- \quad (71)$$

para el caso B:

$$V_{DAC_n} = (j_n - i_{n-1})\Delta + Vref^+ \quad (72)$$

Como se observa en las ecuaciones 71 y 72, para realizar circuito se requiere dos capacitores: uno para la diferencia $(j_n - i_{n-1})\Delta$, que se presenta en ambos casos, y otro capacitor para agregar $Vref^+$ o $Vref^-$ según sea el caso.

La ventaja de utilizar esta arquitectura con capacitores es que la diferencia $(j_n - i_{n-1})\Delta$ se realiza con el mismo capacitor para ambos casos (A y B); el segundo capacitor agrega el voltaje $Vref^+$ o $Vref^-$ para la correcta codificación de offset binario. Se puede demostrar que el error introducido por el desapareamiento entre estos capacitores puede

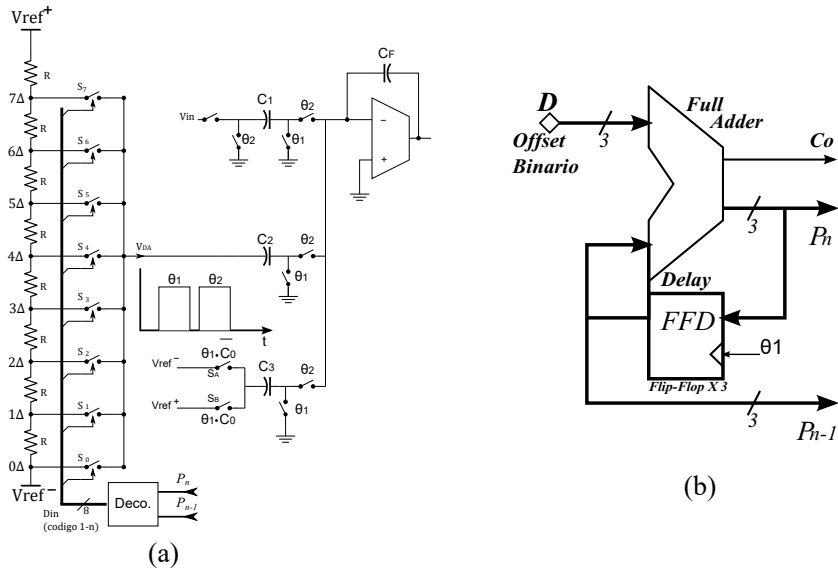


Figura 50: (a) Convertidor Digital Analógico Híbrido "Pasa Bajas". (b) DWA Pasa bajas.

ser despreciable ya que también está modulado por $(1 - z^{-1})$.

El circuito propuesto para realizar la corrección dinámica basada en DWA se muestra en la figura 50 (a). La figura 50 (b) muestra el sistema de control que genera la secuencia de datos para la selección de voltajes. El circuito de control [8], está formado por un sumador completo, en este caso de tres bits para el ejemplo, y un registro de flip-flops D que realizan un retardo de un ciclo en la fase θ_1 representado como z^{-1} . La entrada representada por D es el dato digital proveniente del convertidor analógico digital del MSD, P_n representa un apuntador hacia el dato del estado presente en la secuencia de tiempo n , y P_{n-1} es el dato P_n retrasado un ciclo. C_o es el acarreo de salida.

La relación entre los apuntadores y el dato digital de entrada esta dada por la siguiente ecuación:

$$P_n = D + P_{n-1} \quad (73)$$

El dato binario P_n , mediante un decodificador de 1 a n , selecciona el voltaje del arreglo de resistencias en la fase θ_1 cerrando el interruptor S_i , mientras que dato P_{n-1} lo hace

en θ_2 de manera que la diferencia de voltajes sea proporcional al dato D .

La forma en que se agrega el voltaje $Vref^+$ o $Vref^-$ depende de la condición del acarreo del sumador completo. Para el **caso A**, con $Co = 0$ se selecciona el interruptor S_A y para el **caso B**, $Co = 1$, se selecciona el interruptor S_B . Ambos casos se sincronizan con la fase θ_1 mediante una función AND.

IV.3. Modelo Esquemático DWA y MSD Pasa Banda.

En esta sección se muestra el modelo esquemático realizado para la simulación en Mentor Graphics, se realizan las modificaciones necesarias para el traslado del modelo a bloques al esquemático. El modelo esquemático contiene macromodelos y programación Verilog.

IV.3.1. Pulsos de Reloj Sin Traslape.

El circuito generador de pulsos sin traslape se muestra en la figura 51, el circuito consta de dos amplificadores en configuración comparador cruce por cero, un comparador realiza la función de saturar a voltaje de referencia positivo cuando la entrada senoidal con frecuencia 42.8MHz este en ciclo positivo, y saturar a voltaje de referencia negativo cuando este en ciclo negativo, el otro comparador satura los voltajes de manera inversa.

Con esto tenemos las dos primeras señales de reloj las cuales pasan a través de una etapa para evitar el traslape de las dos señales inversas, es decir, que la señal 1 al cambiar de estado de alto a bajo, de un tiempo para que la señal 2 cambie de estado

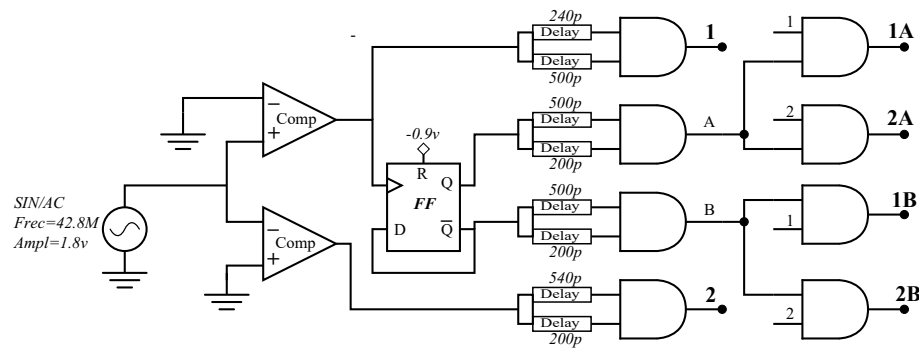


Figura 51: Generador de fases sin traslape.

de bajo a alto y así evitar problemas con los procesos de conmutación del circuito en general.

Existen topologías establecidas para satisfacer esta etapa que evita el traslape, en este caso para la simulación esta etapa se macromodela para así evitar problemas de convergencia en la simulación. Esta etapa consiste en conectar las señales de reloj a una adecuada selección de retardos, los cuales están conectados a una compuerta AND, esta compuerta retarda la caída de alto a bajo de las señales de reloj 1 y 2.

Para conseguir las demás señales de reloj es necesario realizar un circuito divisor de frecuencia, el cual consiste en un flip-flop tipo D conectado como se muestra en la figura 51, a la salida del flip-flop tenemos dos señales que pasan a través de la etapa que evita el traslape para así obtener las señales de reloj A y B, estas señales tienen la mitad de frecuencia que 1 y 2 es decir de 21.4MHz. las señales A y B tienen que sincronizarse con 1 y 2 por lo que se conectan a compuertas AND para realizar esta operación, con esto se obtienen las señales 1A, 1B, 2A, 2B.

Se requiere un circuito extra para realizar la señal de control, el cual maneja los cambios en el circuito DWA. este circuito se muestra en la figura 52 el cual consiste en 2 flip-flops tipo D conectados en cascada, la salida del último FF es conectada a un inversor, la salida de este inversor es conectada a la entrada del primer FF. La señal de

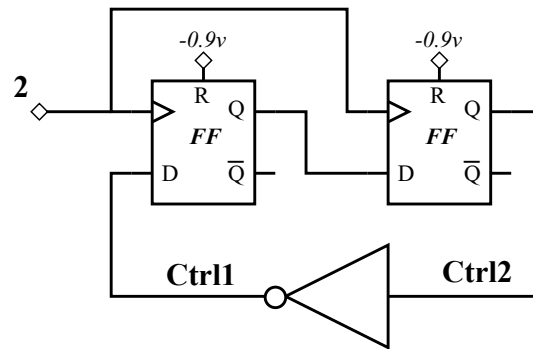


Figura 52: Circuito generador de fase de control.

reloj que se utiliza para marcar el paso a los FF es 2.

IV.3.2. Implementación DWA a Nivel Lógico y Macromodelos.

En la figura 53 se muestra el modelo esquemático del sistema de corrección DWA pasa bandas, en esta figura se muestran las modificaciones necesarias para trasladar del modelo a bloques al modelo esquemático. A continuación se explicara cada una de las partes del diseño.

La señal digital de entrada de 4 bits pasa a través de la primera etapa donde se encuentran las compuertas XOR, una compuerta para cada bit. Estas compuertas modifican el valor de la señal de entrada a complemento a 2, este cambio es controlado por la señal de control *Ctrl1*, esta misma señal de control es conectada a la entrada carry in del sumador completo.

El sumador completo realiza la suma de los dos datos digitales. La salida del sumador completo pasa a través de un arreglo de flip flops que retardan la señal dos ciclos de reloj, dos flip flops para cada bit.

La salida del sumador completo y la señal retardada 2 ciclos, son conectadas al

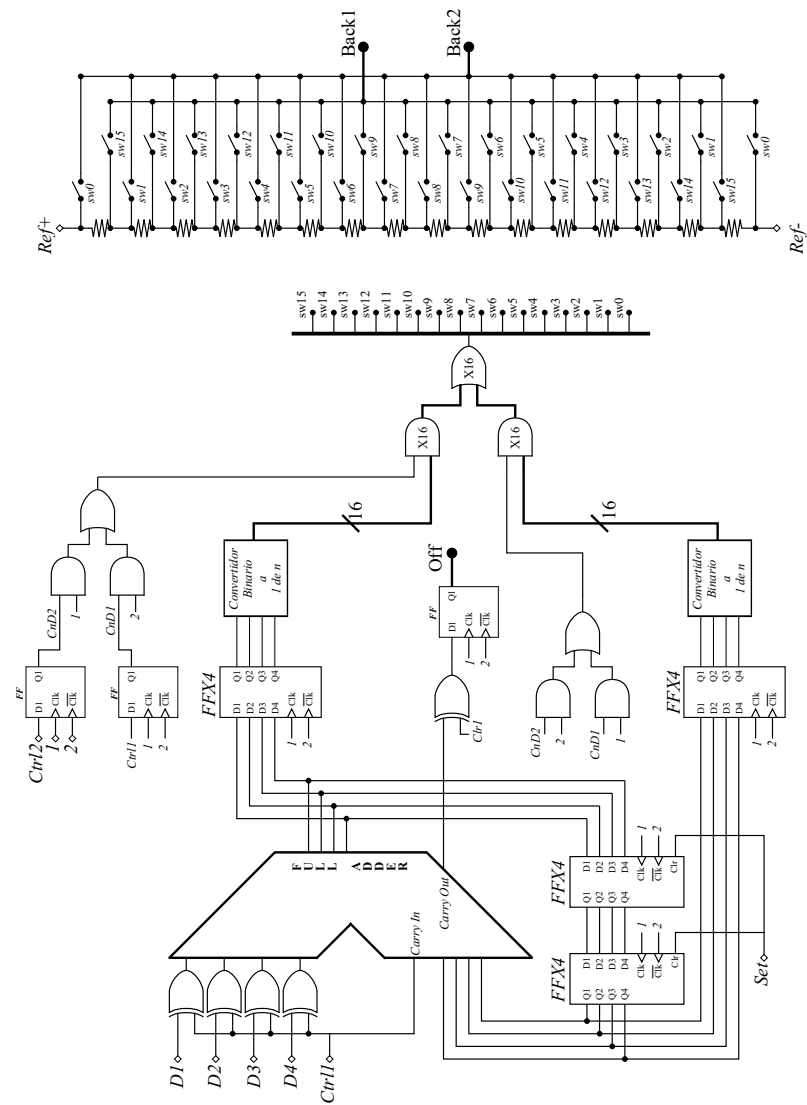


Figura 53: Circuito esquemático DWA.

decodificador de n a 1, este decodificador no es mas que un arreglo de compuertas lógicas el cual manda una señal en alto en una de las 16 posibles salidas, según la señal binaria de entrada.

La salida de los decodificadores se conectan a un arreglo de compuertas las cuales realizan la función de seleccionar cual señal se enviara en θ_1 y cual en θ_2 .

En la etapa final se encuentra la escalera de resistencias, las resistencias se encuentran entre los voltajes de referencia V_{ref}^+ y V_{ref}^- . Esta escalera cuenta con 16 resistencias en serie, con sus respectivos interruptores. En este arreglo existen dos maneras de seleccionar los interruptores “back 1” y “back 2”. La salida back 1 es para la parte positiva del amplificador completamente diferencial, y back 2 es para la parte negativa.

IV.3.3. Modificación Modelo Esquemático MSD Pasa Bandas.

Para poder aplicar el circuito de corrección DWA a nuestro modelo esquemático es necesario realizar algunos cambios al modelo original, estas modificaciones se llevan a cabo sin alterar la función de transferencia del sistema. Estos cambios son debido a la estructura híbrida propuesta, y la sincronía del sistema.

La estructura modificada se muestra en la figura 54, en esta figura se muestra el modelo esquemático completo con el cual se realizó la simulación en Mentor Graphics. A continuación se explicaran las modificaciones.

En el recuadro número 1, se muestra un cambio en la arquitectura particularmente en la retroalimentación. En este caso tendremos dos capacitores, un capacitor carga el valor de la referencia negativa o positiva según sea el caso y otro capacitor para cargar el valor de salida del DWA. Al realizar la operación con los dos capacitores se

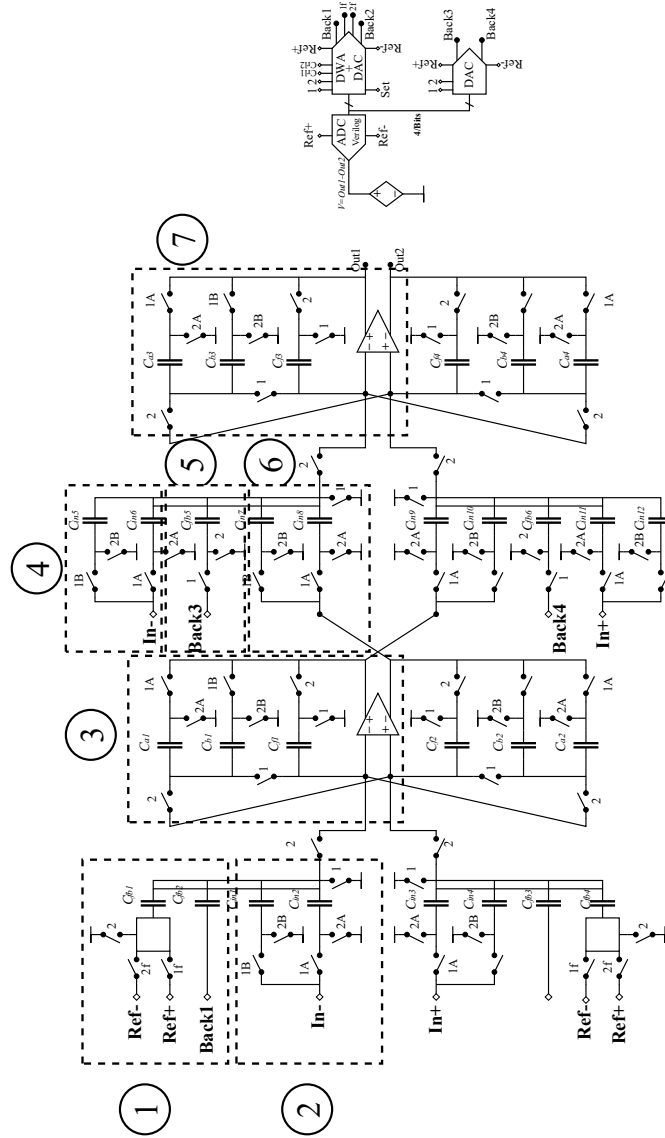


Figura 54: Modulador sigma delta pasa bandas con DWA modelo esquemático.

considera que se retarda la señal de retroalimentación un ciclo de reloj o que la señal es multiplicada por z^{-1}

$$Back1 \cdot z^{-1} \quad (74)$$

Para restar este valor de Back1 a la señal de entrada se ocupa retardar la señal un ciclo de reloj mas, este retardo se realiza digitalmente dentro del DWA. En la figura 53 se muestran los flip flops extras para realizar este retardo, estos flip flops están colocados a la salida del sumador completo, en la señal retardada dos ciclos y en la señal off.

En el recuadro número 2 no se modifica la arquitectura, se tienen los capacitores $Cin1$ y $Cin2$ los cuales realizan la función de retardar la señal negada de entrada dos ciclos de reloj.

$$-In \cdot z^{-2} \quad (75)$$

En el recuadro número 3 tenemos la misma estructura sin modificar la cual representa la siguiente función de transferencia:

$$\frac{1}{1 + z^{-2}} \quad (76)$$

En el recuadro número 5 tenemos la entrada de la señal de retroalimentación Back3, esta señal proviene de un convertidor digital analógico sin corrección DWA. Se puede demostrar que el error de desacoplo producido por el CDA cuando es conectado en el segundo amplificador, es moldeado por la función de transferencia rechaza bandas, así que este error no perjudica al sistema. La señal Back3 solo es retardada solo un ciclo de reloj por el capacitor C_{fb5} , el retardo extra se crea digitalmente antes del CDA.

El recuadro número 4 se observa que se introduce la señal de entrada negativa a la segunda etapa del modulador, los capacitores $Cin5$ y $Cin6$ retardan la señal dos ciclos de

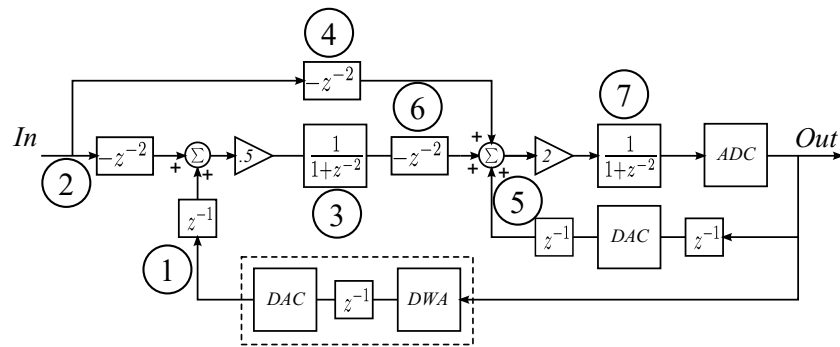


Figura 55: Sistema equivalente al circuito esquemático.

reloj. El propósito de añadir la señal de entrada en la segunda etapa es reducir el estrés o los requerimientos en amplitud del primer amplificador completamente diferencial, todo esto sin alterar la función de transferencia del sistema.

En la figura 55 se muestra un diagrama a bloques el cual representa un modelo equivalente al circuito esquemático de la figura 54. En esta figura se señala que parte del modelo esquemático equivale al modelo a bloques.

En el diagrama a bloques se muestra de una manera clara donde entra la señal de entrada en la segunda etapa. También se muestra que se utilizó dos convertidores digitales analógicos, uno con corrección DWA y otro sin corrección. El CDA con corrección se conecta a la primera etapa, se muestra también que a este se le agrega un retardo digital el cual se posiciona entre el DWA y el CDA. El CDA son DWA se conecta a la segunda etapa y también se le agrega un retardo digital.

IV.4. Resultados.

IV.4.1. Simulación Modelo Esquemático.

La simulación del modelo esquemático del modulador sigma delta pasa bandas de segundo orden ideal (sin DWA), se muestra en la figura 56. Esta simulación se realiza

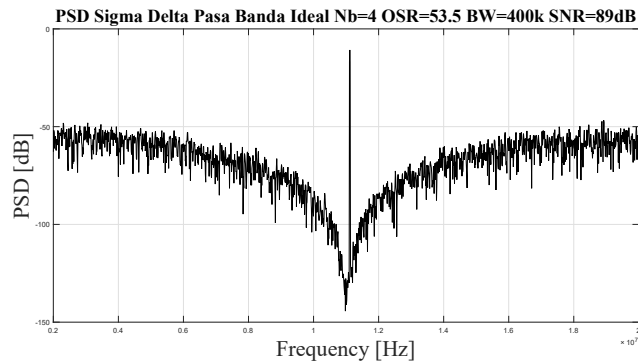


Figura 56: Simulación modelo esquemático ideal.

Cuadro VII: Valor de los capacitores

<i>Capacitor</i>	<i>Valor</i>
Cfb1,2,3,4	= 0.05Pf
Cin1,2,3,4	= 0.05Pf
Ca1,b1,f1,a2,b2,f2	= 0.1Pf
Cin5,6,7,8,9,10,11,12	= 0.1Pf
Cfb5,6	= 0.1Pf
Ca3,b3,f3,a4,b4,f4	= 0.05P

para una tecnología de 180nm, con un voltaje pico a pico de 1.8v. La frecuencia de muestreo para la simulación es de 42.8MHz, en la entrada del modulador se tiene una señal senoidal con amplitud de ± 0.7 volts. Esta amplitud seleccionada no causa pérdidas de información a causa de la saturación en los amplificadores, en un análisis posterior se muestra el comportamiento del rango dinámico del modulador. La frecuencia de la señal de entrada es de 10.804MHz, se utiliza esta frecuencia para obtener una mejor representación de la señal al ser muestreada, esto es representado en la figura 56, se nota que la señal de entrada no está centrada en $f_s/4$.

El valor de los capacitores se muestran en la tabla VII, esta selección de valores representa las ganancias 0.5 y 2 del sistema. Las compuertas lógicas fueron macromodelos con las siguientes características $t_{pd}=10p$, $t_{pdown}=20p$, $t_{pdup}=20p$, $v_{hi}=0.9$, $v_{lo}=-1$, $V_{th}=0$, $V_{thi}=default$, $v_{tlo}=default$

IV.4.2. Rango Dinámico.

La gráfica del rango dinámico es representada en la figura 57, esta gráfica muestra el comportamiento de la SNR con respecto a variaciones del voltaje de entrada, desde un voltaje bajo hasta el voltaje máximo. En este caso tenemos 4 comportamientos del rango dinámico.

Uno de estos comportamientos es la simulación en MATLAB con un MSD ideal, en esta simulación se puede observar que la SNR cae antes de llegar al voltaje máximo, en este caso 1 volt, esto debido a la saturación en los amplificadores. Otro comportamiento es el del modelo ideal simulado en Mentor, el cual demuestra la similitud en el comportamiento de la simulación a bloques y la simulación esquemática, este último comportamiento se satura con un menor voltaje de entrada. Se tiene también el comportamiento de la simulación del modelo esquemático aplicando el error de desacoplo sin usar el método de corrección DWA, en esta simulación se muestra que la SNR cae aproximadamente 20 decibeles, respecto al modelo ideal. Por último se tiene el comportamiento del modelo esquemático con error de desacoplo usando la técnica de corrección DWA, en este caso se observa como la SNR recupera aproximadamente los 20 decibeles perdidos, asemejándose al modelo ideal.

Con esta simulación se comprueba que la corrección DWA para el MSD pasa bandas, corrige el error de desacoplo en la mayor parte del rango de voltajes de entrada, teniendo limitantes con voltajes altos.’

IV.4.3. Ancho de Banda de los Amplificadores.

En la figura 58 se muestra la simulación del comportamiento de los amplificadores completamente diferenciales con diferentes anchos de banda. Podemos observar que con

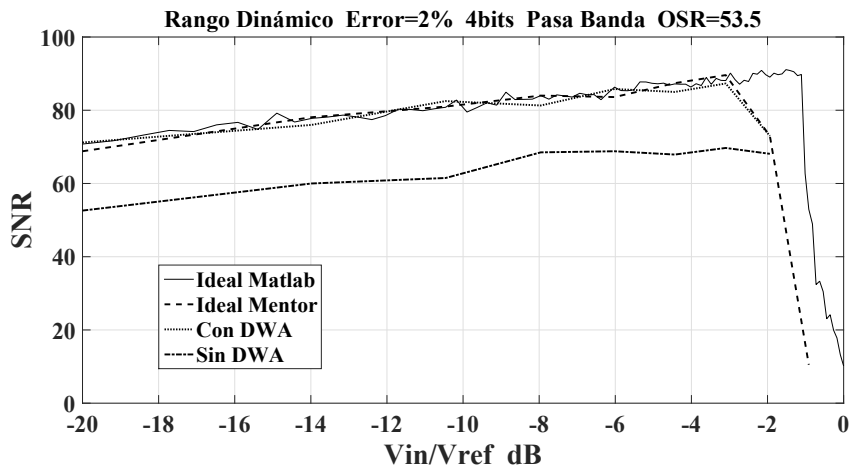


Figura 57: Simulación modelo esquemático ideal.

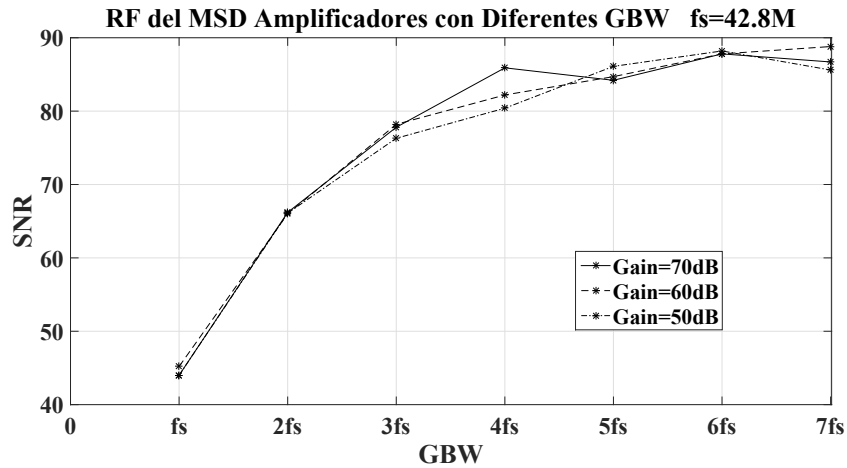


Figura 58: Simulación del ancho de banda con diferentes ganancias de los amplificadores.

un ancho de banda de $5f_s$ se alcanza una SNR máxima de aproximadamente 88dB. El comportamiento entre las tres simulaciones con diferentes ganancias es muy similar, por lo tanto, podemos caracterizar los amplificadores con la ganancia mas baja, en este caso de 50dB.

IV.5. Conclusión.

En este capítulo se demuestra que es posible realizar un modelo esquemático del circuito de corrección DWA a partir del modelo matemático. Este modelo esquemático propone utilizar un convertidor digital analógico tipo híbrido y así aprovechar las ventajas resistivas y capacitivas.

Este modelo esquemático del DWA es posible adaptarlo al modulador sigma delta pasa bandas. Las simulaciones del comportamiento demuestran que el DWA recupera la SNR un 98 % respecto al modelo ideal.

Capítulo V

Conclusiones y Trabajo Futuro.

V.1. Conclusiones Generales.

En este trabajo de Tesis, se realizó un diseño a nivel sistema para el algoritmo de selección DWA, esto con el propósito de reducir la distorsión armónica ocasionada por la no-linealidad del DAC del cuantificador, se propone un circuito de baja complejidad para la realización del algoritmo DWA. Este circuito fue utilizado para la corrección del error de desacoplo de un modulador sigma delta multibit pasa bandas. Este circuito fue aplicado a un convertidor digital analógico híbrido, esto para aprovechar las características resistivas y capacitivas.

En el segundo capítulo se explicaron los conceptos básicos del modulador sigma delta, y el diseño a nivel sistema del mismo. En este capítulo se introduce la explicación del acoplo dinámico de elementos, el cual termina con una explicación en general del algoritmo de selección DWA.

En el tercer capítulo se realiza una propuesta de un circuito para realizar el algoritmo de selección DWA para moduladores sigma delta pasa banda. Se mostró que es posible tener una atenuación a frecuencias intermedias, esto con una adecuada modificación al circuito para el algoritmo DWA pasa bajas. Esta modificación consistió en la correcta selección de la suma de los voltajes de referencia. Este sistema de control de la selección se logró diseñar con una compuerta XOR, esta compuerta nos permite seleccionar el voltaje correcto según el caso. El comportamiento de este circuito se comprueba al

realizar una simulación a nivel del sistema. En las simulaciones se muestra como el ruido en una frecuencia intermedia es reducido hasta un 97% respecto al modelo ideal.

De acuerdo con el diseño a nivel sistema propuesto, el modelo es probado en un modulador sigma delta de segundo orden multibit pasa bandas. Esta simulación se realizó para una tecnología de 180nm. La frecuencia de muestreo para la simulación es de 42.8MHz. La simulación del comportamiento demuestra que el DWA recupera la SNR un 98% respecto al modelo ideal.

Las simulaciones realizadas tanto a nivel sistema como a nivel esquemático, comprueban que el circuito DWA propuesto funciona correctamente. Este circuito reduce bastante los tonos espurios generados por el desacoplo entre los elementos del DAC. El circuito del DAC es robusto y puede soportar un porcentaje alto de desacoplo mayores al 1%.

V.2. Trabajo Futuro.

Los siguientes puntos se deben considerar para próximos trabajos:

1. Modelo matemático para conocer los limites del circuito propuesto.
2. Realizar el circuito a nivel transistor para poder observar todos los comportamientos no ideales, y poder hacer una evaluación más exacta del circuito propuesto.
3. Análisis de ruido he inyección de carga, Análisis de los amplificadores operacionales con slew rate.

Bibliografía

- [1] Robert HM Van Veldhoven and Arthur HM Van Roermund. *Robust sigma delta converters: and their application in low-power highly-digitized flexible receivers*. Springer Science & Business Media, 2011.
- [2] Miguel Ángel García Andrade. *Switched Current Sigma Delta Modulators, Design and Performance limitations*. INAOE, Puebla, 2001.
- [3] Marcel JM Pelgrom. *Analog-to-digital conversion*. Springer, 2010.
- [4] www.emarketer.com. *Mobile Phone, Smartphone Usage Varies Globally*. 2016.
- [5] www.newsroom.cisco.com. *Forecast Projects 70 Percent of Global Population Will Be Mobile Users*. 2016.
- [6] Gabriele Manganaro and Domine MW Leenaerts. *Advances in analog and RF IC design for wireless communication systems*. Academic Press, 2013.
- [7] Herman Casier, Michiel Steyaert, and Arthur HM van Roermund. *Analog circuit design*. Springer, 2008.
- [8] Franco Maloberti. *Data converters*. Springer Science & Business Media, 2007.
- [9] Shahriar Rabii and Bruce A Wooley. *The design of low-voltage, low-power sigma-delta modulators*, volume 483. Springer Science & Business Media, 2012.
- [10] Behzad Razavi. *Design of analog CMOS integrated circuits*. McGraw-Hill Higher Education, 2001.

- [11] Alan Hastings. *The art of analog layout*. Prentice Hall, 2006.
- [12] M. Sarhang-Nejad and G. C. Temes. A high-resolution multibit sigma; delta; adc with digital correction and relaxed amplifier requirements. *IEEE Journal of Solid-State Circuits*, 28(6):648–660, Jun 1993.
- [13] L. E. Larson, T. Cataltepe, and G. C. Temes. Multibit oversampled sigma;- delta; a/d convertor with digital error correction. *Electronics Letters*, 24(16):1051–1052, Aug 1988.
- [14] C. D. Fiore, F. Maloberti, and M. G. Andrale. Dynamic element matching for low-power sigma; delta;modulator with r-c based internal dac. In *2006 13th IEEE International Conference on Electronics, Circuits and Systems*, pages 1368–1371, Dec 2006.
- [15] V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati, F. Maloberti, and L. Monfasani. Use of dynamic element matching in a multi-path sigma-delta modulator. In *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, volume 1, pages I–649–52 Vol.1, May 2004.
- [16] B. H. Leung and S. Sutarja. Multibit sigma;- delta; a/d converter incorporating a novel class of dynamic element matching techniques. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 39(1):35–51, Jan 1992.
- [17] D. Cini, C. Samori, and A. L. Lacaita. Double-index averaging: a novel technique for dynamic element matching in sigma;- delta; a/d converters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 46(4):353–358, Apr 1999.

- [18] O. J. A. P. Nys and R. K. Henderson. An analysis of dynamic element matching techniques in sigma-delta modulation. In *1996 IEEE International Symposium on Circuits and Systems. Circuits and Systems Connecting the World. ISCAS 96*, volume 1, pages 231–234 vol.1, May 1996.
- [19] R. K. Henderson and O. J. A. P. Nys. Dynamic element matching techniques with arbitrary noise shaping function. In *1996 IEEE International Symposium on Circuits and Systems. Circuits and Systems Connecting the World. ISCAS 96*, volume 1, pages 293–296 vol.1, May 1996.
- [20] Cassius C Cutler. Differential quantization of communication signals, July 29 1952. US Patent 2,605,361.
- [21] F De Jager. Delta modulation: A method of pcm transmission using the one unit code. *Phillips Research Reports*, 7:542–546, 1952.
- [22] Boris Derjavitch and Maurice Deloraine Edmond. Communication system utilizing constant amplitude pulses of opposite polarities, February 24 1953. US Patent 2,629,857.
- [23] Cassius C Cutler. Transmission systems employing quantization, March 8 1960. US Patent 2,927,962.
- [24] Hiroshi Inose and Yasuhiko Yasuda. A unity bit coding method by negative feedback. *Proceedings of the IEEE*, 51(11):1524–1535, 1963.
- [25] Hi Inose, Y Yasuda, and J Murakami. A telemetering system by code modulation- δ - σ modulation. *IRE Transactions on Space Electronics and Telemetry*, (3):204–209, 1962.

- [26] James Candy. A use of limit cycle oscillations to obtain robust analog-to-digital converters. *IEEE Transactions on Communications*, 22(3):298–305, 1974.
- [27] James C Candy and Gabor C Temes. *Oversampling delta-sigma data converters: theory, design, and simulation*. University of Texas Press, 1962.
- [28] William Ralph Bennett. Spectra of quantized signals. *Bell Labs Technical Journal*, 27(3):446–472, 1948.
- [29] Robert M Gray. Quantization noise spectra. *IEEE Transactions on information theory*, 36(6):1220–1244, 1990.
- [30] LF Rahman, FA Rudham, MBI Reaz, and M Marufuzzaman. The evolution of digital to analog converter. In *Advances in Electrical, Electronic and Systems Engineering (ICAEES), International Conference on*, pages 151–154. IEEE, 2016.
- [31] Shanthi Pavan, Richard Schreier, and Gabor C Temes. *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.
- [32] Vincent O Brien, Ciaran MacNamee, and Brendan Mullane. High order dynamic element matching for multi-bit delta sigma a/d & d/a converters. In *Irish Signals & Systems Conference 2014 and 2014 China-Ireland International Conference on Information and Communications Technologies (ISSC 2014/CIICT 2014). 25th IET*, pages 418–423. IET, 2013.
- [33] A Keady and C Lyden. Tree structure for mismatch noise-shaping multibit dac. *Electronics Letters*, 33(17):1431–1432, 1997.
- [34] Ian Galton. Spectral shaping of circuit errors in digital-to-analog converters. *IEEE*

- Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 44(10):808–817, 1997.
- [35] Vincent O’Brien and Brendan Mullane. High order mismatch noise shaping for bandpass dacs. In *Electronics, Circuits and Systems (ICECS), 2011 18th IEEE International Conference on*, pages 224–227. IEEE, 2011.
- [36] Marko Neitola and Timo Rahkonen. A generalized data-weighted averaging algorithm. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 57(2):115–119, 2010.
- [37] OJAP Nys and RK Henderson. An analysis of dynamic element matching techniques in sigma-delta modulation. In *Circuits and Systems, 1996. ISCAS’96., Connecting the World., 1996 IEEE International Symposium on*, volume 1, pages 231–234. IEEE, 1996.
- [38] RK Henderson and OJAP Nys. Dynamic element matching techniques with arbitrary noise shaping function. In *Circuits and Systems, 1996. ISCAS’96., Connecting the World., 1996 IEEE International Symposium on*, volume 1, pages 293–296. IEEE, 1996.
- [39] Fabrizio Francesconi, Valentino Liberali, Paolo Magani, and Franco Maloberti. Design of a 10.7 mhz band-pass/spl sigma//spl delta/modulator: a comparison between cmos and bicmos technologies. In *Circuits and Systems, 1997. Proceedings of the 40th Midwest Symposium on*, volume 1, pages 281–284. IEEE, 1997.
- [40] M. Sarhang-Nejad and G. C. Temes. A true 16-bit 20 khz multibit amp;amp;sigma; amp;amp;delta; adc with digital correction. In *1992 Proceedings of the IEEE Custom Integrated Circuits Conference*, pages 16.4.1–16.4.4, May 1992.