

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

**INSTITUTO DE INGENIERÍA
MAESTRÍA Y DOCTORADO EN CIENCIAS E INGENIERÍA**



**“EFECTO DE LA FORMULACIÓN DE RESINAS EN EL
FENÓMENO DE DEFORMACIÓN SUPERFICIAL (WARPAGE) EN
CIRCUITOS INTEGRADOS MCM”**

**TESIS QUE PARA OBTENER EL GRADO DE:
MAESTRO EN INGENIERÍA**

**PRESENTA:
HELIODORO OSUNA ARAUJO
DIRECTOR:
DR. BENJAMIN VALDEZ SALAS**

MEXICALI, B. C.

ABRIL DEL 2007

Tabla de Contenidos

Página

Agradecimientos.....	3
Capítulo 1 – Antecedentes... ..	4
1.1 Introducción.....	4
1.2 Manufactura de circuitos semiconductores	5
1.3 Definición de deformación superficial (<i>warp</i>).....	11
1.4 Objetivo de la investigación	13
Capítulo 2 – Marco Teórico	14
2.1 Clasificación general y descripción de paquetes de plástico.....	14
2.2 Definición de paquete MCM.....	37
2.3 Descripción del proceso de ensamble de MCM.....	44
2.4 Resinas para moldeo.....	51
2.5 Composición de las resinas para moldeo	53
Capítulo 3 – Materiales y Método.....	57
3.1 TherMoiré PS4000.....	58
3.1.1 Fundamentos de Shadow Moiré.....	58
3.1.2 Fundamentos del análisis por incremento de fases.....	61
Capítulo 4 – Experimentación.....	66
4.1 El proceso de moldeo	66
4.2 Descripción experimental.....	68
4.3 Revisión y análisis de resultados	73
4.4 Conclusiones y recomendaciones.....	79
Referencias.....	81
Anexos.....	83
A-1 Diagrama causa y efecto para la deformación superficial.....	83
A-2 Tabla de propiedades físicas de las resinas utilizadas.....	83

Agradecimientos

En primera instancia a mi esposa e hijo, por su incondicional apoyo y comprensión a lo largo de estos 2 años y medio , marcados por redoblados esfuerzos de todos para hacer mas amena la convivencia diaria en el ámbito escolar, de trabajo y sobre todo familiar.

A todos los profesores y personal del Instituto de Ingeniería de la UABC que participaron en esta aventura, por las facilidades brindadas para poder impartir y desarrollar este programa de postgrado la mayor parte del tiempo en nuestro lugar de trabajo.

A la empresa *Skyworks Solutions* por brindarnos la oportunidad de participar y desarrollarnos profesionalmente en este programa.

A todos mis compañeros de postgrado, por el trabajo en equipo y apoyo constante durante todo este tiempo en que compartimos múltiples situaciones: difíciles, apresuradas, agradables, demandantes, etc.

Al personal de *Skyworks Solutions* que de manera directa o indirecta me apoyaron durante el desarrollo de las actividades experimentales.

Un agradecimiento muy especial para el Ingeniero Luis E. Herrera Yee por su invaluable apoyo y asesoría técnica en la operación de Moldeo y su incondicional ayuda para conducir y completar satisfactoriamente las corridas experimentales durante esta investigación.

Capítulo 1- Antecedentes

1.1 Introducción

La industria de fabricación de dispositivos semiconductores es una de las industrias más dinámicas desde sus inicios y hasta nuestra época. Existen innumerables ejemplos de situaciones actuales que no pudiéramos concebir sin el uso de estos dispositivos semiconductores, desde diodos emisores de luz en los autos, circuitos de control para alarmas, control de operación remota de televisores, radios, etc. y muchos otros. En definitiva, la fabricación de semiconductores es uno de los pilares del mundo que conocemos en nuestros días y nada de ello hubiera sido posible sin el desarrollo y mejora continua de los procesos, materiales y metodologías que le competen.

1.2 Manufactura de circuitos semiconductores

Podemos dividirla en los siguientes pasos:

1. Producción de obleas de silicio a partir de lingotes de silicio puro.
2. Fabricación de circuitos integrados sobre estas obleas.
3. Ensamble de cada uno de los circuitos integrados de las obleas en los productos finales.
4. Prueba eléctrica y procesamiento final del dispositivo.

1.2.1 Producción de Obleas de Silicio

Antes de que empiece el proceso de fabricación de circuitos integrados, se deben de fabricar los substratos u obleas de silicio sobre los que se van a construir los diferentes circuitos semiconductores. Uno de los métodos mas comúnmente utilizados para producir estas obleas a partir de lingotes de Silicio puro es el *Czochralski*. Las obleas de silicio son cortadas del lingote en obleas delgadas.

1.2.2 Fabricación de Circuitos Integrados

Se requiere del uso de varios procesos y tecnologías con una secuencia especial para fabricar una oblea con dispositivos semiconductores. Normalmente, los procesos y tecnologías son arreglados de tal forma en las fabricas de obleas, que permiten la máxima utilización posible de todas estas tecnologías para la mayor efectividad posible durante el proceso mismo. Los

diferentes procesos y tecnologías se pueden agrupar en categorías lógicas, de manera tal que sea posible explicar su función en el proceso de manufactura.

- Procesos de limpieza de las obleas
- Procesos térmicos y de impurezas del Silicio
- Procesos fotolitográficos
- Procesos de erosión (*etching*)
- Procesos de deposición de películas dieléctricas y metálicas
- Procesos de nivelación (*planarization*)

De manera general, las actividades en una fábrica de circuitos integrados se dividen en dos secciones, el inicio (*Front-end*) y el final (*Back-end*).

La sección del inicio, consiste de los procesos que cambian selectivamente las características de conducción de la oblea de silicio para crear circuitos individuales, cambios en las estructuras cristalinas para aislar unos circuitos de otros; y la creación de los puntos de contacto con la superficie del Silicio. Algunas compañías conocen también estos procesos como los procesos calientes (*hot processes*). En el pasado, éstos constituían la mayor parte del proceso de fabricación, entre un 80-90% del ciclo total para la fabricación de la oblea eran necesarios.

La sección final, consiste en la concreción del circuito electrónico de la superficie del silicio, a las conexiones externas en el paquete. En las condiciones actuales donde se requieren cada vez más altas densidades de interconexión lo cual demanda la utilización de múltiples capas de

interconexión de metal, esta sección empieza a consumir cada vez más grandes porcentajes del ciclo total de fabricación.

1.2.3 Ensamble de circuitos integrados

En general es el proceso de colocar el circuito integrado dentro de un paquete para su adecuado manejo y aislamiento del medio ambiente. Existe un número muy diverso de tipos de paquetes utilizados en nuestros días en la industria, y a pesar de las obvias diferencias entre cada uno de ellos todos persiguen objetivos comunes:

- Proveer al circuito integrado de una estructura para su uso.
- Proteger al circuito integrado de las contingencias del medio ambiente.
- Conectar al circuito integrado con el mundo exterior.
- Ayudar a optimizar la operación del dispositivo.

En general, el proceso de ensamble puede consistir de los siguientes pasos:

- Preparación del la oblea. Consiste en el cortado de cada uno de los circuitos que forman la oblea en circuitos dados.
- Pegado de dados. Se pega el dado en la base de la estructura del paquete.
- Alambrado. Se realizan las interconexiones entre las terminales de la estructura del paquete y los puntos de soldado en el circuito dado. De esta manera el circuito integrado podrá conectarse la mundo exterior a través de estas terminales en el paquete.
- Encapsulado. Se procede a la formación del cuerpo del paquete por medio de moldeo de un material plástico.

- Marcado. Se identifica cada uno de los paquetes con los números convencionales establecidos por cada ensamblador para su futura identificación.
- Cortado/Formado de paquetes. Consiste en darle la forma final al paquete, antes de enviarlos a la operación de prueba eléctrica.

1.2.4 Prueba eléctrica y procesamiento final

Uno pudiera pensar que después de todos los pasos anteriores, el paquete o dispositivo semiconductor ya estaría listo para operar en el mundo exterior. Sin embargo, como en cualquier otro proceso, las cosas pueden no haber salido del todo bien y es muy probable que hayamos incurrido en defectos durante el ensamble: defectos de fabricación de los circuitos, dados despostillados, alambres despegados, etc., de tal manera que el probarlos eléctricamente es una necesidad. La prueba eléctrica debe realizarse de una manera rápida y al menor costo posible. Existen soluciones automáticas de prueba eléctrica que consisten en un equipo de prueba y un equipo de manejo del dispositivo mientras se esta probando, comúnmente conocidos como sistemas de prueba automática o *ATE*. Estos sistemas utilizan un conjunto de rutinas de prueba agrupados en un programa de computadora que consisten en diferentes pruebas específicas correspondientes a parámetros críticos para el buen funcionamiento del dispositivo, de acuerdo a las especificaciones descritas para ello. Una vez realizada la prueba de cada dispositivo se procede a comparar el resultado de la prueba con los parámetros de éxito o fracaso asociados con cada parámetro de prueba y el sistema de manejo sortea los dispositivos en forma de categorías como piezas buenas o fallas eléctricas. Al final de la prueba y antes de embarcar

los dispositivos al cliente típicamente se procede a montar los dispositivos en tiras con cavidades y cinta adhesiva para su manejo y envío a los clientes.

El desarrollo de nuevas materias primas y la introducción de nuevas tecnologías para su posterior utilización en la fabricación e introducción de nuevos productos típicamente sucede antes que las mismas compañías puedan caracterizar, optimizar y adaptarse a las nuevas condiciones de proceso establecidas por el uso de las mismas. En forma similar, las compañías que se dedican al proceso de empaquetado de estos circuitos integrados están sujetas a condiciones similares, donde los requerimientos y demandas del mercado detonan ciclos de desarrollo cada vez más cortos con requerimientos cada vez más altos, lo cual frecuentemente producen efectos secundarios no deseados y/o adversos, los cuales hay que entender y posteriormente controlar para minimizar el impacto en la propia operación.

Este es el caso para el fenómeno definido como deformación superficial (*warpage*), o coplanaridad de piezas planas como tableros impresos, circuitos integrados de plástico y/o componentes electrónicos en general. El fenómeno se manifiesta al comparar la curvatura de la muestra con respecto de un plano de referencia. Tradicionalmente y por convención, se reconocen dos tipos de deformaciones según la condición de la curvatura:

Deformación convexa: condición definida por tener las esquinas de la muestra más cercanas de la línea o plano de referencia que el centro de la misma.

Deformación cóncava: condición definida por tener las esquinas de la muestra más alejadas de la línea o plano de referencia que el centro de la misma.

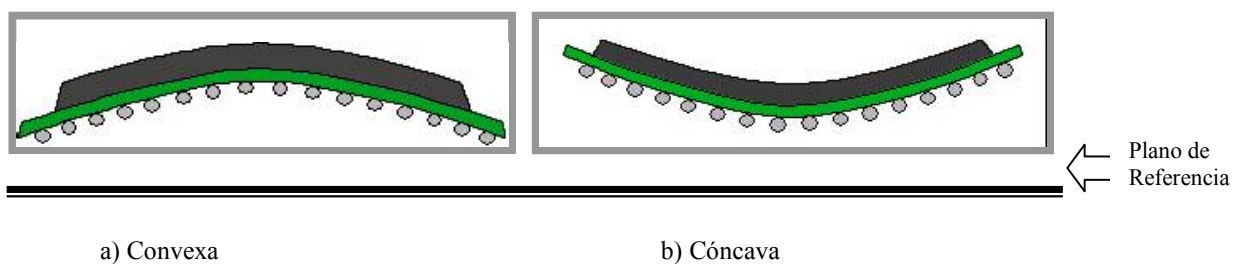


Figura 1-1: Convención del tipo de *warp* en un paquete semiconductor (*JESDB112*, 2005)

1.3 Definición de la deformación superficial (*warpage*)

Deformación superficial : Es el concepto utilizado para circuitos impresos y/o similares cuya condición física presenta una curvatura superficial (*bow*) en relación a un plano de referencia paralelo o una deformación transversal (*twist*) con respecto al mismo plano de referencia. En general el *warpage* es la existencia de una o ambas condiciones de irregularidad. Las especificaciones típicas en la industria de los circuitos impresos (*PCB's*) es entre 0.750mm-0.500mm por cada 100mm de superficie.

Curvatura superficial (*bow*): Cuando el circuito impreso se coloca sobre una superficie plana de referencia tal que las cuatro esquinas del tablero descansan sobre la superficie, la distancia vertical máxima entre la superficie y la parte inferior del tablero determinan el nivel de curvatura superficial. La especificación típica en la industria de fabricación de *PCB's* es de 0.750mm-0.500mm por cada 100mm de superficie longitudinal del tablero.

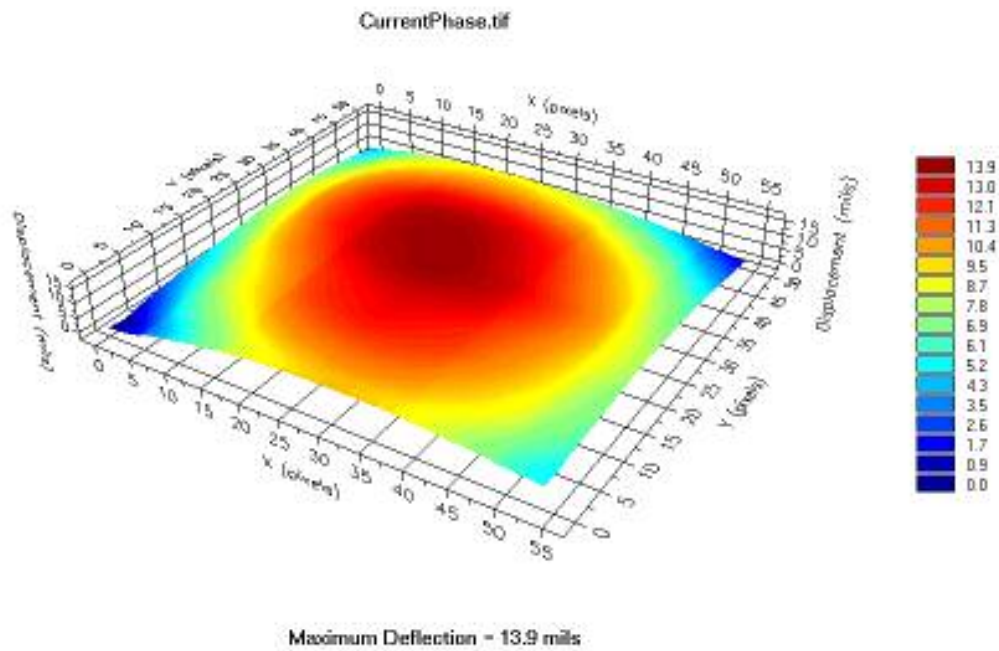


Figura 1-2: *Warpage* cóncavo, con nivel de deformación más alto al centro (Cortesía de Skyworks)

Deformación transversal (*Twist*): Cuando el circuito impreso se coloca sobre una superficie plana de referencia tal que tres esquinas del tablero descansan sobre la superficie, la distancia vertical máxima entre la superficie y la esquina que no está en contacto con la superficie determinan el nivel de deformación transversal del tablero. La especificación típica en la industria de fabricación de *PCB's* es de 0.750mm-0.500mm por cada 100mm de superficie diagonal del tablero.

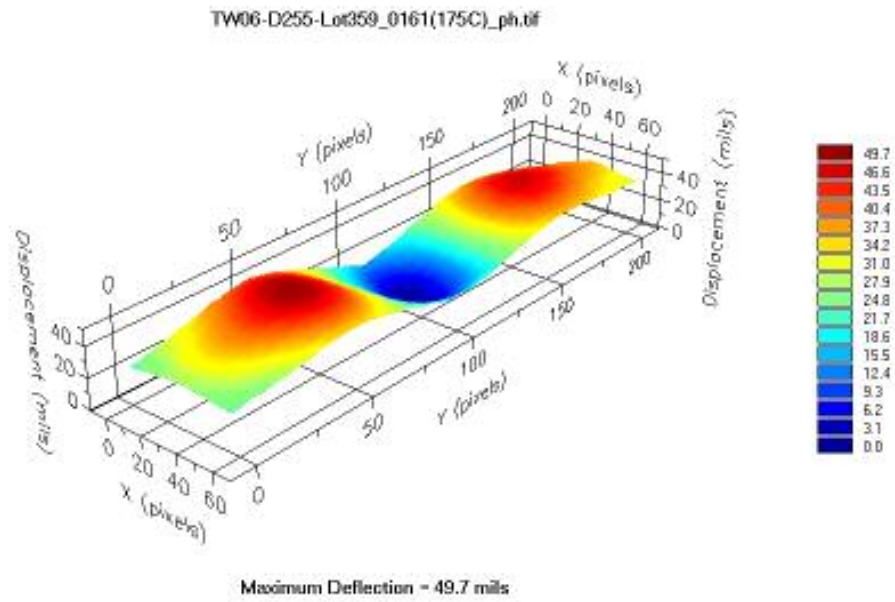


Figura 1-3: Muestra con *Bow* y *Twist* al mismo tiempo (Cortesía de *Skyworks*)

1.4 Objetivos de la Investigación

El presente estudio tiene como objetivo general:

► Entender y caracterizar la deformación superficial (*warpage*) observada en circuitos integrados *MCM* como efecto de la utilización de resinas con formulaciones diferentes durante el proceso de moldeo por transferencia.

Los objetivos específicos son:

- Cuantificar la diferencia en la respuesta de la deformación en un paquete *MCM* 10x14 utilizando 3 resinas, una de control y dos experimentales.
- Identificar y ponderar el nivel de influencia que tienen el tiempo de curado en el molde de la resina y el espesor de la cavidad del molde en la deformación.

Capítulo 2 – Marco Teórico

2.1 Clasificación general y descripción de paquetes de plástico

Un paquete, independientemente del tipo de materiales utilizados, pretende proveer de una función básica al semiconductor: servirle como estructura de soporte física y ser el medio de unión eléctrica entre el mismo y el circuito al que se conectará, así como proteger al semiconductor de la acción adversa del medio ambiente.

La evolución de los diferentes tipos de empaquetado se ha desarrollado a la par del desarrollo de las técnicas de fabricación de semiconductores y aunque es difícil establecer la fecha exacta en que nace esta disciplina, convencionalmente es bien aceptado establecer los años 50's como el inicio formal del empaquetado de circuitos integrados, en paralelo con la producción y comercialización de los primeros transistores de Silicio.

Otra definición un poco más completa de un paquete, o las funciones que determinan a un paquete (*Ulrich & Brown, 2006*) son:

- a) Proveer una estructura física de soporte al circuito integrado.
- b) Proteger al circuito integrado de la acción del medio ambiente

- c) Proveer de los medios adecuados para remover el calor generado producto del funcionamiento del circuito mismo
- d) Proveer de medios de conexión eléctrica para señales de alimentación y funcionamiento del circuito.
- e) Proveer una estructura de interconexión entre los circuitos integrados

Existen una gran variedad de paquetes de circuitos integrados y múltiples variantes que se han desarrollado a partir de ellos debido a necesidades específicas de los mismos circuitos y/o aplicaciones.

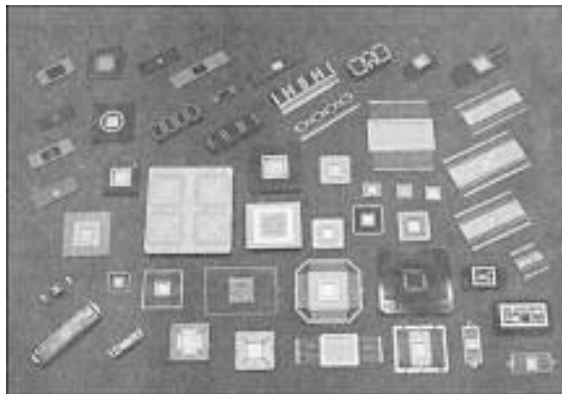


Figura 2-1: Foto de un grupo representativo de paquetes (Cortesía de Kyocera)

Una primera manera de clasificar, los tipos de paquetes desde un punto de vista general, se presenta a continuación:

I - El nivel de integración del paquete:

Esta forma de diferenciar el tipo de empaquetado se puede definir a través de los 5 niveles de jerarquía de empaquetado reconocidos convencionalmente.

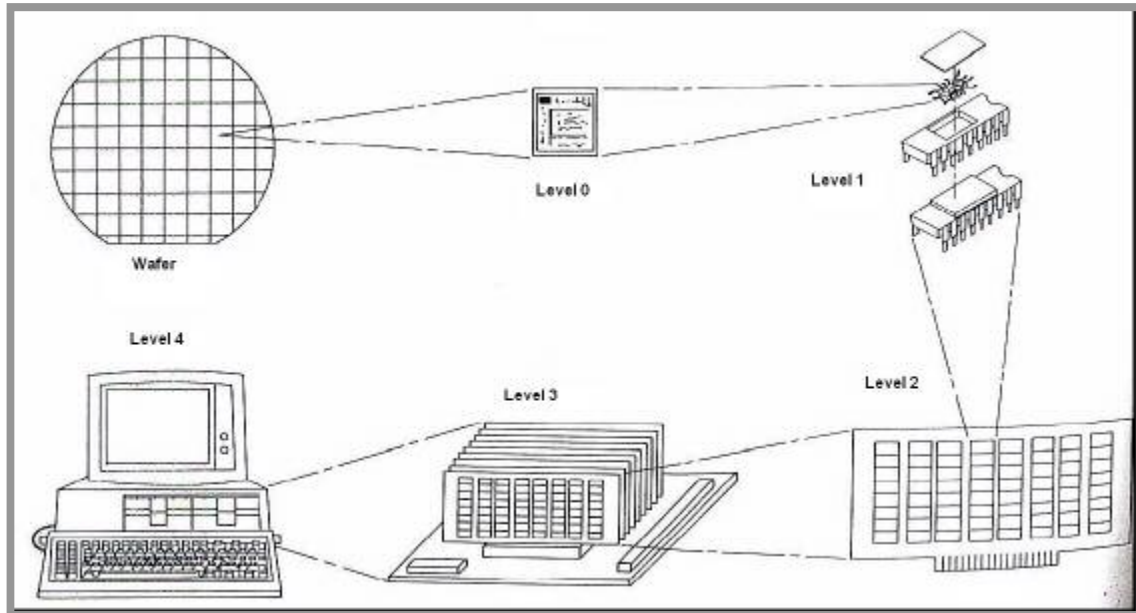


Figura 2-2: Jerarquía de integración en los paquetes de circuitos integrados (Johnson, 1989)

Nivel 0: Este sucede, cuando se consideran las conexiones de transistor a transistor en un circuito integrado a nivel de oblea (*wafer*).

Nivel 1: Este sucede, cuando se toma un solo circuito o semiconductor del wafer y se pega a un substrato y/u otro tipo de contenedor para completar el paquete.

Nivel 2: Cuando dos o más paquetes de nivel 1 se insertan en una tarjeta o tablero y se interconectan entre ellos para producir una función determinada, se dice que tenemos este tipo de nivel de empaquetado.

Nivel 3: Cuando dos o más tableros se insertan en un tablero madre y se interconectan entre ellos para producir una función determinada, se dice que logramos el nivel 3.

Nivel 4: Una vez completado el sistema final, ya no existe un nivel siguiente de integración, se dice que hemos llegado al nivel 4.

II – Los requerimientos de empaquetado y tipo de mercado que satisfacen:

Esta manera de clasificar los tipos de empaquetado (*Bergman, 1998*) con que se ensamblan los diferentes circuitos integrados, se basa en las necesidades históricas que han venido demandando diferentes segmentos de mercado, principalmente en la forma de dispositivos de procesamiento electrónico de datos.

Ejemplos son: estaciones de trabajo, servidores primarios de negocios, computadores personales, asistentes personales de contactos, juegos electrónicos y juguetes, aparatos reproductores de sonido, de video, teléfonos celulares, radio localizadores, sistemas de comunicaciones y satélites.

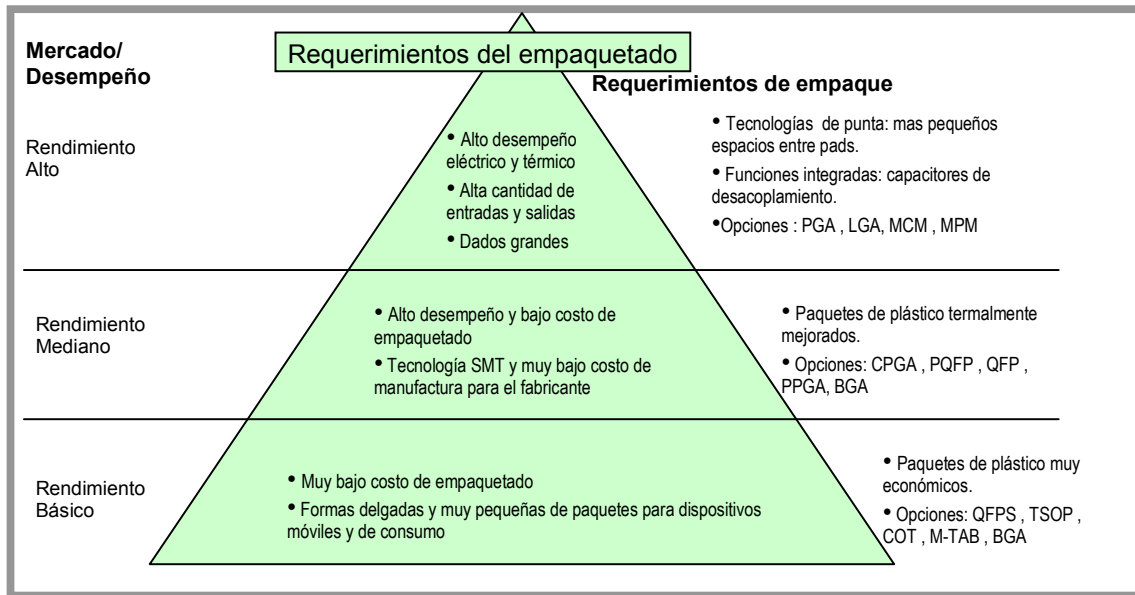


Figura 2-3: Requerimientos de empaquetado para diferentes tipos de sistemas (*Bergman, 1998*)

Cada segmento de mercado tiene sus propios requerimientos y necesidades específicas respecto al desempeño y condiciones ambientales de operación, pero todos ellos buscan mantenerse competitivos en relación a sus competidores en el mundo.

La cantidad de variantes del tipo de paquetes en que se han manufacturado los diferentes dispositivos semiconductores es tan variada como la industria misma y no deja de producir nuevas combinaciones.

A continuación se presenta un resumen de la buena reseña histórica presentada por *Ulrich & Brown, 2006*, de la industria de los paquetes micro-electrónicos.

Los primeros transistores fueron estructuras de aleaciones y ensambladas en paquetes de plástico, proveyendo muy poca resistencia y/o protección al

circuito. Una vez que la industria militar se interesó en estos dispositivos y requirió mejores niveles de protección, nació el paquete **TO** (*Transistor Outline*). Estos paquetes consistían en una base de metal recubierto de oro que incluía varias terminales externas y una tapa metálica soldada en un ambiente inerte, típicamente nitrógeno o argón, para prevenir contaminantes dentro del paquete, que pudieran afectar su operación y degradar el funcionamiento del transistor.

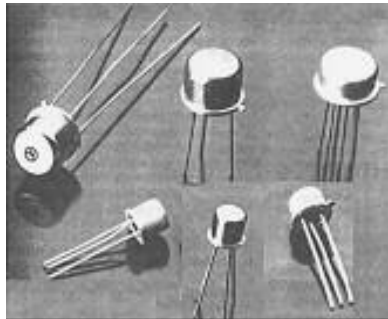


Figura 2-4: Foto del paquete tipo TO (Cortesía *Motorola*)

El desarrollo de nuevas tecnologías para la fabricación de circuitos integrados impusieron una demanda de empaquetado de mayor número de entradas y salidas para el paquete **TO**, al grado que hacia los años 1960's el **TO** no satisfacía las nuevas demandas y aparecen varios otros tipos de empaquetado intentando convertirse en el nuevo estándar.

Luego de consideraciones de costo y la facilidad para montarse sobre los tableros impresos, únicamente los paquetes tipo **Flatpack** y **DIP** (*Dual Inline Package*) sobrevivieron.

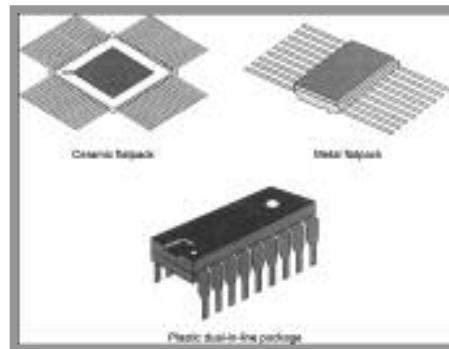


Figura 2-5: Foto del paquete tipo Flatpack y Dual Inline Package - DIP

Nótese que en el paquete **Flatpack**, las terminales son paralelas al cuerpo del paquete mientras que las terminales del **DIP** son perpendiculares al mismo y solo salen de dos lados del paquete. No es difícil imaginar porqué el **DIP** se convirtió en el estándar de los años 1960's en conjunto con los tableros con tecnología **PTH** (*Plated Through Hole*), al ser más adecuados para utilizar los equipos de inserción automática y máquinas de soldado de ola. Todavía en nuestros tiempos, existen algunos dispositivos que siguen utilizando estas formas de empaquetado.

Una variante del **DIP** se desarrolló en un intento de producir un paquete de bajo costo, el **CerDIP**, un paquete **DIP** formado a partir de dos partes de cerámica y que formaban una especie de sándwich con el circuito pegado a un marco de metal o *leadframe* y se pegaba con un material vítreo de bajo punto de fundición. Desafortunadamente durante el proceso de fabricación del **CerDIP** el material de unión vítreo generaba vapores que producían problemas de confiabilidad en el paquete. El uso de un ambiente inerte y una nueva generación de material de unión vítreo mejoraban la situación de confiabilidad hasta un punto tolerable.

De manera similar, otro empuje por reducción de costos en el empaquetado promovió la implementación de una línea de manufactura automatizada para **DIP**, por medio de un proceso de transferencia de plástico o encapsulado alrededor del circuito integrado previamente montado e interconectado al *leadframe*. Desafortunadamente, el plástico no es un empaquetado hermético y permite la penetración de vapor de agua, además de no adherirse muy bien al metal. En el mismo orden de ideas, otros contaminantes inicialmente presentes en las primeras generaciones de materiales plásticos y/o generados como productos secundarios del proceso mismo de polimerización previnieron por algunos años el auge de este tipo de empaquetado hasta que se mejoraron los materiales mismos.

En los años 1970's y 1980's también marcaron el advenimiento de nuevas formas de empaquetado como los **SMP's** (*Surface Mount Packages*), en respuesta a las necesidades de tableros más densos. Cuando se monta un paquete **SMP** en un tablero, las terminales no atraviesan el tablero, como lo hacen los paquetes tipo **DIP**. Estos nuevos paquetes **SMP** pueden montarse en un lado del tablero o en ambos lados. Esto se hace utilizando el proceso de soldadura de reflujo, lo que dio un poco más de vida a los **Flatpacks**, que de hecho fueron los primeros paquetes tipo **SMP**.

También aparecieron los paquetes tipo SOPs (Small Outline Packages), que asemejaban versiones en miniatura de los DIP pero adaptados para utilizar la tecnología SMT – Surface Mount Technology.

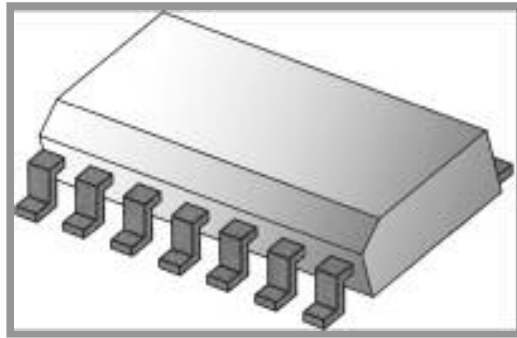


Figura 2-6: Foto del paquete tipo **SOP** (*Small Outline Package*)

Los dos tipos de paquetes **SOP** son el **SOT** (*Small Outline Transistor*) y el **SOIC** (*Small Outline IC*).

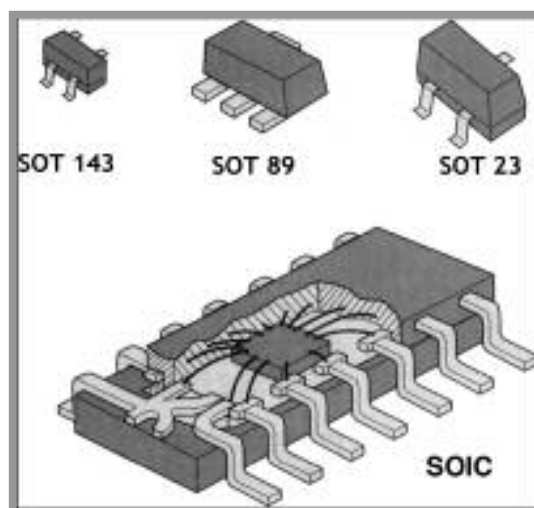


Figura 2-7: Foto de los paquetes tipo **SOT** y **SOIC**

En el mismo periodo se desarrollaron el **Chip Carrier** y **Quad Flatpack**. El **Chip Carrier** esta disponible en las versiones con y sin terminales, así mismo en base a un empaquetado cerámico y/o de plástico. Este tipo de paquetes son casi del tamaño del circuito integrado y contienen terminales en los cuatro lados del paquete.

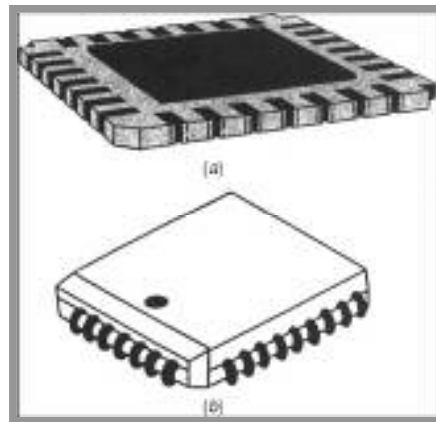


Figura 2-8: Foto de los paquetes **Chip Carrier** a) *Leadless* b) *Leaded*

El **Quadpack**, uno de los primeros paquetes del tipo SMT se fabrica en variedad de tamaños y configuración de terminales. Típicamente se usan cuando los circuitos requieren de hasta ~300 entradas y salidas.

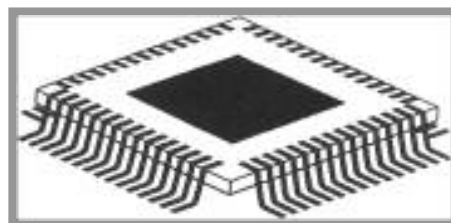


Figura 2-9: Foto de los paquetes **Quadpack**

El fin último de un sistema electrónico de alto rendimiento es generalmente el empaquetar circuitos integrados tan cerca como sea posible para minimizar la ruta de comunicación en el sistema. En respuesta a esta necesidad, en los años 1990's se observó el desarrollo de dos nuevas formas de empaquetado: **PGA** (*Pin Grid Array*) y **BGA** (*Ball Grid Array*) como reemplazo de los **Quadpacks**, principalmente por su habilidad para soportar

niveles mayores de densidad de entradas/salidas, menor tamaño y rutas más cortas para un mejor desempeño eléctrico. Sin embargo, el costo asociado con el **PGA** o **BGA** es mayor en relación al **QFP** debido a los altos costos de los sustratos utilizados.

El paquete **BGA**, evolucionó de la tecnología **Flip Chip** o **C4** desarrollada por IBM. De esta manera, el paquete puede ser identificado por un arreglo de esferas de soldadura en la parte inferior del paquete.

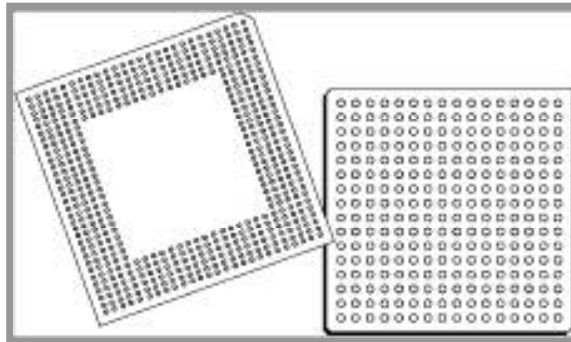


Figura 2-10: Foto de los paquetes **BGA**, vista posterior

Como en el caso de otros paquetes, los paquetes tipo **BGA** han sido derivados y ampliamente clasificados según el tipo y forma del sustrato utilizado. Por ejemplo: **CBGA** (*Ceramic BGA*), **CCBGA** (*Ceramic Column BGA*), **PBGA** (*Plastic BGA*), **MBGA** (*Metal BGA*) y **TBGA** (*Tape BGA*). En la figura 2.11, se ilustran conceptualmente este tipo de derivados del **BGA** y pueden contener uno o varios circuitos integrados.

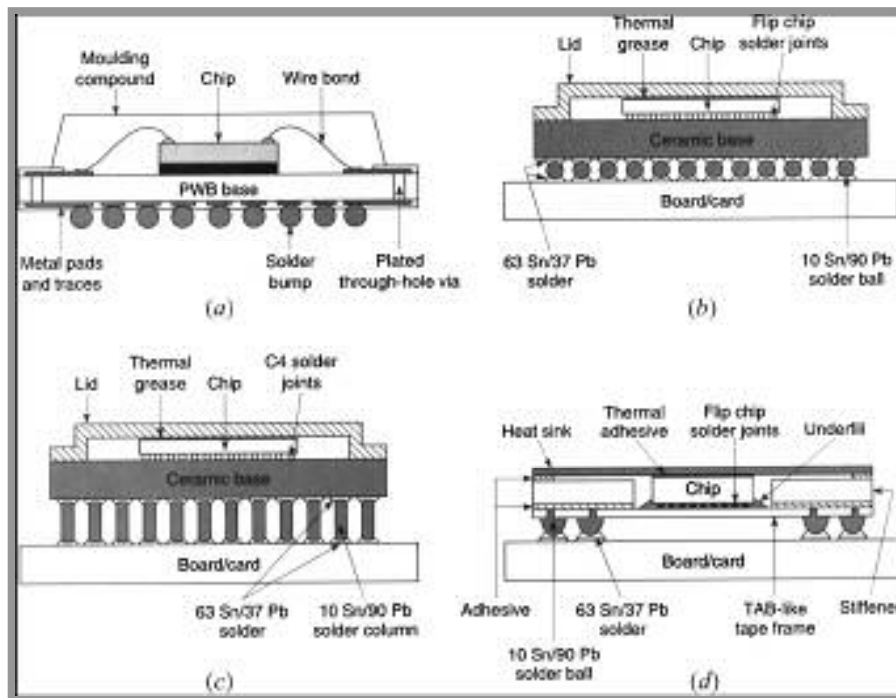


Figura 2-11: Foto de los paquetes **BGA** a) *Plastic BGA* b) *Ceramic BGA*
c) *Ceramic Column BGA* d) *Tape BGA*

El paquete **BGA** como ya se mencionó carece de terminales y en su defecto posee un arreglo de esferas de soldadura para su montaje sobre los tableros, típicamente SnAgPb y/o SnSb por lo cual es fácil manejar el paquete final. Sin embargo, algunas desventajas están relacionadas principalmente con las esferas de soldadura, *warping* durante el reflujo de la soldadura, variación del tamaño de las esferas, dificultad para inspeccionar los puntos de unión de las esferas de soldadura, decremento de la resistencia a los ciclos térmicos y problemas asociados con re-trabajos. Todos estos puntos pueden ser prevenidos mediante buenos diseños, desarrollo y control de procesos para discriminar los efectos de eficiencia de ensamble final y nivel de re-trabajos. Aún y con todos estos detalles, el paquete **BGA** es uno de los más utilizados en nuestros días para una amplia gama de aplicaciones

en el mercado que van desde paquetes de bajo costo para dispositivos de consumo y/o paquetes de alto rendimiento y costo como microprocesadores. Sin duda, el **BGA** con todas sus variantes ha sido el paquete de mayor penetración en los últimos 10-15 años.

Es una aseveración correcta el decir que ha habido y seguirá habiendo un interés muy grande por lograr incluir mayor funcionalidad y velocidad de funcionamiento en un paquete más pequeño. Para lograr este objetivo podemos pensar en eliminar el paquete mismo o reducir el tamaño del mismo a un grado tal que sólo ocupe un poco más del área total del circuito integrado en cuestión. Al momento de intentar eliminar el paquete, tenemos en definitiva que hablar de una manera alterna de conectar al circuito con el tablero, es decir, hablar de la tecnología **Flip Chip**.

Flip Chip o DCA (Direct Chip Attach):

Esta tecnología no es nueva y se origina hace ya más de 40 años por IBM con su famoso proceso **C4**. Se caracteriza por tomar un circuito y girarlo cara abajo para pegarlo al tablero. Es un paquete que se ha venido popularizando y desde hace al menos 10 años pretende penetrar el mercado de los circuitos semiconductores como un reemplazo de la tradicional tecnología de interconexión de los circuitos integrados al tablero o alambrado (*wire bond*).

Algunas de sus ventajas incluyen un fácil acceso al circuito dado, altos niveles de eficiencia de ensamble utilizando esferas de soldadura para el pegado, eliminación de una capa de interconexión, menor inductancia y potencialmente más bajo costo. El fácil acceso al dado se refiere a la

capacidad de utilizar casi la totalidad de la superficie del circuito para interconexión eléctrica, contrario a sólo la periferia usando la tecnología de alambrado (*wire bond*). El incremento en la eficiencia de ensamble se debe a la capacidad para auto-centrado de las esferas de soldadura durante el reflujo. La capa de interconexión que se elimina es el alambrado, disminuyendo un nivel de empaquetado y mejorando con ello la respuesta de confiabilidad del paquete. De la misma manera, la remoción del alambrado produce el decremento de inductancia, el cual es un parámetro clave para las aplicaciones del tipo de **RF** (Radio Frecuencia). Y finalmente, la posibilidad del bajo costo se puede lograr con el entendimiento, control y mejoramiento del proceso de manufactura. La eliminación del paquete y el uso de la tecnología **Flip Chip** todavía presenta algunos problemas relacionados con la preocupación por la funcionalidad y confiabilidad del dispositivo, en otras palabras, las técnicas y métodos para la prueba eléctrica y estrés aplicable a circuitos dados aún no alcanza el mismo nivel de desarrollo y calidad obtenida en ese mismo circuito dado, pero dentro de un paquete.

Hacia el final de la década de los años 1990's, el concepto del paquete **BGA** se aplicó a una nueva tecnología de empaquetado denominada **CSP** (*Chip Scale Packaging*), la cual redujo la distancia entre esferas al nivel de 1.0mm o menores, para un incremento en la densidad efectiva de entradas/salidas en el paquete, incluyendo más funcionalidad dentro de un área más pequeña.

El paquete **CSP** ha contribuido de manera significativa a la reducción de tamaño y peso, así como en la mejora del funcionamiento de productos como los teléfonos celulares. El paquete **CSP** fundamentalmente prepara a los circuitos dados para soportar las inconveniencias asociadas con el

manejo durante los procesos de prueba eléctrica y ensamble. Como una manera de definir a los **CSP's** se establece que generalmente son iguales o más pequeños que el tamaño del circuito dado x 1.2 veces. Los paquetes **μ BGA**, **MiniBGA** y **μ SMT** caen dentro de esta definición dado que son así de pequeños y utilizan **DCA** en vez de alambrado (*wire bond*).

De hecho, se han propuesto más de 60 variantes del paquete **CSP** a través de los años. Las principales diferencias son las capas de material, que sirven de soporte, los transformadores de espacio y la protección mecánica entre el Silicio y las esferas de soldadura. Los paquetes tipo **CSP** son diseñados para usar **Flip Chip** con equipos convencionales y soldadura de reflujo. Esencialmente, los paquetes **CSP** toman la ventaja de esta tecnología para crear un paquete tipo **SMT** y con ello ofrecen un método para poder manejar los circuitos integrados en las pruebas de funcionalidad y confiabilidad de paquete, utilizando una técnica de empaquetado y manteniendo al mismo tiempo el tamaño y la funcionalidad de un circuito dado recién trazado de la oblea.

Los años 1980's marcan un punto importante en la manera como los ingenieros electrónicos concebían el empaquetado de los circuitos integrados. Como se describió anteriormente, por muchos años la industria se había concentrado en incrementar el desempeño de los circuitos integrados (es decir, una mayor cantidad de circuitos por unidad de área de silicio, operando a mayores velocidades) sin casi considerar el hecho de que los circuitos integrados en un sistema o dispositivo electrónico deben de comunicarse entre ellos, a través del paquete que los contiene. Como resultado de la marcada tendencia hacia mayores densidades de circuito y

velocidades de operación más altas, los siguientes efectos se convirtieron en consideraciones importantes para los ingenieros de empaquetado:

- Los requerimientos para entradas/salidas se incrementaron exponencialmente
- El tiempo de transición entre circuitos integrados se convirtió en el factor limitante para la velocidad total del sistema.
- La integridad de la señal entre los circuitos integrados se degrada.
- Los requerimientos de energía para cada circuito integrado se incrementaron.
- Se generó un problema de disipación de calor

Todos estos factores, motivaron a que se re-considerara nuevamente la manera como se realizaba el empaquetado de los circuitos integrados. Una de las formas de empaquetado, que surgieron durante este periodo es la de empaquetado múltiple de circuitos o **MCP** (*Multi Chip Packaging*); por ejemplo el paquete **MCM** (*Multi Chip Module*).

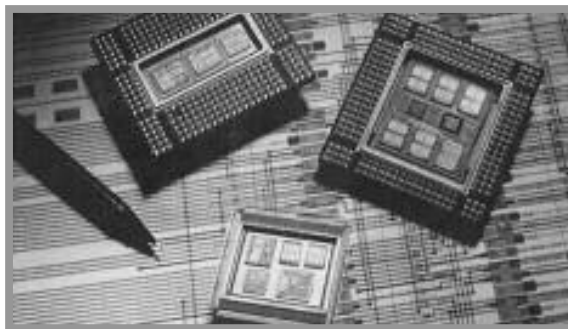


Figura 2-12: Foto de paquetes **MCM** (Cortesía de *nCHIP*)

Aún cuando el concepto fundamental del **MCM**, no era nada nuevo (los circuitos híbridos se utilizaban desde hace cerca de 40 años), a finales de los años 1980's y a través de los 1990's el interés se había renovado en ensamblar varios circuitos integrados en un solo paquete para tomar ventaja de las distancias más cortas inherentes entre cada uno. Debido a ello, el desarrollo de la tecnología del **MCM** se convirtió en una nueva forma en que la industria intentó conseguir cada vez más y mejores rendimientos de los dispositivos electrónicos. La definición más sencilla de un **MCM**, es la de un paquete electrónico que contiene más de un circuito integrado. Los circuitos integrados, se interconectan a través de una estructura base o sustrato. Basados en la definición anterior, el **MCM** combina circuitos integrados de alto rendimiento con un sustrato especialmente diseñado para ellos, que proporciona una base de soporte mecánico para los circuitos integrados y las múltiples capas de líneas conductoras que los interconectan.

Este arreglo es particularmente más benéfico para el funcionamiento de los circuitos integrados que el empaquetado individual, debido a las longitudes más cortas de las interconexiones. La verdadera nueva contribución de los **MCM** al empaquetado, es la compleja estructura base o sustrato, que es fabricado utilizando multi-capas de cerámica, polímeros, silicio, metales, compuestos de vidrio y cerámica, compuestos laminados y otros parecidos. Los **MCM's** no son nuevos como citamos anteriormente, ellos han existido desde que se fabricó el primer paquete híbrido. Los tableros (una forma de sustrato) convencionales utilizan **COB** (*Chip On Board*), una técnica donde los circuitos integrados son montados y alambrados directamente al tablero, este tipo de paquete también ha existido por algunos años. Sin embargo, si la eficiencia del empaquetado (conocida como densidad de silicio), definida

como el porcentaje de área de un sustrato que es ocupada por silicio, es utilizada como referencia para definir a un **MCM**, las varias formas de circuitos híbridos y **COB** con 30% o menos de densidad de silicio no calificarían como **MCM's**. El principio fundamental de la tecnología **MCM** es de proveer una matriz altamente densa de líneas conductoras para la interconexión de circuitos integrados. De esta manera, algunas compañías decidieron nombrar a sus productos **MCM** como módulos de alta densidad de interconexión o **HDI** y otras decidieron solo llamarlos módulos de empaquetado múltiple o **MCP**, por sus siglas en Inglés.

La tecnología **MCM**, es una de las opciones viables en nuestros días, y ha jugado un papel importante en el desarrollo del empaquetado múltiple en los años 1990's, lo cual incluye estructuras de 3 dimensiones de empaquetado de circuitos integrados en la forma de apilamiento (*stacking*). Uno de los primeros dispositivos utilizando este arreglo fueron los dispositivos de módulo de memoria RAM popularmente utilizados en computadoras.

A manera de regla general, el empaquetado múltiple de circuitos o **MCP** puede tomar varias y diferentes formas, sin embargo es básicamente el empaquetado de más de un circuito integrado en un sólo paquete, no importa los detalles de la interconexión o si están o no eléctricamente interconectados. De hecho, otra forma de definirlo es el empaquetado de varios circuitos. Esto, generalmente se refiere a montar entre 2 y 5 circuitos integrados en un sustrato y empaquetarlos en un paquete tipo **BGA** que se observa, al menos por el exterior, muy parecido a un paquete de un solo dado.

El deseo de la industria de dispositivos semiconductores de reducir el tamaño del producto, el peso y el costo (ejemplo: aplicaciones de telefonía celular, asistentes personales digitales y otros dispositivos de mano) mientras se mantienen o elevan los requerimientos de rendimiento (menores distancias de interconexión, más baja inductancia y capacitancia, reducción de interferencia de bandas y niveles más bajos de fuentes de alimentación) e incrementando la funcionalidad, ha empujado las tecnologías de empaquetamiento en tercera dimensión de ambos circuitos y paquetes. La tecnología de apilamiento ofrece varias ventajas para el empaquetamiento de circuitos de tamaños y geometrías diferentes así como el uso de tecnologías mixtas.

Las figuras 2-13 y 2-14 ilustran un par de formas de apilamiento de circuitos integrados y su respectiva interconexión. El apilamiento de paquetes es un método muy práctico, sólo se necesita desarrollar los procesos para interconectar mecánica y eléctricamente los paquetes. Ésto se puede conseguir tan sencillo como soldando las terminales de los paquetes (Ver 2-13) o a través del uso de un material espaciador como un tablero flexible (Ver 2-14). El apilamiento de paquetes tiene las ventajas de utilizar tecnologías existentes, puede tener la forma de un **CSP**, y permite de manera razonable integrar diferentes procesos y materiales. La principal desventaja de esta técnica es el espesor final del paquete final.

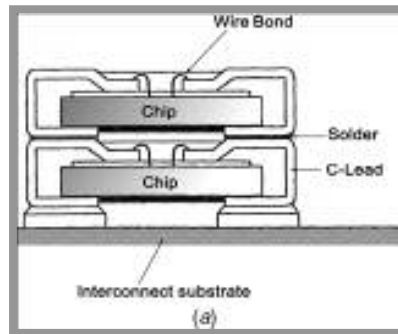


Figura 2-13: Apilamiento de paquetes por soldadura de terminales

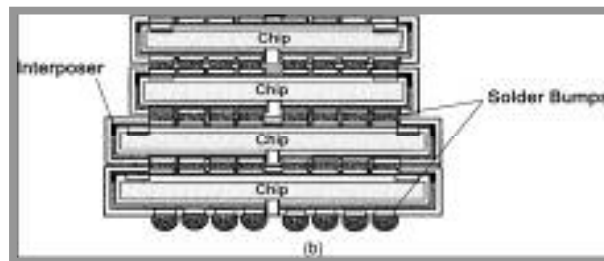


Figura 2-14: Apilamiento de paquetes usando espaciador o *interposer*.

Uno de los enfoques más recientes sobre el empaquetado de los circuitos integrados se refiere al empaquetado a nivel de oblea (*wafer*) o **WLP** (*Wafer Level Packaging*) o **WSP** (*Wafer Scale Packaging*) que comenzó al finales de los años 1920's. En el método **WLP**, el circuito integrado o dado y el paquete son ensamblados y probados eléctricamente a nivel de oblea, antes de que el paquete sea separado a través del trazado como en el caso de los dispositivos **Flip Chip**. De manera consiguiente, estos paquetes efectivamente son del tamaño del paquete (*Chip Size*) y no ha escala del paquete (*Chip Scale*), lo cual ha producido los términos: **WS-CSP** (*Wafer Scale/Chip Scale Package*) y/o **WL-CSP** (*Wafer Level/Chip Scale Package*). La motivación para el **WLP** es que los circuitos dados diseñados de manera periférica pueden ser transformados, utilizando una tecnología de

laminación-delgada (*Thin Film*) en un arreglo estándar de esferas de soldadura y/o patrón de esferas compatibles con reglas de diseño de tableros, prácticas de prueba eléctrica y procesos de ensamble. Originalmente la redistribución a nivel de obleas (*wafers*) fué pensada para conseguir la redistribución de los puntos de entrada/salida (*pads*) de la periferia de un circuito integrado a un arreglo de área para utilizarse con la tecnología **Flip Chip**. Además del tamaño del paquete, otras ventajas del **WLP** son su bajo costo por entrada/salida, ya que todas las interconexiones son creadas a nivel del wafer al mismo tiempo, menor costo de prueba eléctrica, eliminación de sub-procesos como relleno de material abajo del dado (*underfill*) y mejoramiento del desempeño eléctrico.

El siguiente paso en empaquetado se ha estado desarrollando y se refiere como **WLS** (*Wafer Level Stacking*), que no es otra cosa que conseguir dados en arreglos de apilamiento que son empaquetados a nivel de oblea. Obleas que contienen circuitos dados son interconectados utilizando otra oblea finamente rebajada y conteniendo vías a través de la misma o **TWV** (*Through Wafer Vias*). La figura 2-15 muestra una manera de lograr esta forma de empaquetado. Una oblea activa puede ser unida a un espaciador mecánico u otra oblea activa utilizando el método de unión más conveniente. La oblea superior, es después rebajada para exponer los orificios de contacto a través de la misma. El proceso es repetido tantas veces como obleas se quieran incluir. Una vez completado el empaque, los paquetes individuales se obtienen a partir del proceso estándar de cortado.

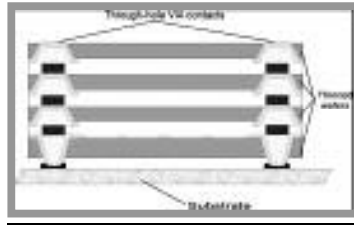


Figura 2-15: Concepto de *Stacking* de *wafers* para paquetes *WLS*

No cabe la menor duda que el impacto de las técnicas de empaquetado en el futuro de los dispositivos electrónicos seguirá aumentando con el transcurso del tiempo. De hecho, la tendencia continúa hacia un enfoque cada vez más estrecho entre el empaquetado del circuito y el diseño del sistema. Como consecuencia, las fronteras entre el diseño de los circuitos integrados y su empaquetamiento se desvanecerán y el empaquetado será, por necesidad, parte integral del diseño del sistema y/o dispositivo final.

2.2 Definición de paquete *MCM*

El término *MCM* (*Multi-Chip Module*) se refiere al empaquetamiento de varios circuitos dados de Silicio en un solo paquete. Los *MCM's* ofrecen la habilidad de reducir el número de terminales de un paquete al combinar dos o más circuitos integrados que normalmente se conectarían entre ellos a nivel de tablero (segundo nivel de empaquetado) en un paquete, donde la interconexión se hace a nivel de dados. El paquete resultante únicamente necesita de un grupo de entradas/salidas para conectarse a la energía de alimentación y para conectar las señales de comunicación con el mundo exterior.

La compañía IBM Microelectronics, describe las siguientes ventajas relacionadas con los *MCM's* en uno de sus sitios en la red:

- Mejoramiento en rendimiento, en función de las interconexiones más cortas, menor inductancia, menor capacitancia de carga, menos interferencia y energía de alimentación.
- Reducción del tamaño final del paquete comparado al espacio utilizado por elementos empaquetados por separado incluyendo, un menor número de entradas/salidas.
- Una mejor respuesta de ciclo de diseño a la manufactura, convirtiendo a los *MCM's* en una alternativa atractiva a los *ASIC's*, paquetes de aplicación específica, especialmente para productos con ciclos de vida muy cortos.

- Se pueden reemplazar de circuitos de bajo costo de silicio, permitiendo la integración de circuitos de tecnologías mixtas como SiGe o GaAs.
- La configuración híbrida incluye elementos del tipo **SMT** como **CSP** o **μ BGA** y componentes pasivos como capacitores y resistencias.
- Simplificación de la complejidad del tablero al combinar varios circuitos en un solo paquete y reducir así, la posibilidad de error a nivel de tablero.
- La capacidad de acomodar varios tipo de paquetes de segundo nivel de interconexión como **BGA's** y/o paquetes a base de *leadframes*.

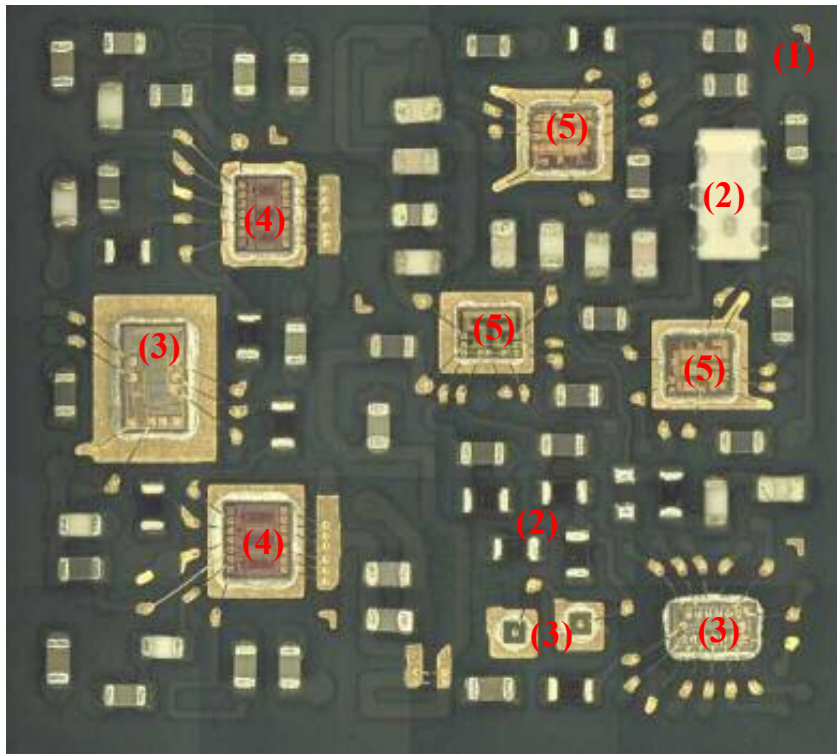
La compañía *Skyworks Solutions* actualmente manufactura una gran variedad de paquetes de plástico en el formato de los **MCM's**. Los rangos de tamaño y forma van desde los pequeños 3x3mm hasta los 10x14mm. El enfoque de empaquetado es básicamente la integración de dos o más circuitos integrados en un sustrato o tablero con una alta densidad de interconexión, todo ello ha permitido *Skyworks* conseguir nuevas oportunidades de mercado y mantener las ya existentes, al proveer dispositivos electrónicos con niveles más altos de funcionalidad integrada en un solo paquete, permitiendo al fabricante de los dispositivos finales reducir el tamaño de sus aplicaciones y reducir el número de componentes requeridos.

La definición del paquete **MCM** – *Multi Chip Module* de *Skyworks* es la siguiente:

“Son paquetes que contienen tableros laminados de, 2, 4 o más capas de interconexión, varios componentes pasivos como resistencias, capacitores, etc.; uno o más circuitos integrados de Silicio, Silicio-Germanio y/o Galio-Arsénico conectados al tablero mediante la tecnología de alambrado (*wire bond*) y materiales plásticos para conseguir el encapsulado del paquete final. Los paquetes son cuadrados o rectangulares y tienen terminales de contacto tipo **SMT** en la periferia, en la parte posterior del paquete”



Figura 2-16: Paquetes tipo **MCM** (Cortesía *Skyworks*)



- (1) Tablero HDI
- (2) Componentes SMT
- (3) Si IC's
- (4) GaAs IC's
- (5) InGaP IC's

Figura 2-17: Elementos de un paquete tipo *MCM* antes del encapsulado (Cortesía *Skyworks*)

A continuación se enlistan y describen de manera general los principales constituyentes de los paquetes *MCM*, definidos por *Skyworks*.

Tablero Impreso

Como ya mencionamos anteriormente, éste es el valor agregado principal de esta tecnología de empaquetado. Es el elemento que contiene la gran mayoría de las interconexiones requeridas por el dispositivo final y está específicamente diseñado para satisfacer las necesidades del dispositivo en cuestión.

El tamaño está definido para *Skyworks* en 60 x 186mm y el arreglo está dado en 4 grupos o arreglos matriciales de módulos individuales, que contienen cada uno la distribución de conexiones a través de las diferentes capas del tablero necesarias para un dispositivo.

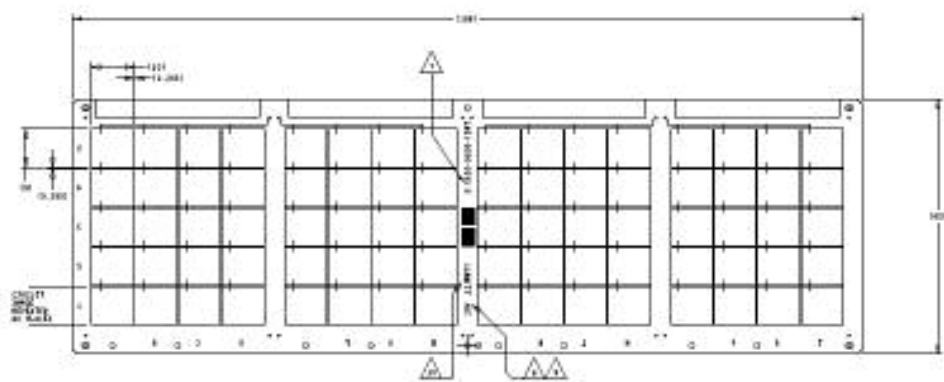


Figura 2-18: Descripción mecánica de un tablero **HDI** para paquetes **MCM** (Cortesía *Skyworks*)

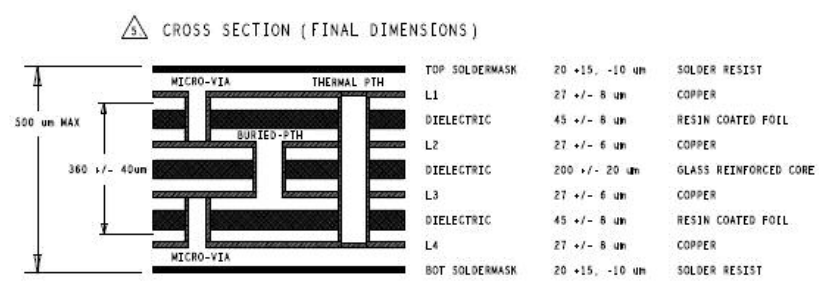
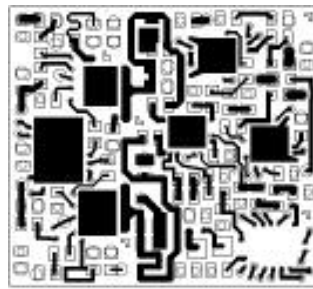
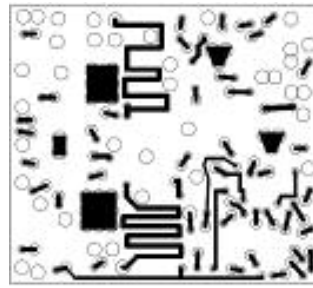


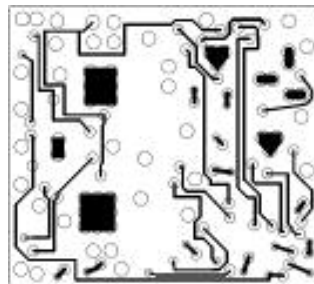
Figura 2-19: Corte transversal de un tablero **HDI** de 4 capas **MCM** (Cortesía *Skyworks*)



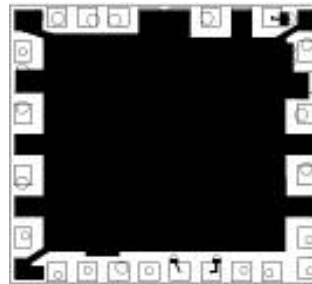
a) Interconexiones capa 1



b) Interconexiones capa 2



c) Interconexiones capa 3



d) Interconexiones capa 4

Figura 2-20: Niveles de interconexión por capa de un tablero **HDI** (Cortesía *Skyworks*)

Componentes SMT

Son componentes fabricados de materiales cerámicos y normalmente son elementos pasivos como resistores, inductores, ferritas y capacitores. En ocasiones, y dependiendo de la complejidad del circuito impreso y/o sub-ensamble, pueden ser componentes miniatura del tipo SMT activos como transistores y/o amplificadores en paquetes LGA o μ BGA.



Figura 2-21: Componentes tipo SMT (Cortesía Murata)

Circuitos Integrados de Si, SiGe y/o GaAs

Son los elementos activos, que le dan toda la capacidad de procesamiento y demás funciones características de los dispositivos semiconductores. Las funciones son tan diversas y variadas como las aplicaciones mismas. En Skyworks se utilizan circuitos integrados como: amplificadores de potencia de GaAs, dispositivos de canalización (*Switch*) de diferentes frecuencias de InGaP, dispositivos de acoplamiento de frecuencias de InGaP y dispositivos de control de Silicio, entre otros. Todos estos dispositivos son fabricados en forma de obleas y proveídos por las casas fabricantes para su posterior ensamble en paquetes semiconductores.



Figura 2-22: Circuitos integrados en forma de obleas: GaAs y Si (Cortesía Skyworks)

2.3 Descripción del proceso de ensamble del MCM

En la figura 2-21 mostrada a continuación se enlistan las principales operaciones de manufactura requeridas para producir un paquete semiconductor tipo MCM.

Paso No	Nombre	Elementos	Objetivo	Comentarios
1	Inspección de entrada	Materias Primas e Insumos : Obleas, Tableros, Resinas, Adhesivos , etc.	Asegurar el uso de materiales de buena calidad	
2	Procesamiento de obleas : rebajado	Plásticos protectores y Piedras pulidoras	Adelgazar las obleas/circuitos dados	El espesor final depende del tipo de paquete
3	Procesamiento de obleas : trazado	Plásticos, Aros y Sierras de material abrasivo	Separar todos y cada uno de los circuitos dados presentes en la oblea	Los tamaños típicos en <i>Skyworks</i> van desde 0.035 – 7.0mm
4	Procesamiento de tableros : Horneado	Hornos	Extraer la humedad del tablero	Depende del tipo de adhesivo que se use y los controles del fabricante de tableros
5	Pegado de dados	Adhesivos, Tableros, Circuitos Dados, Hornos	Fijar el circuito dado al tablero	El adhesivo depende de la aplicación y tablero
6	Limpieza con plasma 1	Energía de radio frecuencia y Gases : Argón, Oxígeno, etc.	Remover contaminantes orgánicos del circuito dado y tablero	Mejora la respuesta durante el alambrado
7	Alambrado de dados	Alambre de oro, capilares, temperatura, energía ultrasónica	Interconectar el circuito dado con el tablero	El espesor del alambre depende de la aplicación
8	Limpieza con plasma 2	Energía de radio frecuencia y Gases : Argón, Oxígeno, etc.	Remover contaminantes orgánicos del tablero	Mejora la respuesta durante moldeo
9	Moldeo	Resinas, Moldes	Encapsular el material ya ensamblado para darle protección	Las cavidades de los moldes varían según el paquete
10	Post-Curado	Sub-ensambles de moldeo	Terminar la reacción de las resinas y formar el compuesto plástico final	Típicamente entre 4-6 horas @ 175 C
11	Marcado	Sub-ensambles de moldeo	Identificar cada módulo con la nomenclatura adecuada	Típicamente se usa marcado láser
12	Procesamiento de módulos : Trazado	Sub-ensambles de marcado	Separar cada módulo del tablero madre	Las dimensiones varían según el diseño y aplicación
13	Inspección de Salida	Módulos completos	Segregación de defectos de ensamble	

Figura 2-23: Resumen del flujo de ensamble de un *MCM* (Cortesía *Skyworks*)

A continuación se presenta una descripción de cada uno de los pasos citados anteriormente durante el ensamble de un dispositivo **MCM**.

Paso 1: Inspección de Entrada

Se aplica a los principales materiales y suministros asociados con el proceso de manufactura. El objetivo fundamental es asegurar que la calidad y condición de éstos permita al proceso desempeñarse de manera controlada y sin problemas de calidad y/o productividad. Se utilizan las especificaciones definidas por los procesos críticos y se documentan para utilizarse después como requerimientos en los certificados de conformidad presentados por los proveedores. Cada compañía decide qué niveles de muestreo utiliza, en relación a la madurez de sus proveedores.

Paso 2: Rebajado de Obleas

Es una operación que se vuelve más común, conforme la tendencia y requerimientos para los dispositivos semiconductores crean la necesidad de rebajar el espesor original del circuito dado para hacer posible su empaque en paquetes delgados y/o ultra-delgados como **QFP**, **TQFP**, **VTQFP**, **BGA**, **CSP**, etc. Básicamente consiste en remover, por medios mecánicos y a veces químicos, material excedente por la parte posterior de la oblea, la que da el soporte mecánico al circuito integrado. Se utilizan plásticos especiales para proteger la parte activa de la oblea mientras el elemento de remoción, la piedra pulidora de material resinoso-abrasivo cumple con su función. Espesores típicos de obleas son entre 0.075-0.125mm para material GaAs y entre 0.275-0.100mm para material de silicio.

Paso 3: Trazado de Obleas

Es una de las operaciones básicas de manufactura. Consiste en realizar cortes longitudinales sobre la superficie activa de la oblea, de hecho sobre las calles de trazo impresas en todas las obleas que requieren de esta operación, hasta separar cada uno de los circuitos dados de la oblea para su posterior manejo individual. Se utilizan sierras de material resinoso con incrustaciones de diamante, montadas sobre un eje rotatorio que se desliza a través de la superficie de la oblea cual simple sierra cortando un trozo de madera. Para evitar el acumulamiento de polvo y trozos de silicio, la operación se realiza en un medio acuoso y con presión. Además, normalmente el medio acuoso es bombardeado con partículas de CO₂ para neutralizar cualesquier potencial formación de campos y corrientes galvánicas en la superficie de los *pads* de aluminio de los circuitos dados y también con saponificadores para asegurar una eficiente limpieza.

Paso 4: Horneado de Tableros

Consiste en someter los tableros **HDI** a una exposición térmica en un horno, típicamente alrededor de 125-150°C. El objetivo principal es asegurar que toda la humedad, potencialmente absorbida durante el transporte y/o almacenamiento prolongado de los mismos, es removida antes de utilizar algunos adhesivos con tendencias a producir burbujas o vacíos durante el curado de los adhesivos.

Paso 5: Pegado de dados

Es una de las operaciones principales en la manufactura de semiconductores, en ella convergen elementos de las 4 etapas anteriormente revisadas, y es donde el módulo realmente empieza a tomar la forma de **MCM**. Se utilizan tableros o sub-ensambles con componentes pasivos como base, después se aplican uno o varios adhesivos sobre los espacios explícitamente diseñados para cada circuito dado y finalmente se toman individualmente cada uno de los circuitos dados de la oblea trazada y se pegan a la posición que les corresponde en el tablero por diseño.

Paso 6 y 8: Limpieza con Plasma

Como su nombre lo indica, su naturaleza es de carácter preventivo. La idea básica es conseguir una superficie libre de posibles contaminantes para prepararla antes de realizar operaciones claves como alambrado (*wire bond*), donde los puntos de soldado del tablero son la superficie de interés y en el caso de moldeo (*molding*), la superficie de interés es el plástico (*solder mask*) que cubre las áreas activas del tablero. La limpieza es realizada mediante la activación de las moléculas de los átomos de argón con energía de radio frecuencia, lo cual produce el bombardeo sub-atómico de la superficies y con ello la remoción de partículas, mayormente inorgánicas, cuando la índole de los contaminantes es orgánica, pero de espesores muy pequeños, menores a 0.1×10^{-6} m, se puede utilizar una mezcla de argón y oxígeno para obtener una mejor limpieza.

Paso 7: Alambrado

Como en el caso anterior, la operación de alambrado acumula las eficiencias y deficiencias de los pasos anteriores, en particular aquí es donde se pretende realizar la conexión entre el circuito dado y los puntos de soldado en el tablero. Dependiendo de la complejidad del dispositivo (número de conexiones, número de dados, etc.) es la probabilidad de que suceda alguna falla en este punto. Las interconexiones se realizan utilizando alambre de oro de entre 0.20-0.25mm de diámetro y combinando temperatura y energía ultrasónica con fuerza aplicada a través de una punta especial llamada capilar. Se produce primero una bola fundida de oro y posteriormente se impacta contra el primer punto de soldado, el *pad* del circuito dado. Se realizan varios movimientos para darle cuerpo y longitud a la conexión y finalmente se impacta el capilar contra el segundo punto de soldado, cortando el alambre durante el impacto.

Paso 9: Moldeo

Operación donde se utiliza una resina para encapsular todas las partes activas del módulo previamente ensamblado en las operaciones anteriores. El objetivo principal es proteger las partes activa y pasiva que permiten el funcionamiento eléctrico del dispositivo. La resina es depositada en cavidades internas de unos moldes de metal, por los cuales se transfiere por medio de presión y temperatura la resina desde esa posición, hasta las cavidades que contienen el dispositivo semiconductor abierto, hasta ese momento. El espesor final del paquete está definido por la interacción del espesor del tablero base utilizado y el espesor de las cavidades de moldeo.

Una vez tomada la forma del molde, el material se somete a un tratado de post-curado para terminar la polimerización de la resina y obtener las propiedades mecánicas y físicas requeridas para el manejo de ese dispositivo a lo largo de su vida útil.

Paso 10: Post-curado

Consiste en un tratamiento térmico, realizado sobre el material recientemente encapsulado para completar las reacciones químicas y físicas del compuesto termofijo y obtener el entrelazamiento molecular (*cross-linking*) requerido para obtener las propiedades mecánicas y físicas requeridas para el manejo de ese dispositivo a lo largo de su vida útil.

Paso 11: Marcado

Operación donde se realiza la identificación exterior de cada modulo, marcándolos con la nomenclatura convencional al fabricante y/o cliente para su rápida identificación futura durante su vida útil. La técnica predominante actual es la utilización de un rayo láser como medio de marcador sobre la superficie del cuerpo, pero también se usa el marcado por tinta como una opción alternativa.

Paso 12: Trazado de módulos

Es una de las operaciones finales de ensamble. Consiste en realizar cortes longitudinales sobre la superficie activa de los sub-ensambles ya encapsulados y marcados para separar cada uno de los módulos del tablero madre para su posterior manejo individual. Se utilizan sierras de material

resinoso con incrustaciones de diamante parecidas a las utilizadas en trazado de discos, pero optimizadas para cortar material plástico y tableros. Para evitar el acumulamiento de polvo y trozos de tablero, la operación se realiza en un medio acuoso y con presión.

Paso 13: Inspección de salida

Es la última operación de ensamble. Consiste en realizar inspecciones visuales a las condiciones de los módulos individuales buscando defectos del tipo físico, producidos en cualquiera de las operaciones anteriores para identificarlos y segregarlos, para evitar con ello, el costoso desperdicio de tiempo máquina en el área de prueba eléctrica.

2.4 Resinas para moldeo – *EMC* (*Epoxy Molding Compounds*)

Existen muchos tipos de *EMC* utilizados actualmente en la industria de los semiconductores. Se encuentran los de propósito general, los cuales cuentan con un relativamente alto módulo de fortaleza y por consiguiente un mayor nivel de estrés inducido sobre los dispositivos, es por eso que son más utilizados en paquetes gruesos, los de bajo estrés son preferidos para paquetes más delgados y los de alta conductividad térmica requeridos para el ensamble de productos de alta potencia. Los *EMC* utilizados en dispositivos de montaje superficial (*SMD*) deben de tener bajo nivel de absorción de humedad, una fortaleza estructural alta a las temperaturas de montaje, o una combinación de ambas para prevenir posibles rupturas del plástico en el paquete (*efecto pop-corn*).

Es muy importante, evaluar para cada aplicación (tipo de paquete y condiciones) las propiedades requeridas por un *EMC*, el cambio en cualquiera de los tipos y/o porcentajes de los constituyentes del mismo induce cambios en las propiedades finales y puede afectar en mayor o menor medida los resultados finales de cada aplicación. El incremento en la complejidad de los circuitos integrados y la asociada evolución de las formas de la tecnología de ensamble han producido la necesidad de formulaciones complejas de plásticos (*EMC*) diseñadas y optimizadas para aplicaciones específicas.

En términos generales, podemos clasificar 3 tipos de plásticos para moldeo:

1. El plástico estándar. Está hecho a base de una resina *ECN* (*Epoxy Cresol Novolac*) y relleno de cuarzo (SiO_2), sin mayores modificaciones para la reducción de estrés y/o resistencia a la absorción de humedad. Estos plásticos son utilizados en paquetes que contienen circuitos integrados muy pequeños en paquetes tipo *PDIP* y *SO* utilizados por muchos años en la industria.
2. El plástico bajo en estrés. Está hecho a base de una resina tipo *Epoxy Biphenyl* y el contenido de relleno de cuarzo es mantenido por encima del 80%, además de utilizar geometrías esféricas o redondas en el relleno de Silica. Estos plásticos tienen niveles de viscosidad bajos que ayudan a controlar el barrido de los alambres durante moldeo y absorben menor cantidad de humedad que las resinas estándar. Son utilizados en materiales fabricados para ensamblar paquetes avanzados y delgados donde la sensibilidad a la absorción de humedad es crítica.
3. El plástico multi-funcional. Está hecho a base de una combinación de resinas: *Epoxy Biphenyl* y resinas *Multi-funcionales* típicamente con altas temperaturas de transición *Tg* y densidades altas de entrelazamiento molecular (*cross-linking*). Estos plásticos han sido formulados para aplicaciones sensibles al *warp* como son los *PBGA* y otros paquetes ultra-delgados

2.5 Composición de las resinas para moldeo

Son materiales compuestos a base de un polímero, es utilizado típicamente para darle protección mecánica y contra el medio ambiente a los circuitos semiconductores integrados en dispositivos durante el proceso de ensamble de paquetes de plástico. Generalmente, son materiales compuestos a base de resinas epóxicas, agentes endurecedores fenólicos, algún tipo de cuarzo (SiO_2), catalizadores, colorantes y agentes liberadores (cera) para el molde. Una descripción típica del porcentaje de composición de un plástico se describe a continuación:

1. Una resina orgánica : Novolac, Biphenyl, Otros ; [1-5%]
2. Material de relleno a base de cuarzo (SiO_2); [70-95%]
3. Un sistema de curado (catalizador y endurecedor) ; [1-5%]
4. Carbono negro como colorante ; [0.03%]
5. Aditivos (retardadores de flama, liberación molde, otros) ; [1-5%]

Resina orgánica (Epoxy)

Una molécula de resina epóxica es un material orgánico compuesto de más de un grupo epóxido. El grupo epóxido también conocido como *Oxirano* o *Eto-xileno*, se muestra a continuación:

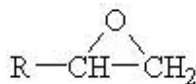


Figura 4-1: Grupo funcional epóxido

Estas resinas son polímeros *termofijos*, que se usan como adhesivos o encapsulantes por sus excelentes propiedades eléctricas, bajo encogimiento, buena adherencia a los metales, resistencia a la humedad y resistencia a los cambios bruscos de temperatura y esfuerzos mecánicos. Estos materiales se curan y se convierten en un material mucho más fuerte, el medio puede ser calor a través de una reacción química, como en el caso de un epoxy de dos pasos. Una vez curado el material, el fenómeno de *cross-link* que sucede en los enlaces covalentes entre las cadenas de polímeros da como resultado que estos materiales *termofijos* no puedan ser fundidos otra vez.

Hay dos categorías principales de resinas epóxicas: el grupo glicidil epóxido y el no-glicidil epóxido. Los glicidil se dividen a su vez en glicidil éteres, glicidil ésteres y glicidil aminas. Las resinas *Diglicidil éter de bisfenol-A* (DGEBA) y *Novolac* son los más comúnmente utilizados.

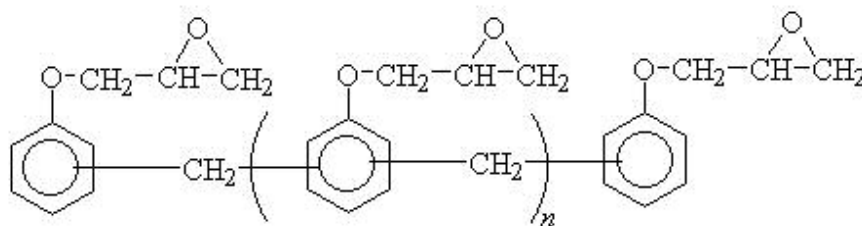


Figura 4-2: Estructura de la resina epóxica *Novolac*

Las resinas de epoxy *Novolac* son glicidil ésteres de resinas fenólicas *Novolac*. El epoxy *Novolac* contiene generalmente múltiples grupos epóxidos, esto depende de la cantidad de grupos hidroxil en la cadena

inicial de la resina fenólica *Novolac* lo cual le permite conseguir resultados altos de *cross-link*, y obtener una excelente resistencia del material. Las resinas *Novolac* son ampliamente utilizadas en la fabricación de **EMC** para el encapsulado de dispositivos semiconductores por su resistencia a altas temperaturas, excelente moldabilidad, propiedades mecánicas y eléctricas.

Material de Relleno

Desde las primeras versiones de plásticos fabricados para su uso en semiconductores se ha utilizado el SiO₂ o cuarzo para rellenar la cadena central del epoxy, primero en la forma de hojuelas y a niveles de 60-70% en peso. Con el desarrollo de estos materiales y los requerimientos de bajo estrés en los nuevos paquetes, las hojuelas se cambiaron por materiales esféricos y se aumentó el nivel a 80-90% en peso. Desarrollos contemporáneos de plásticos incluyen materiales elastómeros de Silicio para reducir aun más el **CTE** y el **Tg**.

Agente de curado

El proceso de curado es una reacción química donde los grupos epóxidos y las resinas epóxicas reaccionan con el agente catalizador o endurecedor para formar la estructura final del plástico altamente entrelazado (*cross-linked*). Para poder convertir la resina epóxica en un material duro, in-fundible y rígido, es necesario curarla con un endurecedor. Dependiendo del tipo de endurecedor que se utilice, la resina se puede curar a una temperatura entre 5-150 °C.

El uso de endurecedores para el curado de resinas epóxicas afecta de manera directa las propiedades de la resina final. El tipo, cantidad y proceso de adición del endurecedor debe de ser elegido teniendo en cuenta las propiedades finales esperadas. Los agentes de curado más frecuentemente utilizados con resinas epóxicas son los basados en aminas y en el epoxy *Fenol Novolac*. Las aminas pueden producir tiempos de curado más rápidos, pero a expensas de el tiempo de uso y/o la estabilidad térmica de la resina. Por otro lado el uso de epoxy *Fenol Novolac* como agente de curado produce excelentes resultados de adherencia, fortaleza y resistencia química y contra la flamabilidad.

Aditivos

Los mecanismos de retardo de flama en estos compuestos estuvieron basados en sistemas de retardo a base de bromo y antimonio (Br/Sb). Alternativas para los nuevos plásticos son el hidróxido de metal y los compuestos multi-aromáticos (**MAR**). Los sistemas a base de bromo y antimonio actuaban en estado gaseoso, bloqueando el acceso del oxígeno durante el proceso evitando así la creación de fuego, a diferencia de los sistemas de hidróxido de metal que funcionan en base al proceso natural de deshidratación, liberando agua y capturando calor. Por otro lado, los multi-aromáticos, están basados en la auto-descomposición de la misma resina y obstruyen la formación de flama debido a la creación de una capa de burbujas que previenen el transporte del oxígeno. El sistema más comúnmente utilizado para paquetes de plástico tipo **MCM** es el **MAR**, debido a su flexibilidad para aceptar diferentes porcentajes del contenido de relleno y su alta resistencia contra fracturas.

Capítulo 3 – Materiales y Método

3.1 Método y equipo de medición

El principio de medición utilizado durante la parte experimental de este estudio es el modelo PS400[®], fabricado por *Akrometrix LLC* y se basa en la técnica de *Shadow Moiré*.



Figura 3-1: Equipo Thermoire PS400

3.1.1 Fundamentos de *Shadow Moiré*.

La técnica de *Shadow Moiré* es un método óptico que nos ayuda a medir desplazamientos verticales relativos de una superficie continua y/o semi-continua opaca. Es una técnica que utiliza el campo de visión completo (toma los datos ópticos a través de la cámara de la muestra completa a un mismo tiempo). Esta técnica utiliza una rejilla de referencia (*reference grating*) tipo *Ronchi-rule*, la cual es una hoja de vidrio transparente de bajo coeficiente de expansión térmico (*CTE*) con un patrón de líneas delgadas de cromo depositados sobre la parte inferior de la rejilla por un medio fotolitográfico. El patrón está compuesto de espacios transparentes y opacos del mismo ancho y a la misma distancia entre ellos.

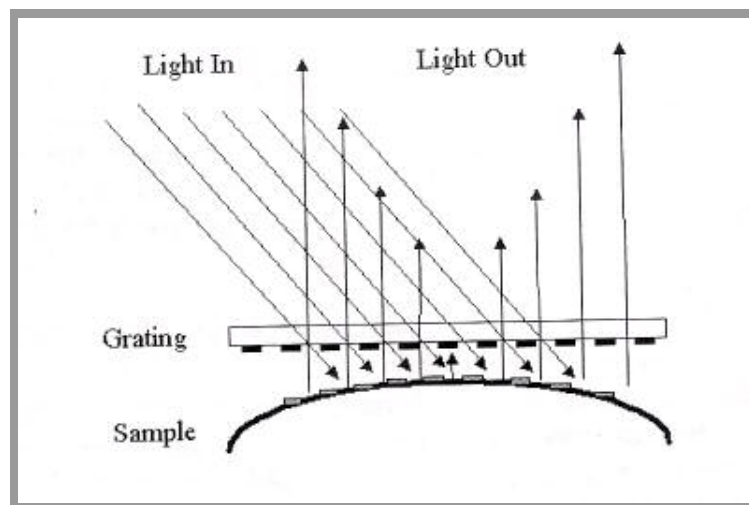


Figura 3-2: Fundamentos de *Shadow Moiré*

Haciendo referencia a la Figura 3-2, se puede observar que la luz incidente pasa a través de la rejilla de referencia a un ángulo oblicuo, típicamente a 45° y arroja una sombra de la rejilla sobre la muestra. Esta sombra de la rejilla es observada de regreso a través de la rejilla de referencia a otro

ángulo, típicamente a 0° . La interferencia entre las rejillas de sombra y de referencia es una función periódica de la distancia entre ellas, como se ilustra en la Figura 3-3.

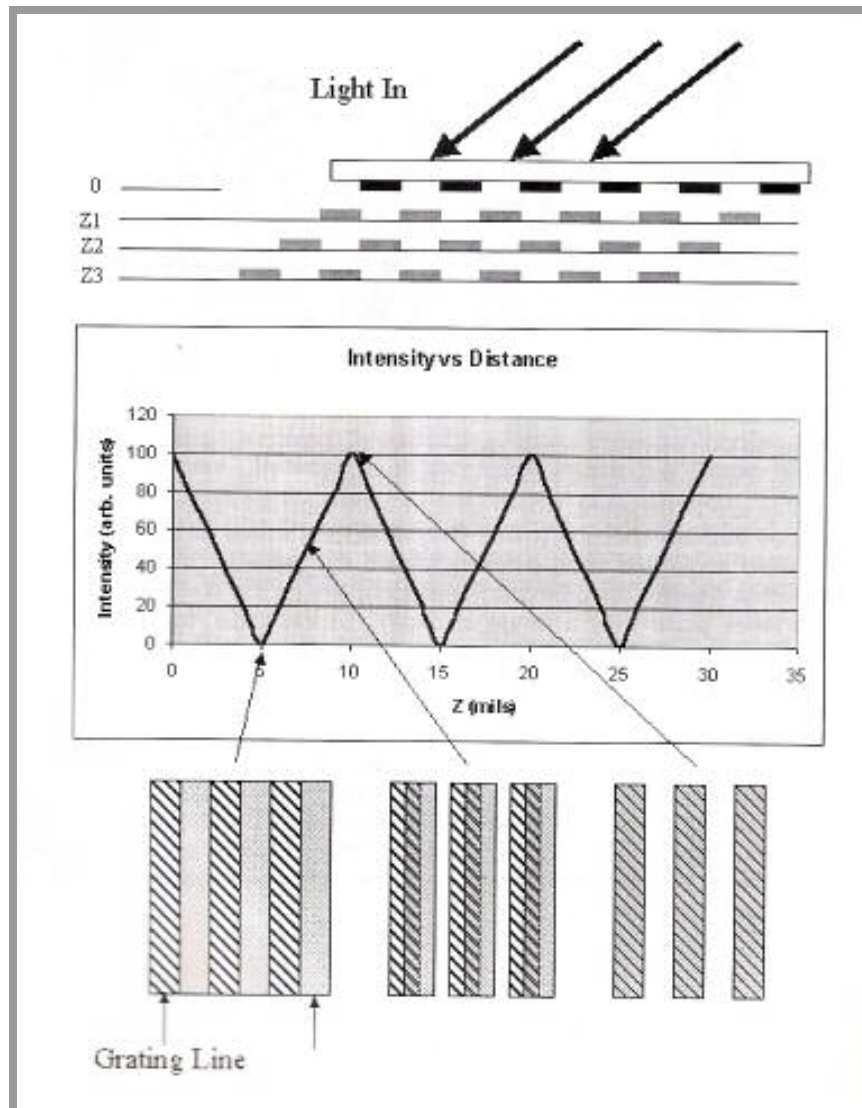


Figura 3-2: Dependencia periódica de la intensidad de luz y la distancia entre líneas de la rejilla

Siguiendo la discusión anterior, podemos observar que si la muestra es plana y paralela a la rejilla de referencia, las variables altura (Z) e intensidad de luz (I) son constantes a través de la misma y no se produce ningún borde o

contorno de Moiré. Por otro lado, cuando la muestra es curva o esta deformada, una serie de bordes o contornos oscuros y claros se producen entre las rejillas de referencia y la rejilla de sombras.

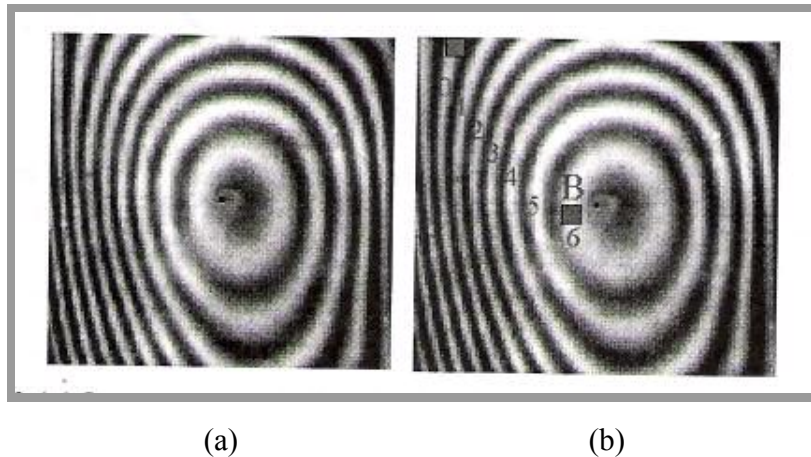


Figura 3-4 (a) *Shadow Moiré* o contorno de una muestra cóncava o convexa
(b) Conteo de contornos entre un punto A y B

Ejemplos de este tipo de patrones se pueden observar en la Figura 3-4a, donde cada uno de los bordes o contornos representa una región de altura (Z) constante. Cada borde o contorno sucesivo representa un cambio de altura en la superficie de la muestra de W , la altura por borde o contorno, definida por la ecuación:

$$W = \frac{P}{\tan a + \tan b}$$

W = Altura por borde o contorno

P = Distancia de centro a centro entre líneas en la rejilla de referencia

a = Ángulo de iluminación

b = Ángulo de observación

Por ejemplo, si asumimos que tenemos un ángulo de iluminación de 45° , un ángulo de observación de 0° y estamos usando una rejilla de referencia de 100 líneas por pulgada y tenemos una distancia entre líneas de 10 milésimas de pulgada (0.01 pulgadas), entonces $W = 10$ milésimas de pulgada de cambio en altura por cada borde o contorno.

La altura relativa entre dos puntos A y B cualquiera, en la imagen de borde o contorno, puede ser calculada por el conteo de el número de contornos entre ellos, (ver figura 3-4b) y multiplicados por la altura entre contorno (W). Sin embargo, no se puede determinar si B es mayor o menor que A solamente con el conteo de contornos.

3.1.2 Fundamentos del Análisis por Incrementos de Fase **(Phase Stepping Analysis)**

La técnica de *Shadow Moiré* discutida previamente, es un método óptico conocido desde hace varios años, sin embargo cuenta con 3 limitaciones mayores que no permitían su utilización en un ambiente industrial.

- 1) El conteo de contornos a través de un patrón de imagen no permite definir si un cambio en altura es positivo y/o negativo.
- 2) El conteo de contornos nos ofrece una baja resolución. La altura relativa entre dos puntos no puede ser conocida más precisa que el valor de altura entre contornos (W), aproximadamente 10 milésimas de pulgada para una rejilla de referencia de 100 líneas por pulgada.
- 3) El conteo de contornos es difícil si la superficie de la muestra no presenta un brillo uniforme. Los contornos pueden ser difíciles de

separar de elementos de superficie como puntos de soldadura y líneas de conducción en un tablero impreso (*PCB*).

Las dificultades arriba citadas hacen que el análisis por conteo de contornos sea un procedimiento lento, muy laborioso y fácilmente sujeto a error. La compañía *Akrometrix LLC* ha desarrollado y mejorado un método de análisis llamado Incrementos de Fase¹¹ (*Phase Stepping*), el cual resuelve estas limitaciones. En este método, tres o más imágenes de contorno son tomadas por cada medición. Entre cada imagen sucesiva, la muestra es trasladada uniformemente lejos de la rejilla a una distancia fija o incremento de fase. En cada punto de la superficie de la muestra, definido éste como el área abarcada por un píxel, se miden tres o más valores de la intensidad (*I*), como una función de (*Z*), la distancia entre la muestra y la rejilla.

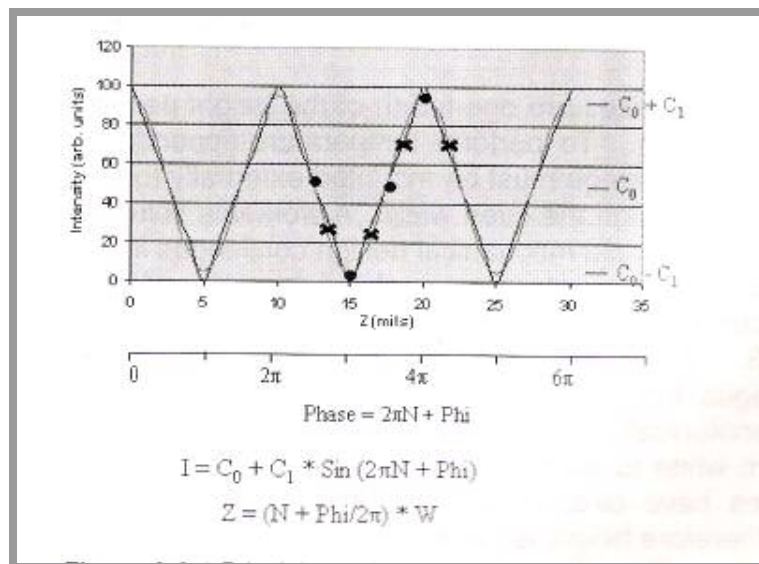


Figura 3-5: Fundamentos del análisis por incrementos de fase

La Figura 3-5 ilustra esta relación para 4 mediciones de intensidad (I), mostrados como puntos sólidos. Si asumimos que la relación entre (I) y (Z) se puede representar como una señal sinusoidal, los cuatro puntos nos permiten resolver para la ecuación de tres parámetros C_0 , C_I , y Φ , la fase. C_0 y C_I pueden ser entendidos como el brillo y contraste del contorno en ese píxel. Ambos son independientes del nivel de iluminación, reflectividad de la superficie y otros factores. Únicamente Φ esta relacionada con (Z), la cantidad que nos interesa medir. Resolviendo para (Z) y descartando C_0 y C_I del análisis podemos mejorar el problema 3) citado anteriormente, restándole la parte constante de la superficie del patrón del contorno de sombra *Moiré*. De la misma manera, el problema 2) es mejorado ya que podemos medir fracciones de un contorno. Si Φ puede ser medida a 1 parte en 256, podemos ahora determinar la altura relativa de dos puntos a 2 partes en 256 de la altura por contorno (W). Esto mejora, en definitiva la resolución de nuestro sistema. El análisis por incremento de fase, requiere de una pieza fundamental, como se muestra en la Figura 3-6; el soporte para la muestra está montado sobre una mesa de alta resolución vertical, de tal manera que la muestra pueda desplazarse hacia arriba y abajo con respecto de la rejilla de referencia.

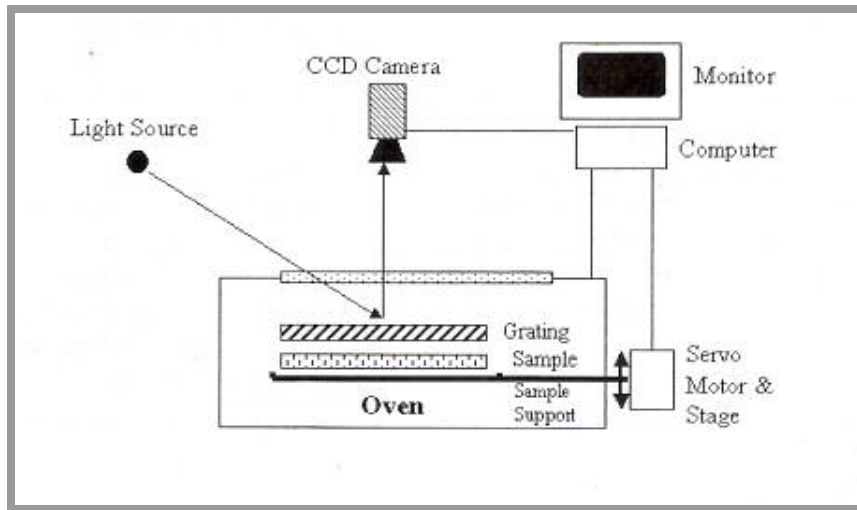


Figura 3-6: Elementos de un sistema *Shadow Moiré* con control de temperatura.

El paso típico de uno de estos sistemas es una cuarta parte de la altura por contorno, aproximadamente 2.5 milésimas de pulgada para un sistema típico. Cuando se realiza el análisis por incrementos de fase, para cada píxel en la imagen, podemos graficar los valores resultantes de Φ como otra imagen, como se ve en la Figura 3-7.

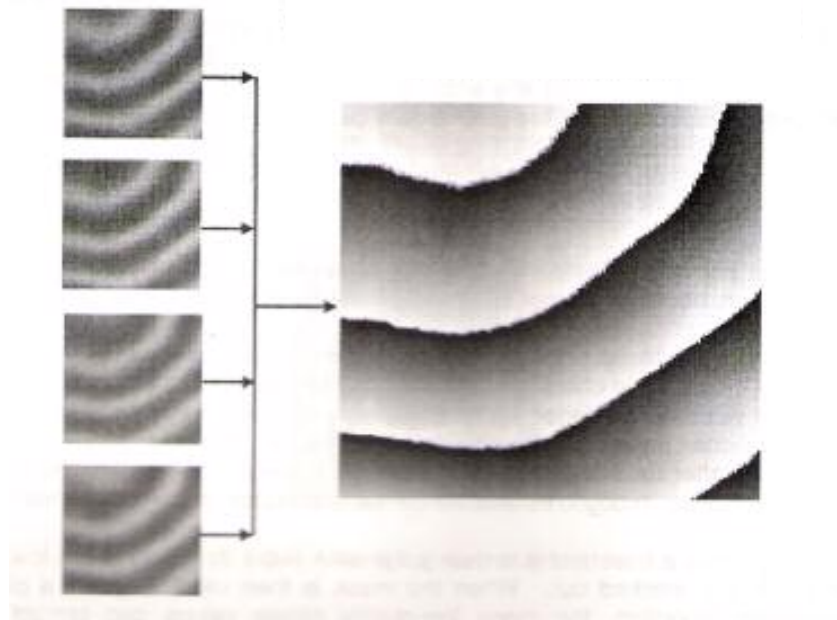


Figura 3-7: Combinación de cuatro imágenes de intensidad en una imagen de fase

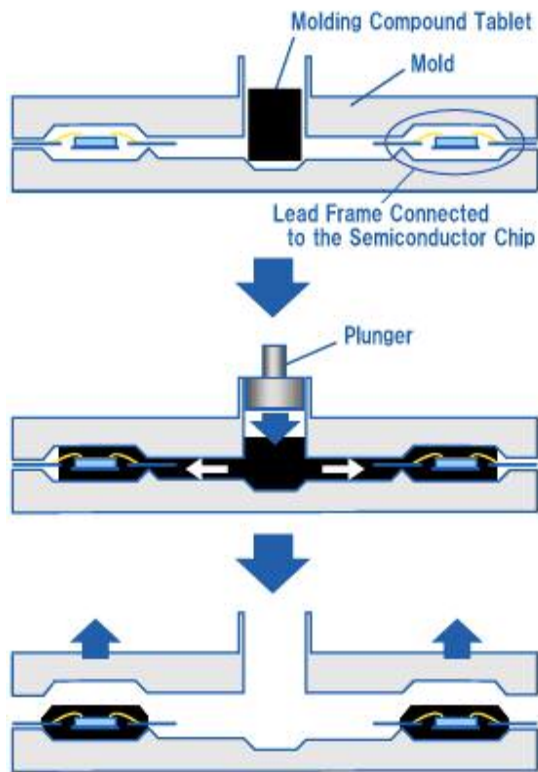
Una nota importante, es que aun cuando las imágenes de fase son muy parecidas a las de intensidad, las de fase son particularmente diferentes en un aspecto fundamental. Las de fase cambian mono-tónicamente de oscuro a claro a través de un contorno y después cambia abruptamente de oscuro a claro en la periferia del contorno, dicho de otra manera, las imágenes de fase poseen dirección en tanto las de intensidad no. La fase y por consiguiente la altura se incrementa a través de un contorno siguiendo la transición de claro a oscuro. El cambio abrupto de oscuro a claro puede ser ignorado pues representa el cambio de fase de 2π a 0 en la periferia del contorno, pero no ha cambio en la altura. De esta manera, el análisis de incremento de fase también resuelve el problema 1). Puntos altos y/o bajos pueden ser seleccionados por el usuario o la computadora de una imagen de fase.

Capítulo 4 – Experimentación

4.1 El proceso de moldeo (*Molding*)

Es una de las operaciones del proceso de manufactura de circuitos integrados cuya función básica es cubrir con un material plástico (la resina) al circuito activo para proveerle la protección contra el manejo y medio ambiente durante el proceso de prueba eléctrica y mas tarde durante toda la vida útil del dispositivo.

Uno de los métodos de encapsulado es el de transferencia de plástico por medio de una prensa, a través de un molde pre-formado para un paquete en particular. A continuación se describe de manera conceptual un ciclo de procesamiento de moldeo por inyección de plástico.



- 1) Se coloca el material a encapsular (*leadframe* o *pcb*'s) dentro de la cavidad inferior del molde.
- 2) Se cierra el molde, cavidad superior y cavidad inferior herméticamente cerradas.
- 3) Se coloca el material plástico pre-formado o *pellet* en el depósito central.
- 4) Se pre-calientan los *pellets* y se inicia el movimiento de desplazamiento del pistón sobre el depósito central.
- 5) Se distribuye todo el plástico debido a la temperatura del molde y la presión ejercida por el pistón para rellenar las cavidades.
- 6) Se procede a pre-curar el material.
- 7) Se termina el pre-curado y se abre el molde
- 8) Se toma el material recién encapsulado y se pasa a la sección de remoción de plástico remanente.
- 9) Se termina el ciclo y se vuelve a cargar más material para encapsular y empezar de nuevo.

Figura 4-3: El ciclo de moldeo por inyección de plástico

4.2 Descripción experimental

Se realizaron tres experimentos principales durante el desarrollo de ésta investigación. El primero relacionado con la selección de las resinas o plásticos para moldeo (*EMC's*) recomendados por varios proveedores de estos materiales. El segundo relacionado con el efecto sobre el warpage, relacionando el tiempo de curado y un espesor de molde de 0.7mm y el tercer experimento , relacionando el tiempo de curado y un espesor de molde de 1.0mm.

El primer experimento consistió en lo siguiente:

Se utilizaron 3 tableros o *PCB's* tipo *HDI* de 60 x 186mm, pero con módulos de tamaño diferente como se describe a continuación:

- (B1) TW07-D775-019, RCF 0.200mm core, 0.500mm, *MCM* 6x8mm
- (B2) TW06-D195-011, RCF 0.200mm core, 0.500mm, *MCM* 8x10mm
- (B3) TW07-D505-003, RCF 0.200mm core, 0.500mm, *MCM* 6x6mm

Se utilizaron 5 tipos de resinas o plásticos (*EMC*) para moldeo:

- (ha) Sumitomo
- (hf) Sumitomo
- (hk) Henkel
- (nt) Nitto
- (ht) Hitachi

La operación de moldeo se realizó en un equipo automático de moldeo por transferencia del plástico modelo TOWA

Parámetros de Moldeo:

Tiempo de curado: 100 (seg.)

Tiempo de pre-calentamiento: 5 (seg.)

Temperatura del molde: 180 (° C)

Velocidad de transferencia

1: 7mm/seg.

2: 2.7mm/seg.

Posición del pistón

1-2: -13mm

2-3: 15mm

Presión de transferencia: 0.8 Ton

Se obtuvo una muestra de cada uno de los plásticos a evaluar del cuarto de almacenamiento y se dejó a temperatura ambiente (24-25 °C) durante más de 12 horas antes de utilizarse. De la misma manera se obtuvo una muestra de 8 **PCB's** de cada tipo de tablero y se realizó limpieza con plasma antes de conducir el moldeo.

Se prepararon los ajustes necesarios en una de las prensas del equipo de moldeo con la cavidad/molde de 0.7mm de espesor.

Se procedió con la operación de moldeo, el encapsulado se llevó a cabo en grupos de 2 a la vez (*1 shot*) con el siguiente orden:

El grupo B1 se procesó primero, empezando con el grupo *B1-ha*, después el *B1-hf*, el *B1-hk*, el *B1-nt* y al final el *B1-ht*. El mismo orden se siguió con los otros grupos *B2* y *B3*.

Se realizaron las mediciones de *warpage* después de moldeo a cada uno de los *shots*. Se procedió a realizar el curado post-moldeo (*PMC*) por 6 horas @ 175 °C a todas las muestras y se volvieron a realizar las mediciones de *warpage*.

El segundo experimento estuvo enfocado en discernir el nivel de contribución del parámetro de curado en el molde, la idea tomo mas forma luego de leer y revisar el trabajo de *Peng, Hsu & Yang*¹⁷ donde se establece que la relación curado en molde contribuye en algunos casos a la posterior condición de la deformación superficial, e introducir el factor espesor del molde como una variable para análisis futuro. El experimento consistió en lo siguiente:

Se utilizaron sub-ensambles del paquete MCM 10x14 y compuestos por más de 20 componentes pasivos y 11 circuitos integrados en forma de dados. La base del dispositivo es un tablero **HDI** con material dieléctrico tipo pre-preg y espesor de menos de 0.400mm

Los tipos de resinas o plásticos (*EMC*) para moldeo que fueron evaluados son: (*ha*) Sumitomo, (*hf*) Sumitomo, (*nt*) Nitto.

La operación de moldeo se realizó en un equipo automático de moldeo por transferencia del plástico modelo TOWA con un espesor de molde de 0.7mm.

Parámetros de moldeo:

Tiempo de curado: 105 y 150 (seg.)

Tiempo de pre-calentamiento: 5 (seg.)

Temperatura del molde: 180 (° C)

Velocidad de transferencia

1: 7mm/seg.

2: 2.7mm/seg.

Posición del pistón

1-2: -13mm

2-3: 15mm

Presión de transferencia: 0.8 Ton

Se obtuvo una muestra de cada uno de los plásticos a evaluar del cuarto de almacenamiento y se dejó a temperatura ambiente (24-25 °C) durante más de 12 horas antes de utilizarse. De la misma manera se obtuvo una muestra de sub-ensambles del paquete 10x14 y se realizó limpieza con plasma antes de conducir el moldeo.

Se prepararon los ajustes necesarios en una de las prensas del equipo de moldeo con la cavidad/molde de 0.7mm de espesor para el espesor del tablero en cuestión. Se procedió con la operación de moldeo, el encapsulado se llevó a cabo en grupos de 2 a la vez (*1 shot*) con el siguiente orden:

Primero los *shots* utilizando la resina *hf* con ambos valores de curado en el molde y posteriormente los correspondientes a la resina *nt* también ejercitando ambos valores de curado. De hecho, el experimento se ejecutó utilizando un valor intermedio de tiempo de curado y además se utilizó la resina de control *ha*. Para cuestiones del análisis de resultados, ambos se omiten para simplificar el mismo, el primero por estar dentro del rango de valores del experimento y el segundo por tener alta compatibilidad con la resina *hf* y su carácter de control.

Se realizaron las mediciones de *warpage* después de moldeo a cada uno de los *shots*. Se procedió a realizar el curado post-moldeo (*PMC*) por 6 horas @ 175 °C a todas las muestras y se volvieron a realizar las mediciones de *warpage*.

El tercer experimento, básicamente es una réplica de las condiciones descritas en el segundo experimento, en donde se utilizan las mismas 3 resinas, el mismo material MCM 10x14 y las mismas condiciones de moldeo y post-curado. La única diferencia es que utilizamos un molde con espesor de 1.0mm.

De la misma manera, se realizaron las mediciones de *warpage* después de moldeo a cada uno de los *shots*. Se procedió a realizar el curado post-moldeo (*PMC*) por 6 horas @ 175 °C a todas las muestras y se volvieron a realizar las mediciones de *warpage*.

4.3 Revisión y análisis de resultados

Como se observa en la Figura 4-4, antes del curado posterior al moldeo, los mejores resultados del nivel de *warpage*, independientemente del tablero **HDI** utilizado, se presentaron en el siguiente orden: la resina *ha*, *hf*, *ha*, *hk* y *nt*. Sin embargo, las resinas *hk* y *ht* se adhirieron fuertemente en la zona de entrada del plástico (*mold gate*), lo que provocaba la interrupción del ciclo automático de operación, nada deseable.

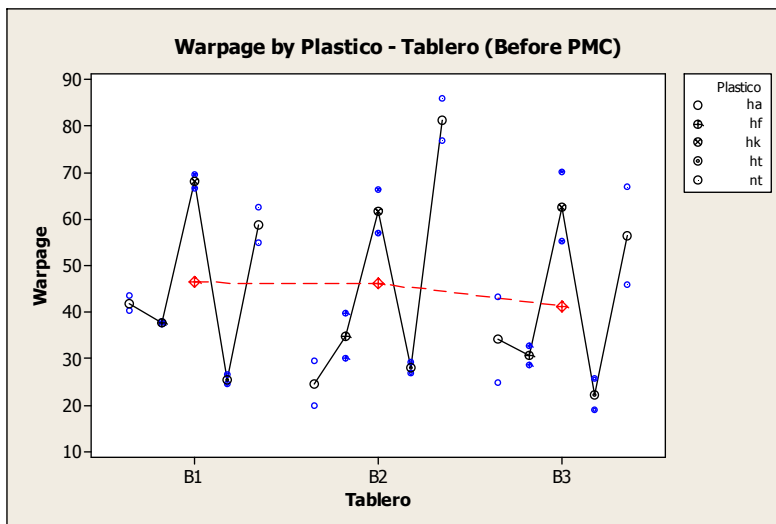


Figura 4-4: Nivel de *warpage* antes de post-curado en 5 resinas: *ha*, *hf*, *hk*, *ht* y *nt*.

Después del curado posterior a Moldeo, los mejores resultados del nivel de *warpage*, independientemente del tablero **HDI** utilizado, se presentaron en el siguiente orden: la resina *hf*, *ha*, *hk*, *nt* y *ht* como se muestra en la Figura 4-5

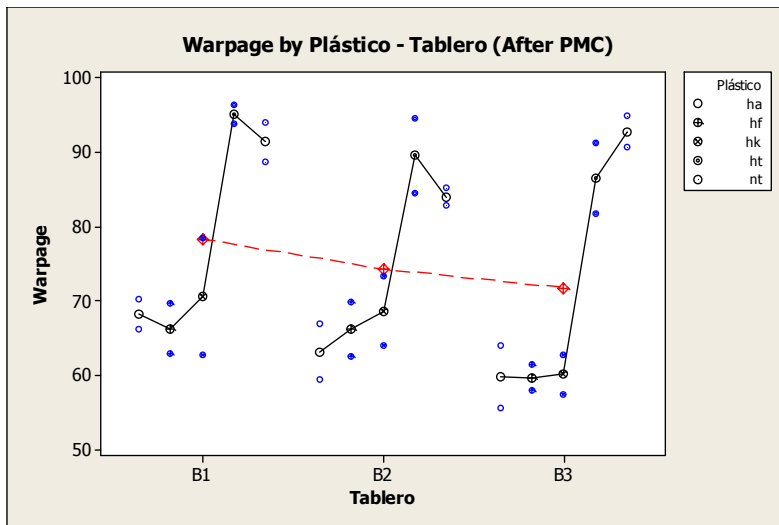


Figura 4-5: Nivel de *warpage* después de post-curado en 5 resinas: ha, hf, hk, ht y nt.

En todas las muestras, independientemente de la resina utilizada, la forma del *warpage* es convexa o *crying*, lo cual indica que el tablero **HDI** utilizado tiene una *CTE* menor a la de las resinas evaluadas en este trabajo. Lo cual esta representado en la Figura 4-6.

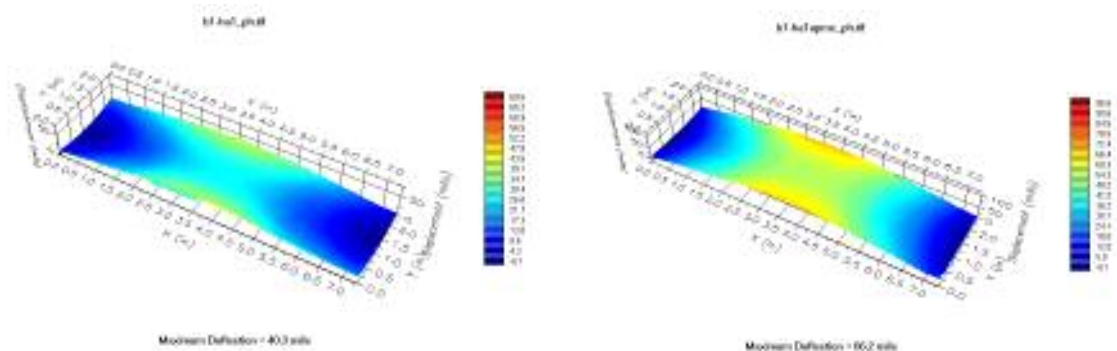


Figura 4-6: Formas de *warpage* a) antes y b) después de post-curado tipo concavo

En función de los resultados anteriores, se escogieron las resinas *ha*, *hf* y *nt* para continuar con la investigación.

Del segundo experimento, después de moldeo se nota claramente en la Figura 4-7 que el efecto del tiempo de curado en el molde no es un parámetro significativo para la resina *ha*, pues los valores de la deformación superficial (*warpage*) son prácticamente iguales. En el caso de la resina *nt*, sí se observa un efecto de interacción con el nivel de la deformación, para el valor más alto de tiempo considerado en el experimento, se presentó una reducción en la magnitud de la deformación.

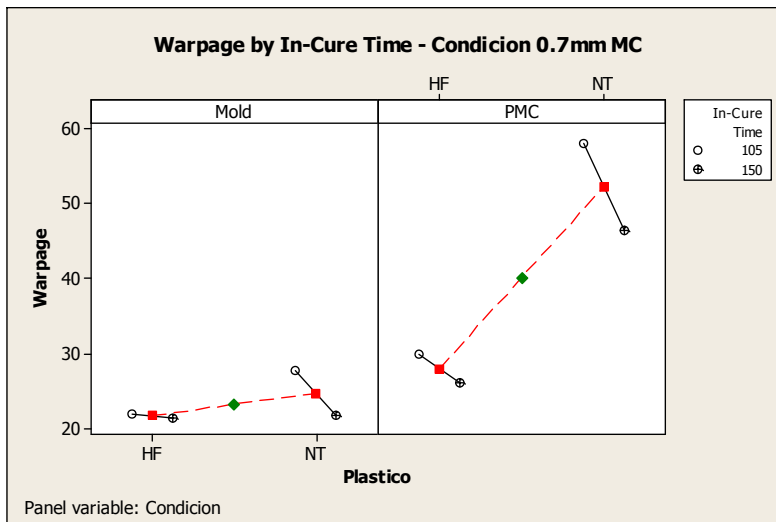


Figura 4-7: Nivel de *warpage* después de moldeo y post-curado en las resinas: *hf* y *nt* en molde 0.7mm

Visto de otra manera, en la Figura 4-8 se observa un poco más claro que el tiempo de curado sí produce, aunque de forma temporal, un efecto de control sobre el nivel de deformación en la resina *nt*. Observe cómo las magnitudes son equiparables a las obtenidas con la resina *nt*, una vez que se produce la condición de curado máxima.

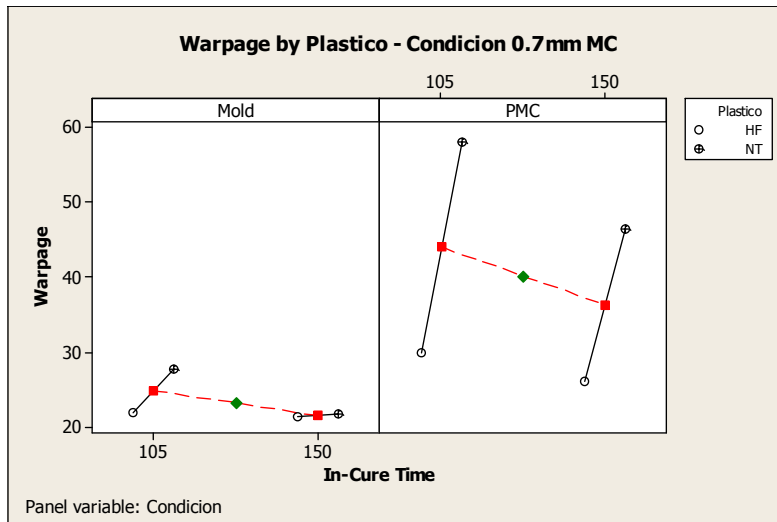


Figura 4-8: Nivel de *warpage* después de moldeo y post-curado por tiempo de curado en molde 0.7mm

Por otro lado, en ambas Figuras 4-7 y 4-8 es evidente que el tratamiento de post-curado ejerce una mayor influencia sobre la condición final del nivel de deformación, pero también establece que la composición actual de la resina intrínsecamente contribuye al nivel de la deformación producido por una misma condición en un mismo material. Nótese que las magnitudes oscilan entre 0.028 y 0.030 pulgadas para la resina *ha*, en tanto para la resina *nt*, aún y cuando sigue el comportamiento genérico aquí descrito, lo hace entre 0.048 y 0.058 pulgadas después del tratamiento de post-curado, es decir existe una diferencia relativa de aproximadamente mas de 0.020 pulgadas entre ambas resinas.

Del tercer experimento, en el caso del espesor del molde a 1.0mm, en la Figura 4-9 se observan resultados cruzados en relación al comportamiento de las resinas. Es decir, después de moldeo se observa que el tiempo de curado afecta el nivel de *warpage* en la resina *hf*, donde a mayor tiempo de curado se observa un menor nivel de deformación. En el caso de la resina *nt*, el comportamiento es inverso, a menor tiempo de curado se observa menor valor de deformación.

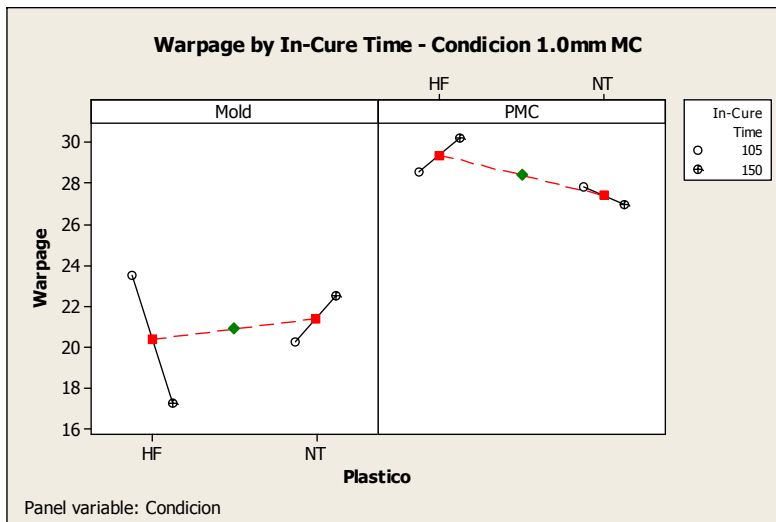


Figura 4-9: Nivel de *warpage* después de moldeo y post-curado en las resinas: HF y NT en molde 1.0mm

Por otro lado, una vez que se realiza el tratamiento de post-curado, se observó que el efecto del tiempo de curado tiene menos efecto sobre la resina *nt* que sobre la resina *hf*.

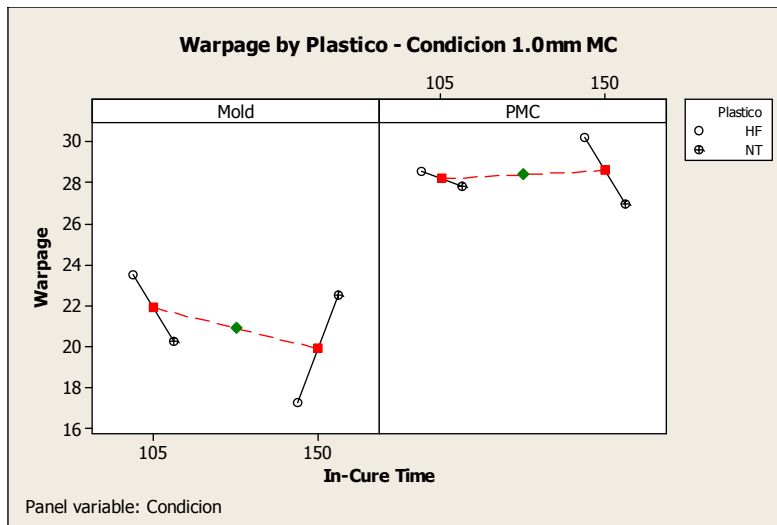


Figura 4-10: Nivel de *warpage* después de moldeo y post-curado por tiempo de curado en molde 1.0mm.

En la Figura 4-10 también se observa que la contribución al nivel de deformación inicialmente vista después de moldeo, se ve minimizada por el efecto del tratamiento de curado post-moldeo, al grado de que no hay una diferencia significativa entre resinas en el nivel bajo de tiempo de curado.

A diferencia de lo que ocurrió con el molde de espesor 0.7mm, una vez que se completa el tratamiento de curado post-moldeo, se observa que el nivel de deformación en el molde de espesor 1.0mm es menor en la condición alta de tiempo de curado para la resina *nt*. El cambio en el espesor del molde parece estar interactuando con las resinas y produciendo diferentes efectos termo-mecánicos en el vehículo de prueba utilizado en esta investigación.

4.4 Conclusiones y recomendaciones

- Se logró elaborar un diseño de selección de muestra y proceso de moldeo para evaluar el problema de deformación superficial en componentes MCM.
- La deformación superficial de componentes MCM antes y después del curado post-moldeo fue evaluada utilizando la metodología Moiré, método que resulta ser confiable y presenta las ventajas de incluir la forma de la deformación.
- El tipo de deformación no es predecible aún cuando se trate del mismo material, debido a que la deformación atiende a la contribución de componentes térmicos y mecánicos.
- Entre las resinas y respecto de los tableros elaborados, se observó que la deformación es de tipo convexa (*crying*). Sin embargo cuando se hicieron las mediciones en función del curado post-moldeo, es claro que el espesor del molde tiene un papel importante en la disminución de la deformación.

- Es necesario modificar la tecnología del proceso actual y cambiar de moldeo por inyección a moldeo por compresión. Esto debido a que los componentes evolucionan hacia geometrías más delgadas.
- El presente trabajo permitió entender y caracterizar la deformación superficial (*warpage*) que ocurre en circuitos integrados MCM, en función de la composición y formulación química de las resinas durante el proceso de moldeo por transferencia.

Referencias

1 – HDI (2000), *Shadow Moiré Enters Production*

<http://www/hdi-online.com>

(Junio 2006)

2 – *Measurement of Thermal Deformation of BGA using Phase-Shifting Shadow Moiré.*

Experimental/Numerical Mechanics in Electronic Packaging, Volume II, p32-39,

Society of Experimental Mechanics Inc. 1998; Y.Wang and P.Hassell

3 – GEORGIA TECH (1996), *Helping Printed Circuit Boards Take the Heat*

<http://gtresearchnews.gatech.edu/reshor/rh-sf96/pcb.htm>

(Octubre 2006)

4 – MARTIN-SMT (2005), *Heating profile adopted by just a click*

http://www.martin-smt.de/english/n_pf_08_04.htm

(Junio 2006)

5 – 3M (2001), *Fabrication of Embedded Capacitance Printed Circuit Boards*

http://www.3m.com/us/electronics_mfg/microelectronic_packaging/materials/S08-3%20Peiffer.pdf

(Junio 2006)

6 – IEEE (1997), *Thermal Effects on PCB's with Connectors during Solder Attachment*

<http://ieeexplore.ieee.org/iel3/4801/13278/00606311.pdf?arnumber=606311>

(Junio 2006)

7 – COOKSON-SEMI (2002), *Introduction to Epoxy Molding Compounds*

http://www.cooksonsemi.com/pdfs/EMC%20Tech%20Overview_2002.pdf

(Mayo 2006)

8 – BP AMOCO, *Controlling Warpage in BGA Packages*

http://www.cooksonsemi.com/tech_art/pdfs/Controlling%20Warpage.pdf

(Mayo 2006)

9 – IEEE (2001), *Failure Analysis and Stress Simulation in Small Multichip BGAs*

<http://ieeexplore.ieee.org/iel5/6040/20071/00928757.pdf?arnumber=928757>

(Mayo 2006)

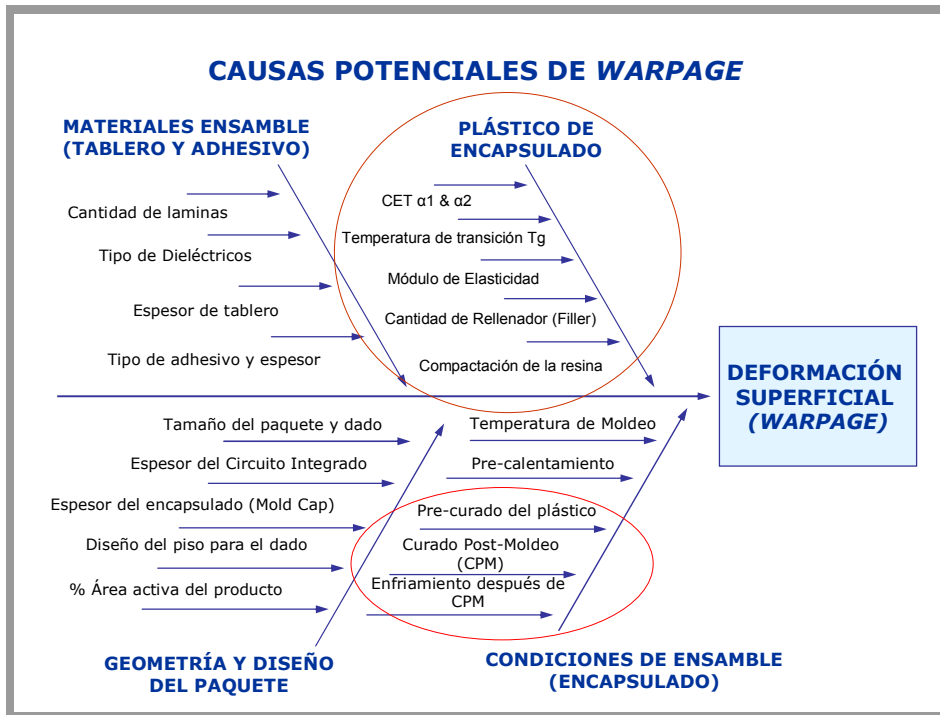
10 – IEEE (1998), *Thermo-Mechanical FE Analysis and Micro Deformation Measurements*

<http://ieeexplore.ieee.org/iel4/5657/15158/00689534.pdf?arnumber=689534>

(Agosto 2006)

- 11 – AGERE (2003), *Impact of Ingressed Moisture and High Temperature Warpage Behavior on the Robust Assembly Capability for Large Body PBGAs*
http://www.agere.com/ehs/leadfree/docs/Large_Body_PBGA_Warpage_Paper.pdf (Agosto 2006)
- 12 – AMKOR (2000), *Transfer Molding Encapsulation of Flip Chip Array Packages: Technical Developments In Material Design*
http://www.amkor.com/products/notes_papers/TLOBI_Article1200.pdf
(Agosto 2006)
- 13 – IEEE (2004), *Study of warpage due to P-V-T-C relation of EMC in IC packaging*
http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1308449
(Agosto 2006)
- 14 - IEEE (2003), *Warpage in Plastic Packages: Effects of Process Conditions, Geometry and Materials*
<http://ieeexplore.ieee.org/iel5/6104/28106/01256729.pdf?arnumber=1256729>
(Julio 2006)
- 15 - GEORGIA TECH (1996), *New Process Tracks Circuit Board Warpage*
<http://gtresearchnews.gatech.edu/newsrelease/PCBOARD.html>
(Mayo 2006)
- 16 – HOTT (2002), *PCB Stack-Up*
<http://www.hottconsultants.com/techtips/pcb-stack-up-1.html>
(Mayo 2006)
- 17- ANTEC (2004), THE WARPAGE SIMULATION WITH IN-MOLDING CONSTRAINT EFFECT ON INJECTION MOLDING
<http://w3.moldex3d.com/en/services/techpapers/0403.pdf>
(Julio 2006)
- 18- PAN PACIFIC PROCEEDINGS (2001), ADVANCED WARPAGE CHARACTERIZATION
http://www.warpfinder.com/pdf/Tech_Papers/Advanced%20Warpage%20Characterization.pdf
(Agosto 2006)
- 19- CHIP SCALE (1998), *Chip Scale and FChip Made Easy: Progress of Worldwide Standards for CSPs*
<http://www.chipscalereview.com/issues/0798/bergman1.htm>
(Agosto 2006)
- 20- ELEG (2006), *Advanced Electronic Packaging – Chapter One*
<http://www.eleg.uark.edu/assignments/5000/ELEG5273%20Electronic%20Packaging/c01.pdf>
(Agosto 2006)

Anexos



Anexo A-1 Diagrama de causa y efecto para la deformación superficial

Tabla de propiedades de las resinas

	Name	Control	Exp1	Exp2
Characteristic	Unit	EMC #1	EMC #2	EMC #3
Epoxy	-	Bi-Phenyl STD	Bi-Phenyl STD	Bi-Phenyl A
Hardener	-	MAR1/MAR2	MAR1/MAR2	MAR / PN
Catalyst type	-	STD	STD	A
Filler Content	%	90	90	88.5
Filler cut point	um	55	55	54
Filler average size	um	N/A	N/A	9-11
Spiral Flow	cm	120	125	120
Gel Time	sec	35	35	31
Tg	C	125	125	125
CTE α^1	ppm	6	8	8
CTE α^2	ppm	34	32	34

Anexo A-2: Propiedades físicas de las resinas utilizadas