

# UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

UNIDAD ENSENADA

## FACULTAD DE INGENIERÍA



### SISTEMA DE COMUNICACIONES DIGITALES UTILIZANDO LA TÉCNICA DE ESPECTRO ESPARCIDO

Tesis profesional  
Que para obtener el título de:

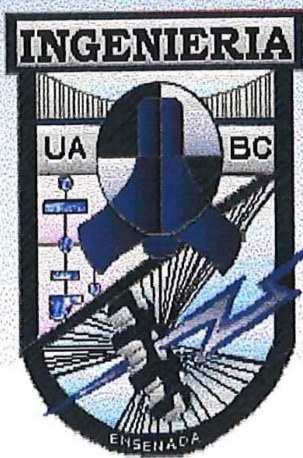
### INGENIERO EN ELECTRÓNICA

Presenta:

**Adalberto Figueroa Venavides**

Director de tesis:

**M.C. Juan Iván Nieto Hipólito**



ENSENADA B.C

DICIEMBRE DE 2000

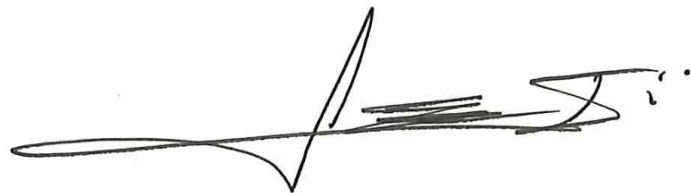
**SISTEMA DE COMUNICACIONES DIGITALES UTILIZANDO LA  
TÉCNICA DE ESPECTRO ESPARCIDO**

TESIS QUE PARA OBTENER EL TÍTULO DE

INGENIERO EN ELECTRÓNICA

PRESENTA:

**Adalberto Figueroa Venavides**



---

M.C. Juan Iván Nieto Hipólito  
Director de Tesis

---

DR. Miguel E. Martínez Rosas

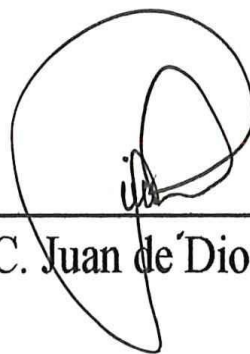
---

DR. Horacio L. Martínez Reyes.



---

M.C. Humberto Cervantes de Ávila



---

M.C. Juan de Dios Sánchez López

---

Adalberto Figueroa Venavides

## ÍNDICE

---

Lista de figuras.....	i
Lista de tablas.....	iii
Introducción.....	iv
1.1 El transmisor.....	1
1.2 Interfaz serial RS232.....	3
Introducción.....	3
Desarrollo.....	5
Bibliografía.....	9
1.3 Generador de secuencia pseudo aleatoria.....	10
Introducción.....	10
Desarrollo.....	14
1.3.1 Reloj sincronizador de la secuencia PN.....	20
Bibliografía.....	24
1.4 Codificación de espectro esparcido.....	25
Introducción.....	25
Desarrollo.....	28
Bibliografía.....	32
1.5 Codificación Manchester.....	33
Introducción.....	33
Desarrollo.....	39
Bibliografía.....	42

1.6	Modulación digital ASK.....	43
	Introducción.....	43
	Desarrollo.....	47
	1.61 Generación de la portadora.....	51
	Bibliografía.....	52
2.1	El receptor.....	53
2.2	Demodulación de la señal ASK.....	55
	Introducción.....	55
	Desarrollo.....	59
	Bibliografía.....	63
2.3	Recuperación de la señal de reloj.....	64
	Introducción.....	64
	Desarrollo.....	67
	Bibliografía.....	71
2.4	Decodificación Manchester.....	72
2.5	Generación de la secuencia PN.....	74
2.6	Recuperación de la información.....	76
	Teoría propuesta para la decodificación.....	76
	2.6.1 Lógica de retardos.....	78
	2.6.2 Múltiplexión de las siete fases.....	81
	2.6.3 Búsqueda y amarre de fase.....	83
	2.6.4 Decodificación final y recuperación de la información.....	88
	2.6.4.1 Interfaz serial.....	89
3	Conclusiones.....	90

**LISTA DE FIGURAS**

<b>FIGURA</b>	<b>DESCRIPCIÓN</b>	<b>PAGINA</b>
1	Transmisor de DS-CDMA	ix
2	Receptor para DS-CDMA	x
1.1.1	Diagrama a bloques del transmisor	2
1.2.1	Interfaz serial RS232	5
1.2.2	Diagrama a bloques de la interfaz serial	6
1.2.3	Formas de onda de las señales serial y TTL	7
1.2.4	Formas de onda de las señales serial y TTL (reales)	8
1.3.1	Generador de secuencia pseudo aleatoria	11
1.3.2	Implementación física del generador de PN	16
1.3.3	Formas de onda de la señal de reloj y la secuencia PN (simuladas)	16
1.3.4	Formas de onda de la señal de reloj y la secuencia PN (reales)	17
1.3.5	Propiedad de la suma modulo dos	19
1.3.6	Circuito generador de reloj con el LM555	21
1.3.7	Circuito generador de reloj con el VCO del CD4046	22
1.4.1	Periodo de chip y periodo de bit	26
1.4.2	Diagrama a bloques de un codificador de espectro esparcido	26
1.4.3	Efecto de la codificación en espectro esparcido	27
1.4.4	Codificador de espectro esparcido	28
1.4.5	Codificación de datos por la secuencia PN (simulación)	29
1.4.6	Codificación de datos por la secuencia PN (real)	30
1.4.7	FFT de la información en banda base	31
1.4.8	FFT de la señal en espectro esparcido	31
1.5.1	Diferentes tipos de códigos de línea	35
1.5.2	Forma de onda de la codificación Manchester	36
1.5.3	Codificador Manchester	37
1.5.4	Codificación Manchester (c), señal de reloj (b) y datos (a)	38
1.5.5	Codificador Manchester propuesto	39
1.5.6	Simulación de la codificación Manchester	40
1.5.7	Codificación Manchester (real)	40
1.5.8	FFT de la señal M(t)	41
1.6.1	Modulación digital ASK	44
1.6.2	Efecto de la modulación en el espectro	45
1.6.3	Espectro una señal ASK	46
1.6.4	Generadores de ASK	46
1.6.5	Diagrama a bloques del modulador ASK propuesto	47
1.6.6	Diagrama esquemático del modulador ASK basado en el CD4053	47
1.6.7	Moduladores FSK y BPSK basados en el CD4053	49
1.6.8	Señales de entrada y salida del modulador	49
1.6.9	Espectro de la señal en banda base	50
1.6.10	Efecto de la modulación en el espectro (real)	50

**LISTA DE FIGURAS**

<b>FIGURA</b>	<b>DESCRIPCIÓN</b>	<b>PAGINA</b>
1.6.1.1	Generador de la portadora	51
2.1.1	Diagrama a bloques del receptor propuesto	53
2.2.1	Detector de envolvente como demodulador ASK	56
2.2.2	Demodulador coherente	57
2.2.3	Demodulación coherente –vs- demodulación no coherente	58
2.2.4	Demodulador ASK basado en el PLL NE564	59
2.2.5	Entrada y salida en el demodulador	61
2.3.1	PLL como dispositivo de sincronía	64
2.3.2	Sistema de recuperación de reloj	68
2.3.3	Recuperación de la señal de reloj	70
2.4.1	Diagrama a bloques y esquemático del decodificador Manchester	72
2.4.2	Decodificación Manchester	72
2.5.1	Generador de PN	74
2.5.2	Secuencias PN del transmisor y el receptor	75
2.6.1.1	Lógica de generación de retardos	78
2.6.1.2	Generación de retardos	79
2.6.1.3	Generación de retardos	79
2.6.1.4	Sistema reforzador para los retardos	80
2.6.2.1	Multiplexión de las fases	81
2.6.3.1	Diagrama de flujo del sistema de búsqueda y amarre de fase	84
2.6.3.2	Diagrama a bloques del sistema de búsqueda y amarre de fase	84
2.6.3.3	Búsqueda y amarre de la fase	85
2.6.3.4	Circuito de reloj para el sistema de conversión serie-paralelo	87
2.6.4.1	Decodificador de espectro esparcido	88
2.6.4.2	Decodificación de la señal SS y recuperación de la información	88
2.6.4.2.1	Interfaz serial	89
3.1	Formas de onda recibida	91

**LISTA DE TABLAS**

---

<b>TABLA</b>	<b>DESCRIPCIÓN</b>	<b>PAGINA</b>
1.2.1	Configuración de pines par los conectores DB25 y DB9	4
1.3.1	Generación de la secuencia a partir de condiciones iniciales	11
1.3.2	Generación de la secuencia a partir de condiciones iniciales (2)	12
1.3.3	Comparación entre el código original y sus posibles desplazamientos	18
1.6.1	Tabla de verdad para el CD4053	48

## INTRODUCCIÓN

---

### OBJETIVO

Diseñar y construir un sistema de comunicaciones digitales del tipo simplex empleando la técnica de espectro esparcido para lograr la comunicación serial entre dos computadoras con la finalidad de ofrecer una comunicación privada y segura.

### ANTECEDENTES HISTÓRICOS

Los sistemas de espectro esparcido datan de los años 20's y tuvieron su origen en el ambiente militar como resultado de la búsqueda de medios más eficaces y seguros de comunicación ya que como es bien sabido los militares requieren manejar información muy confidencial la cual puede llegar a ser secreto de estado.

Anteriormente las comunicaciones entre aliados (hablando de las guerras) eran susceptibles a la detección y/o interceptación por parte de los enemigos y vulnerable a la interferencia intencional (jamming) lo cual generaba grandes problemas de comunicación.

Los sistemas de comunicaciones que emplean espectro esparcido poseen la habilidad de proporcionar al enlace una baja detectabilidad por parte de usuarios no deseados, baja introducción de interferencia intencional ambas características integradas en sistemas de comunicaciones con baja probabilidad de interceptación (low probability of intercept LPI) y anti interferencia intencional (antijam AJ) que es como se les ha denominado dadas las características que presentan.

Con los cambios ocurridos en la política de los Estados Unidos de América en donde el Departamento de Defensa (DOD) ha reducido el ímpetu en el desarrollo y adquisición de este tipo de tecnología para los propósitos originales, se han empezado a implementar sistemas comerciales basados en esta tecnología, particularmente en el área de las comunicaciones móviles celulares.

Este cambio del ambiente militar al comercial ha demostrado que los conceptos básicos que hacen la técnica de espectro esparcido tan útil en lo militar pueden ser también usados y aprovechados para fines prácticos y con fines no bélicos.

CDMA fue incorporada al mercado por Qualcomm (durante la década de los 80's) como un método de acceso múltiple (IS-95) donde se proponía que un usuario tuviese acceso para transmitir en todo el ancho de banda de manera simultánea con otros usuarios lo cual era una capacidad de servicio mucho más elevada que las técnicas de acceso múltiple existentes en ese entonces que eran TDMA (Acceso Múltiple por División de Tiempo) y FDMA (Acceso Múltiple por División de Frecuencia). Esto basado en la teoría de la utilización de códigos para identificar a cada usuario y así ofrecer la separabilidad de servicios.

No obstante, por esa época los sistemas CDMA no estaban del todo probados en cuanto a desempeño con respecto a las otras técnicas de acceso múltiple TDMA y FDMA. No fue sino a raíz de los estudios realizados por el Dr. Andrew Viterbi, investigador de la UCLA en E.U.A. Quien realizó una amplia y directa comparación entre CDMA con relación a TDMA y FDMA acerca de la capacidad de dicha técnica en aplicaciones satelitales.

Demostró que la capacidad de CDMA tan solo era limitada por la interferencia a diferencia de las TDMA y FDMA en los cuales su principal limitación era el ancho de banda, por consiguiente una reducción en la interferencia se traducía en un incremento en la capacidad de CDMA, interferencia que se reduce mediante la utilización de secuencias pseudo aleatorias las cuales serán tratadas mas a fondo en el capítulo 1.3.

Además de que las otras técnicas no están posibilitadas para hacer un reuso del canal, lo cual es una característica principal de CDMA que si puede reutilizar el mismo ancho de banda para todas las células (hablando de telefonía celular) aumentando con esto la capacidad del sistema (cerca de 20 en comparación con TDMA y entre 4 y 6 con respecto a FDMA), esto de acuerdo a lo concluido por el Dr. Viterbi.

### ¿QUÉ ES CDMA?

CDMA es una técnica de espectro esparcido (Spread Spectrum SS) que en lugar de utilizar ranuras de tiempo (TDMA) o frecuencias (FDMA) como lo hacen las técnicas tradicionales, esta emplea códigos para transmitir y distinguir de entre múltiples usuarios, que por tanto, están posibilitados para utilizar el mismo ancho de banda y la misma frecuencia y además transmitir durante el tiempo que estos deseen sin causar interferencia con los demás usuarios.

Literalmente un sistema de espectro esparcido es aquel en el cual la señal transmitida se esparce sobre un ancho de banda amplio, mucho más amplio que el mínimo requerido para transmitir la información que esta siendo enviada.

Una señal de voz, por ejemplo, puede ser enviada en AM (amplitud modulada) en un ancho de banda de solo dos veces el ancho de banda de ella misma. Otras formas de modulación tales como FM con índice de modulación pequeño o AM de banda lateral única, permiten la transmisión de información en un ancho de banda comparable al ancho de banda de la misma información.

Un sistema de SS, toma una señal en banda base (digital), por ejemplo, un canal de voz con ancho de banda (BW) de solo unos cuantos KHz y la distribuye sobre un BW que puede ser de varios MHz. Esto se realiza al modular la señal de información con una señal codificada de banda amplia. Como en todos los sistemas de modulación, en este también se toma ventaja de la relación S/N (señal a ruido) para los procesos de modulación y demodulación, referida como ganancia de procesado.

Una forma de lograr una señal de SS es la codificación de una señal mensaje por una secuencia digital cuya razón de bit (bit rate) es mucho más alta que el ancho de banda de la señal de información. Tales sistemas son referidos como sistemas modulados en secuencia directa (Direct Sequence DS).

A la secuencia digital se le conoce de diferentes maneras: secuencia pseudo aleatoria, pseudo ruido (Pseudo Noise PN), secuencia de código, secuencia de máximos lineales o simplemente código.

En esencia las comunicaciones en espectro esparcido son [Dixon, 1984]: El arte de expandir el ancho de banda de una señal, transmitir la señal esparcida y recobrar la señal deseada, por el mapeo de la señal de espectro esparcido recibida dentro del ancho de banda original de la señal de información.

## ¿POR QUÉ UTILIZAR ESPECTRO ESPARCIDO?

Generalmente se desean de cualquier sistema de comunicaciones una serie de características como las que aquí se mencionan:

- Posibilidad de entregar la información libre de errores en un ambiente hostil y ruidoso.
- Proporcionar seguridad a la información transmitida.
- Hacer uso múltiple del canal de comunicación.
- Evitar la interferencia intencional.
- Aprovechar al máximo el ancho de banda.

Entre otras cosas.

Pero la gran realidad es que no cualquier sistema puede ofrecer lo anterior por esto un sistema en espectro esparcido es ideal para el tipo de aplicaciones que demanden condiciones de operación como las antes mencionadas.

Esta técnica permite tener un ocultamiento perfecto de la señal de importancia, debido a que:

1) El espectro de potencia de la señal se esparce sobre un ancho de banda muy grande, tal que, el nivel de la potencia del ruido sea mayor que el de nuestra señal, el comportamiento de una señal en espectro esparcido puede ser comparado con el Ruido Blanco Aditivo Gaussiano (Additive Gaussian White Noise). Por tanto la esta señal de información pasa como ruido para usuarios no deseados.

2) Se puede mantener la privacidad requerida debido a que la señal esta codificada, lo cual hace imposible su recuperación si el receptor no cuenta con la misma secuencia que realizo la codificación, esto entre otras cosas.

Entre las principales ventajas que la técnica de espectro esparcido (CDMA) presenta en relación con las otras técnicas de acceso como son TDMA y FDMA están:

- Incremento en la capacidad del canal.
- Incremento en la calidad de voz.
- Aumento en la privacidad y seguridad.
- Simplificación en la planificación de sistemas celulares (principal Aplicación).
- Reducción de llamadas perdidas por fallos en el traspaso.
- Coexistencias con las tecnologías ya existentes.

En las siguientes figuras (1 y 2 ) se puede ver un sistema básico de comunicaciones CDMA en secuencia directa (DS-CDMA), Tx-Rx.

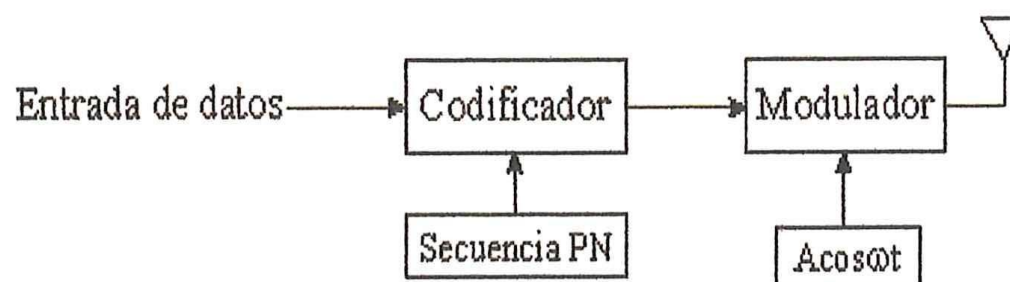


Figura 1.- Transmisor de DS-CDMA

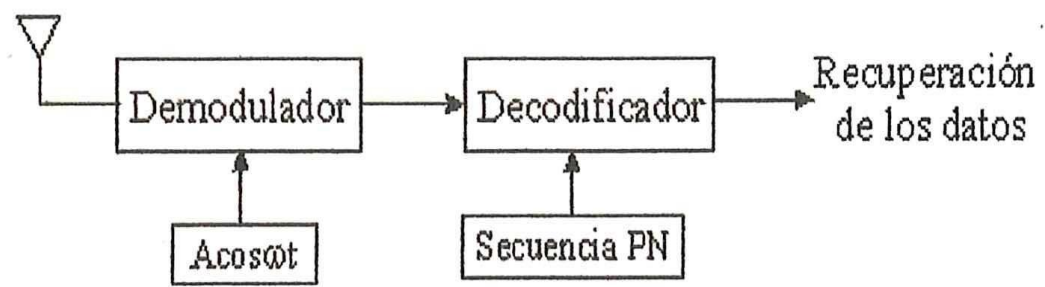


Figura 2.- Receptor DS-SS

**BIBLIOGRAFÍA:**

- Jerry D. Gibson (Editor in chief), " **The Communication Handbook** " CRC Press, IEEE press ISBN 0-8493-8349-8 (TK 5105; C65) Capitulo 16 "Spread spectrum Communications"
- Robert C. Dixon, "**Spread Spectrum System with Comercial Aplications**" Wiley-Interscience Publication, Third Edition , ISBN 0-471-59342-7
- **Dr. David H. Covarrubias Rosales** Investigador en el área de telecomunicaciones en el Centro de Investigación Científica y Educación Superior de Ensenada (CICESE) "Notas de clase del curso de la materia Comunicaciones Inalámbricas como parte del curso de Maestría en Telecomunicaciones en CICESE"
- [www.ss-mag.com](http://www.ss-mag.com) (spread spectrum scene)

## 1.1 EL TRANSMISOR

---

Como ya se menciona se propone realizar un enlace de comunicaciones en espectro esparcido entre dos computadoras mediante el puerto serie esto con la finalidad de obtener un canal o medio de comunicación seguro y privado.

La idea de manejar la técnica de espectro esparcido es para lograr que nuestra información viaje de manera segura a través del espacio libre ya que como se vera mas adelante una señal de este tipo puede pasar desapercibida debido a que presenta un comportamiento muy similar al ruido. Además de poseer una serie de características muy convenientes mismas que trataremos de aprovechar.

### **Especificaciones para el transmisor:**

- Se manejara una velocidad de transmisión máxima de 19.2 kbps
- Se codificara la señal de información con una secuencia de 7chips
- Se realizara una codificación de línea del tipo Manchester esto para efectos de sincronía entre los sistemas de transmisión-recepción.
- Se empleara una modulación digital del tipo ASK para acondicionar la señal antes de su transmisión por el espacio libre.
- La etapa de potencia para el enlace inalámbrico se omitirá en este trabajo ya que el diseño de un amplificador de potencia para espectro esparcido seria tema de otro proyecto debido a que este requiere de un diseño optimo.

Como en la mayoría de los sistemas de comunicaciones digitales el mayor grado de complejidad se le cede al receptor y este caso no será la excepción ya que como veremos mas adelante el transmisor resulta un sistema relativamente simple no así el sistema de recepción el cual presenta un grado de complejidad mucho mayor al del transmisor por diversas circunstancias que se verán mas adelante durante el desarrollo de este trabajo.

La siguiente figura (1.1.1) muestra un diagrama a bloques del sistema transmisor propuesto.

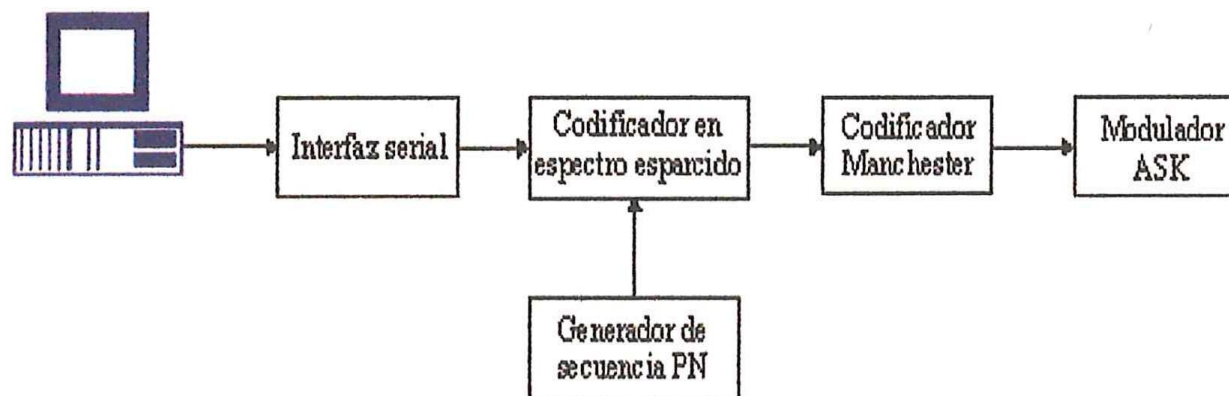


Figura 1.1.1.- Diagrama a bloques del transmisor

En los siguientes capítulos se analizaran profundamente todos y cada uno de los bloques además se incluirá una sección introductoria en cada capítulo para justificar la utilización de tal o cual bloque además de facilitar el entendimiento de la técnica o el proceso que se emplee en dicho bloque.

## 1.2 INTERFAZ SERIAL RS232

---

### INTRODUCCIÓN

El puerto serial presenta un grado de complejidad mayor que el puerto paralelo. En la mayoría de los casos, cualquier dispositivo que sea conectado al puerto serie tendrá que convertir la transmisión serial a paralelo para poder utilizarla. Aun así el puerto serie presenta una serie de características que lo hacen mas eficiente.

Los dispositivos que emplean la comunicación serial están divididos en dos categorías. Estas son DCE (Equipos de Comunicación de Datos) y DTE (Equipo de Terminal de Datos), entre los equipos de comunicaciones de datos están los módems y dentro de la segunda categoría tenemos a las computadoras o terminales.

Las especificaciones eléctricas para comunicaciones seriales están contenidas en el estándar conocido como RS232C de la EIA (Asociación de la Industria Electrónica), en la cual se contemplan varios parámetros entre los cuales están los siguientes:

1. Un "espacio" (0 logico) estara entre los +3 y los +25 Volts.
2. Una "marca" (1 logico) estara entre los -3 y los -25 Volts.
3. La región entre los +3 y los -3 volts es indefinida.
4. El voltaje de un circuito abierto no deberá exceder los 25 volts (con referencia a tierra).
5. La corriente de corto circuito no deberá exceder de 500mA, el manejador deberá estar posibilitado para soportar esta corriente sin sufrir ningún daño.

El listado anterior no es una lista completa de especificaciones del estándar RS232C de la EIA pero nos da una idea clara de lo que debemos esperar en el desarrollo del presente proyecto. A esta lista le faltan algunos detalles como capacitancia de línea, máximas velocidades de transmisión (Baud Rates), etc. Sin embargo, resulta interesante hacer notar que dentro del estándar RS232C especifica un baud rate máximo de 20 Kbps (kilobits por segundo), que aunque resulta bastante lento para la tecnología y los estándares actuales es suficiente para el desarrollo del presente proyecto. Las revisiones de los estándares EIA-232D y EIA232E fueron realizadas en 1987 y 1991 respectivamente.

El puerto serie se encuentra disponible en dos "medidas", existe el conector de 25 pines del tipo D (DB25) y el conector de 9 pines también del tipo D (DB9). Ambos conectores de configuración macho, están incluidos en la parte posterior de las PC's, y además requieren de un conector tipo hembra para el dispositivo que se desea conectar a la PC. La siguiente tabla contiene la configuración de pines para los dos tipos de conectores (DB9 y DB25).

<b>DB25</b>	<b>DB9</b>	<b>Abreviación</b>	<b>Nombre completo</b>
Pin 2	Pin 3	TD	Transmisión de dato
Pin 3	Pin 2	RD	Recepción de dato
Pin 4	Pin 7	RTS	Petición de envió
Pin 5	Pin 8	CTS	Limpia para enviar
Pin 6	Pin 6	DSR	Datos listos
Pin 7	Pin 5	SG	Señal a tierra
Pin 8	Pin 1	CD	Portadora detectada
Pin 20	Pin 4	DTR	Terminal de datos lista
Pin 22	Pin 9	RI	Ring indicador

Tabla 1.2.1. -Configuración de pines para los conectores DB25 y DB9

## DESARROLLO

Esta sección es la encargada de acondicionar la señal que sale de la computadora con la finalidad de que sea compatible con la circuitería que se maneja, como se vio anteriormente una señal serial tiene como niveles de voltaje hasta  $\pm 25V$  y nosotros requerimos bajar esos niveles a 0 y 5V, lo que sería pasar de un formato serial a un formato TTL.

Lo anterior se logra a través de un circuito comercial (MAX232) el cual cumple con el estándar RS232 antes mencionado. Este circuito realiza de manera interna la conversión de voltajes, para ello solo requiere de la simple adición de unos cuantos capacitores externos esto se puede ver en el diagrama esquemático del circuito mencionado (figura 1.2.1) que como se puede apreciar es realmente sencillo.

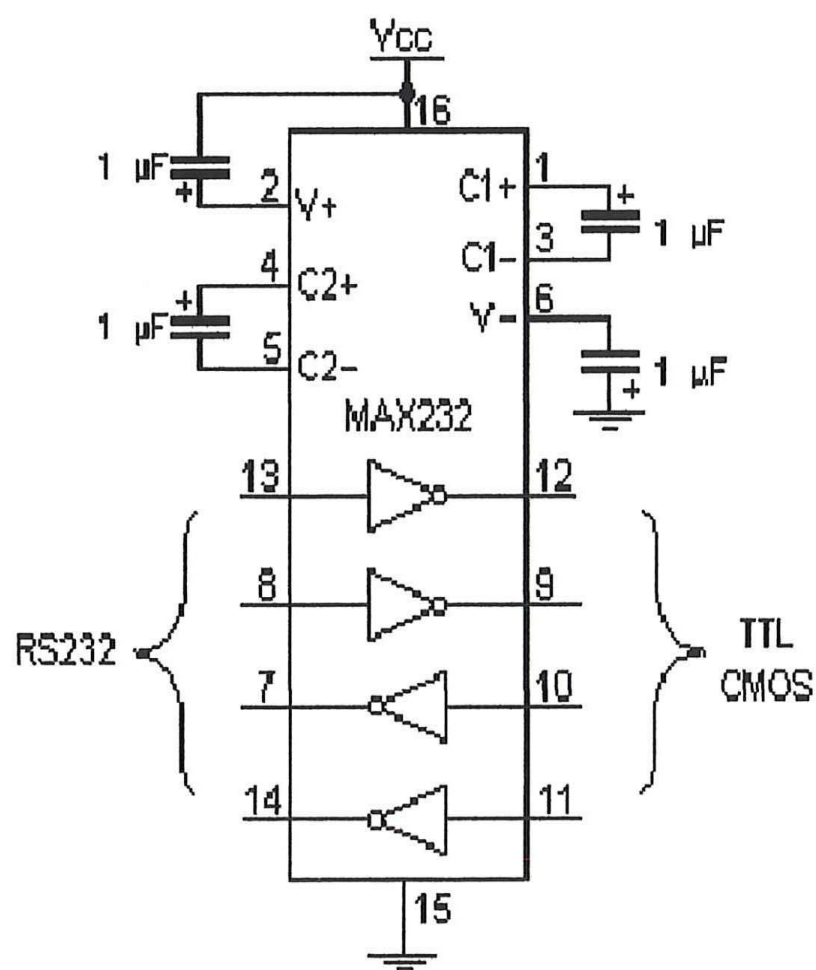


Figura 1.2.1. -Interfaz serial RS232

Como se mencionó en las especificaciones del sistema transmisor la velocidad máxima de transmisión será de 19.2 kbps y si hacemos referencia a las especificaciones del circuito (MAX232) encontramos que este puede soportar velocidades de transmisión hasta de 116 kbps por lo que nuestra velocidad esta dentro del rango de operación de este circuito y por lo tanto no nos debe presentar problema alguno.

Además del circuito antes mencionado se empleara un cable serial con conectores del tipo DB9 (hembra-macho) mismo que servirá de canal entre la computadora y nuestro circuito, cabe señalar que este cable debe cumplir ( y lo hace) con las especificaciones indicadas por el estándar RS232 en cuanto a la longitud del cable. De dicho cable solo emplearemos los pines 3 y 5 (transmisión y tierra respectivamente) para el transmisor y los pines 2 y 5 (Recepción y tierra respectivamente) para el receptor esto debido a que el sistema propuesto es un enlace del tipo simplex, es decir comunicación en una sola dirección (Tx→Rx)

La figura 1.2.2 nos muestra un diagrama a bloques de la interfaz serial donde podemos ver que la fuente de información es una computadora y dicha información es pasada a través de un circuito acondicionador para obtener la misma información (en cuanto a contenido) pero en un formato TTL.

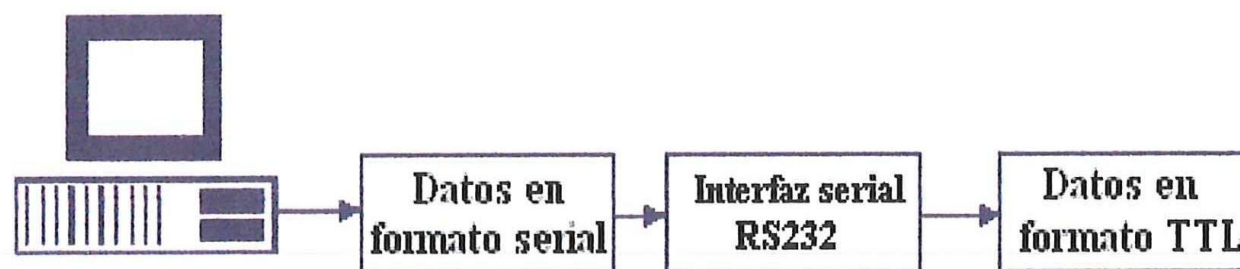


Figura 1.2.2.- Diagrama a bloques de la interfaz serial

En la figura 1.2.3 tenemos las formas de onda de las señales serial y TTL para ver la diferencia nos podemos guiar por el nivel de tierra.

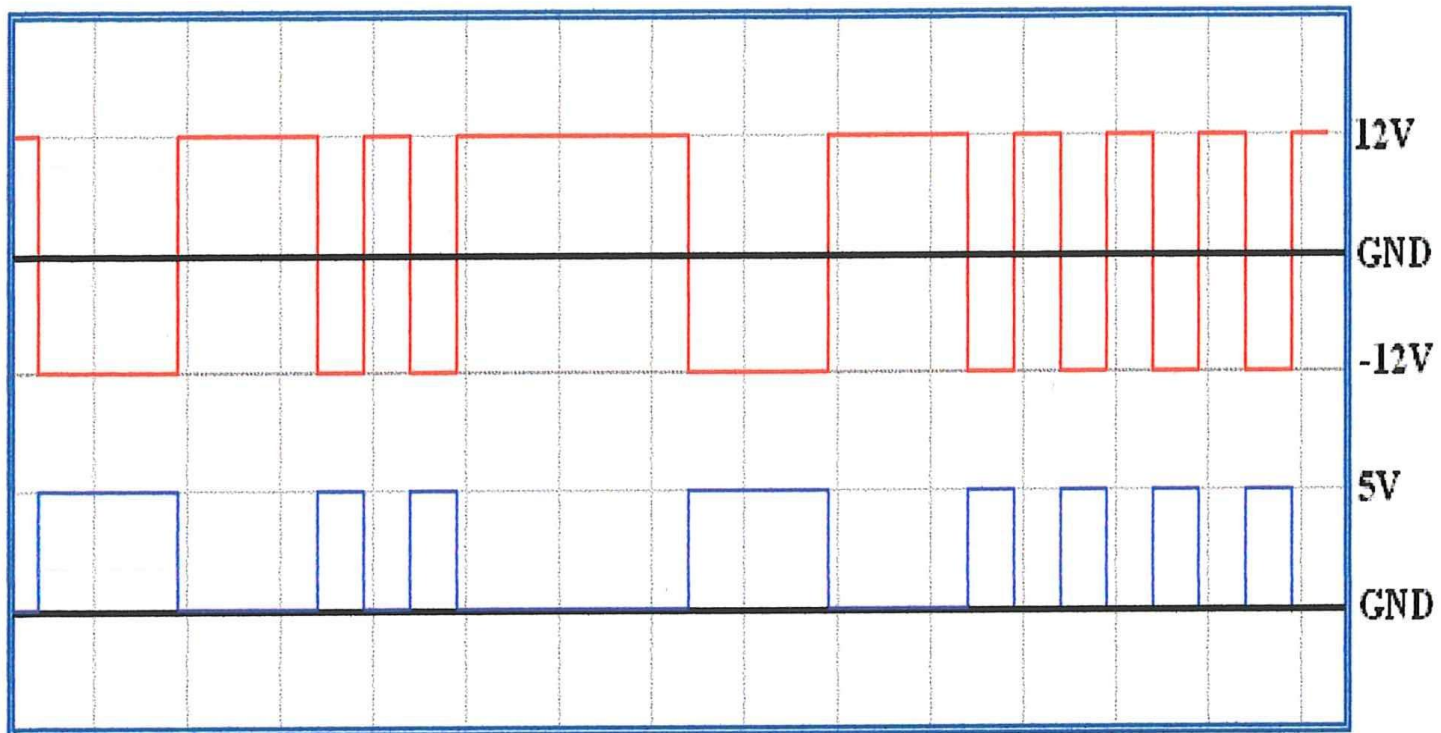


Figura 1.2.3.- Formas de onda de las señales serial y TTL

Esta grafica nos ayuda a visualizar lo comentado anteriormente en cuanto a los niveles de voltaje de las señales serial y TTL y aquí podemos apreciar que una señal serial utiliza un nivel de voltaje negativo para representar un 1 logico un nivel positivo para un nivel logico de 0 y lo contrario sucede con una señal TTL que emplea un nivel positivo (5 volts) para representar un 1 logico y 0 volts para un nivel logico de 0.

En la grafica 1.2.4 se presenta una conversión serie-TTL obtenida en el laboratorio en esta se puede ver que no difiere en nada en cuanto a los niveles de voltaje de las formas de onda presentadas anteriormente en la figura 1.2.3

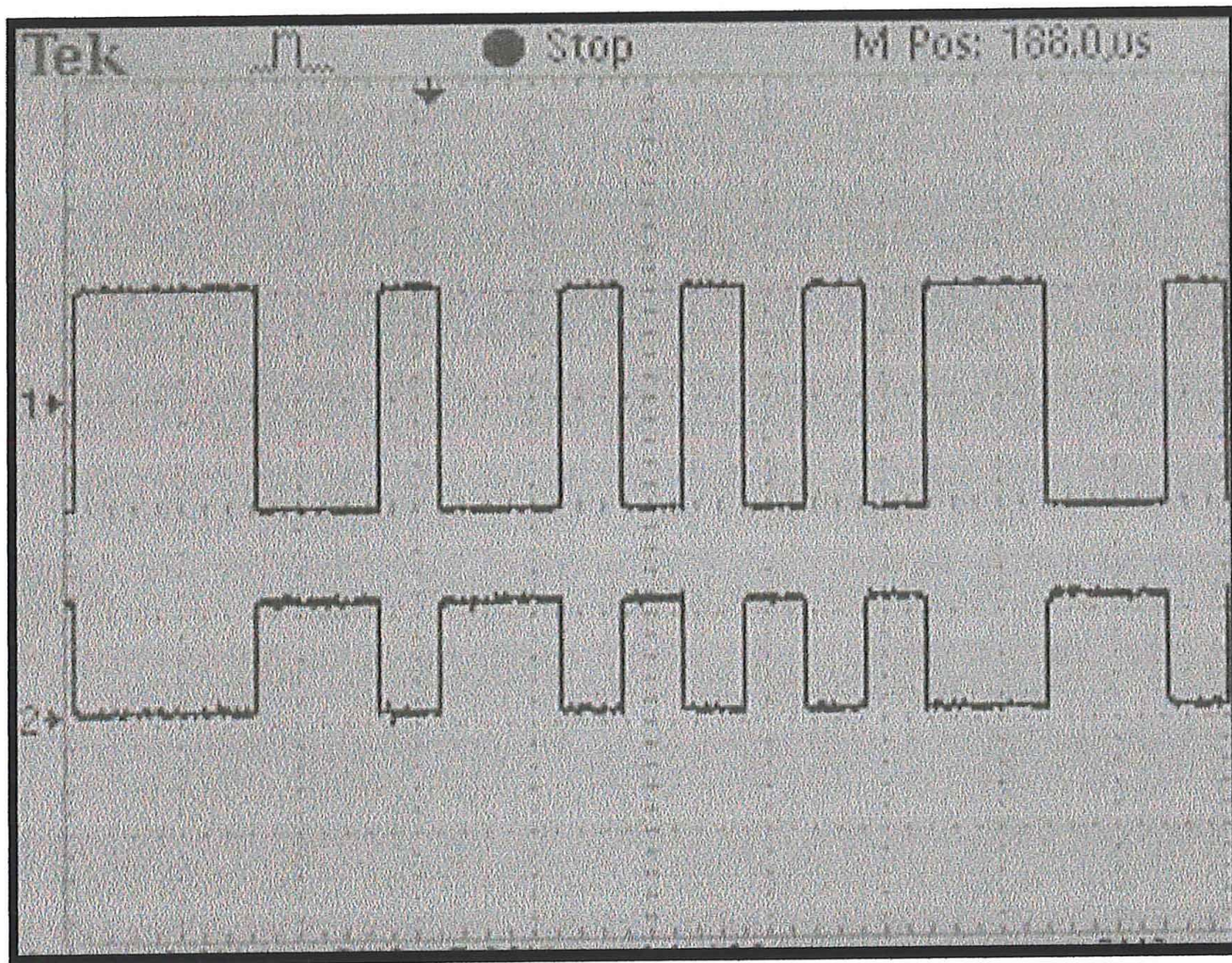


Figura 1.2.4 .-Formas de onda señales serial y TTL reales.

## BIBLIOGRAFÍA

- [www.senet.com.au/~cpeacock](http://www.senet.com.au/~cpeacock) (puerto serie)

## 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

---

### INTRODUCCIÓN

Existe cierta clase de secuencias determinísticas que son conocidas como secuencias de longitud máxima las cuales poseen muchas de las propiedades de una secuencia binaria aleatoria que requieren de una simple instrumentación. Una secuencia de longitud máxima es una secuencia cíclica generada por un registro de corrimiento de realimentación y tiene el periodo más largo posible por este método de generación. Un registro de corrimiento de grado  $m$  o de  $m$  pasos es un dispositivo que consta de  $m$  etapas consecutivas de memoria de 2 estados que se regulan por un solo mecanismo de tiempo (reloj). En cada impulso del mecanismo, el estado de cada etapa de memoria se corre hacia la siguiente etapa. Para evitar que el registro de corrimiento se vacíe al final de  $m$  pulsos de reloj, se realiza una función lógica algunos de los estados de las  $m$  etapas para generar un termino de realimentación, y este se aplica a la primera etapa de memoria del registro de corrimiento. La forma más importante de este registro de corrimiento de realimentación es el caso lineal en que la función de realimentación se obtiene mediante la utilización de sumadores modulo dos (función lógica XOR) para combinar las salidas de las diferentes etapas del registro de corrimiento. En la figura 1.3.1 podemos observar la implementación de una secuencia pseudo aleatoria realizada con un registro de corrimiento de 3 etapas, es decir  $m=3$ . Al representar los estados de las tres etapas de memoria como  $X^1$ ,  $X^2$  y  $X^3$ , se observa que la función de realimentación es la suma modulo dos (suma binaria) de  $X^1$  y  $X^3$ . Una secuencia de máxima longitud generada por un registro de corrimiento de realimentación que utiliza una función lineal de retroalimentación se llama secuencia de máximos lineales (también es conocida como pseudo ruido, ruido pseudo aleatorio, secuencia pseudo aleatoria etc.), dicha secuencia es siempre periódica, es decir se repite cada  $N$  bits, y su periodo de repetición esta definido por:

$$N=2^m-1$$

Donde  $m$  es el número de etapas o registros.

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

Suponiendo que las tres etapas del registro de corrimiento se encuentren con los estados iniciales 0, 0, 1, respectivamente, se tiene entonces que la secuencia de salida es 1001110 y que se repite con un periodo de 7 bits.

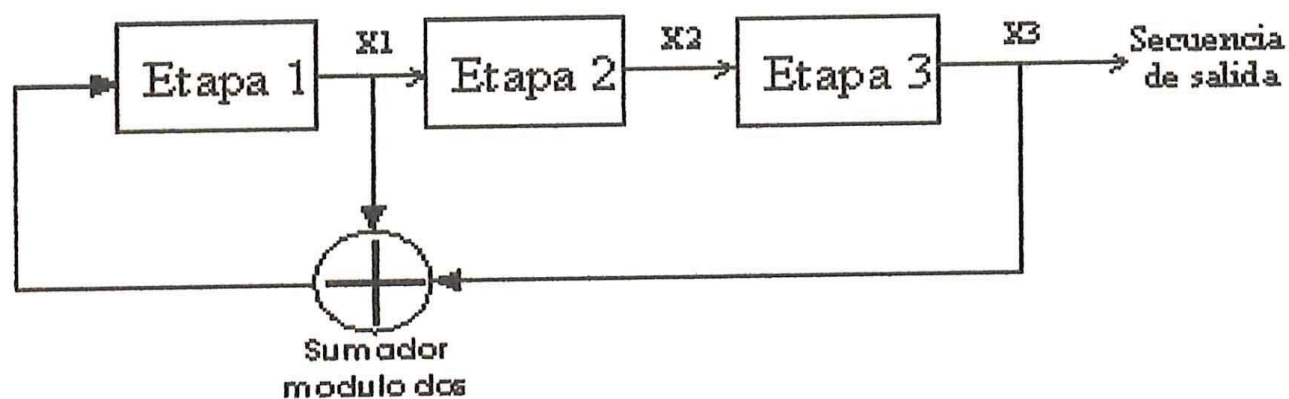


Figura 1.3.1. - Generador de secuencia pseudo aleatoria

Lo anterior se puede ver más fácilmente en la siguiente tabla:

CLK	Reg. 1	Reg. 2	Reg. 3	Reg. 1 + Reg. 3	Out
0	0	0	1	1	1
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	1	1
4	0	1	1	1	1
5	1	0	1	1	1
6	0	1	0	0	0
7	0	0	1	1	1
8	1	0	0	0	0
9	1	1	0	0	0
10	1	1	1	1	1
11	0	1	1	1	1
12	1	0	1	1	1
13	0	1	0	0	0

Tabla 1.3.1. - Generación de una secuencia a partir de ciertas condiciones iniciales

Aquí se puede ver claramente que la secuencia 1001110 se repite a partir del séptimo pulso de reloj.

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

Ahora tomaremos otras condiciones iniciales diremos entonces que estas son 1, 0 y 0 en cada registro respectivamente esto ejemplificara un pulso de inicio en el registro número 1.

CLK	Reg. 1	Reg. 2	Reg. 3	Reg. 1+ Reg. 3	Out
0	1	0	0	1	0
1	1	1	0	1	0
2	1	1	1	0	1
3	0	1	1	1	1
4	1	0	1	0	1
5	0	1	0	0	0
6	0	0	1	1	1
7	1	0	0	1	0
8	1	1	0	1	0
9	1	1	1	0	1
10	0	1	1	1	1
11	1	0	1	0	1
12	0	1	0	0	0
13	0	0	1	1	1

Tabla 1.3.2. - Generación de una secuencia a partir ciertas condiciones iniciales

Como se puede ver la secuencia se repite igual con el mismo periodo que el ejemplo anterior solo que esta vez la secuencia esta ordenada de manera diferente

Secuencia anterior: 1001110 Nueva secuencia: 0011101

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

Propiedades que debe cumplir una secuencia pseudo aleatoria para ser considerada como tal:

- **Propiedad de balance:** esto es que el numero de 1's en un periodo de repetición de la secuencia pseudo aleatoria no debe rebasar por mas de uno al numero de 0's.
- **Propiedad de auto correlación:** es el grado de correspondencia entre la secuencia pseudo aleatoria y cualquier replica recorrida en tiempo de la misma y es mejor si el numero de concordancias difiere del numero de desacuerdos por no más de uno.
- La suma modulo dos de la secuencia pseudo aleatoria con cualquier replica recorrida resultara en una replica de la misma secuencia con una fase de corrimiento diferente a cualquiera de las originales.

#### DESARROLLO:

Esta es la sección, tal vez, más importante del transmisor ya que de esta depende en gran manera el que se cumplan o no las características de un sistema de espectro esparcido en secuencia directa así como la seguridad que el sistema le proporcione a la información ya que esta secuencia pseudo aleatoria o PN será la encargada de codificar nuestra información en tantos bits cuan larga sea la trama de la secuencia.

Se ha escogido una secuencia de 7 bits con esto tendremos que cada bit de información se codificara en 7 bits, es aquí donde radica lo de espectro esparcido, ya que como se puede ver el "bit rate" de la señal codificada [SS(t)] es mucho mayor que la de la señal original (información) y por lo tanto su espectro es también más grande.

Lo anterior nos obliga a ajustar el periodo de repetición de nuestro código (PN) a exactamente el bit rate de la señal de información, entonces tomando como velocidad de transmisión 19.2 kbps tenemos que se va requerir de una frecuencia de reloj para el PN de 134.4 KHz esto es por que el código debe tener una velocidad 7 veces mayor que la información ( $19200 \times 7 = 134400$ ) con el fin de codificar 1 bit de datos con exactamente la longitud completa del código.

La forma de generar esta secuencia es mediante la implementación física de la siguiente ecuación generadora  $1 + X^1 + X^3$ , que como ya se menciona anteriormente la potencia indica la etapa que será realimentada mediante una combinación lineal como se podrá ver esta ecuación es la misma que se manejo para el ejemplo anterior por lo que su comprensión será de lo más sencilla

$$PN = 1 + X^1 + X^3$$

Ecuación generadora de la secuencia pseudo aleatoria

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

---

Dicha implementación se realiza con un registro de corrimiento, un sumador modulo dos (sumador binario) y las realimentaciones en la salida del registro 1 y el registro 3 y tomando esta ultima como nuestra secuencia pseudo aleatoria.

Cabe mencionar que el sistema generador de la secuencia PN esta formado por tres etapas con lo que conseguiremos una secuencia con 7 bits como máximo esto por la relación que se menciona anteriormente y que nos dice que la longitud de una secuencia PN estara dada por la relación  $2^m - 1$  y dado que tenemos una  $m=3$  es obvio que la longitud sea de 7 bits o “chips” que es como propiamente debe llamárseles. El diagrama esquemático de este sistema se puede ver en la figura 1.3.2.

Este circuito (figura 1.3.2) nos produce una secuencia como la de la figura 1.3.3, la cual fue obtenida por simulación, donde se puede ver que se repite cada 7 *chips*, (chip: un tiempo de bit de la secuencia pseudo aleatoria, la figura 1.3.3 ilustra gráficamente lo que es un chip) en dicha grafica podemos apreciar la secuencia PN y la señal de reloj la cual posee una frecuencia de 134.4 KHz (7 veces la velocidad de la información). Esto nos garantizara la buena codificación de nuestra información.

Además cabe hacer notar que el circuito cuenta con un sistema de “arranque” (por llamarlo de alguna manera) el cual proporcionara la condición inicial para el inicio de la secuencia dicha condicion es tener un 1 en la entrada del primer registro. Esta fue tratada a detalle en la pagina 12 y específicamente en la tabla 1.3.2. donde se consideraron las condiciones iniciales 1, 0 y 0 en la entrada de los registros 1, 2 y 3 respectivamente, para la generación de una secuencia pseudo aleatoria. Dicho sistema esta compuesto por un circuito RC y una compuerta XOR este proporcionara un 1 momentáneo que durara aproximadamente  $5RC$  (5 veces la constante de tiempo) al encender el sistema, dicha  $\tau$  estara dada por la siguiente relación:

$$\tau = RC \geq \frac{1}{f_{CLK}}$$

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

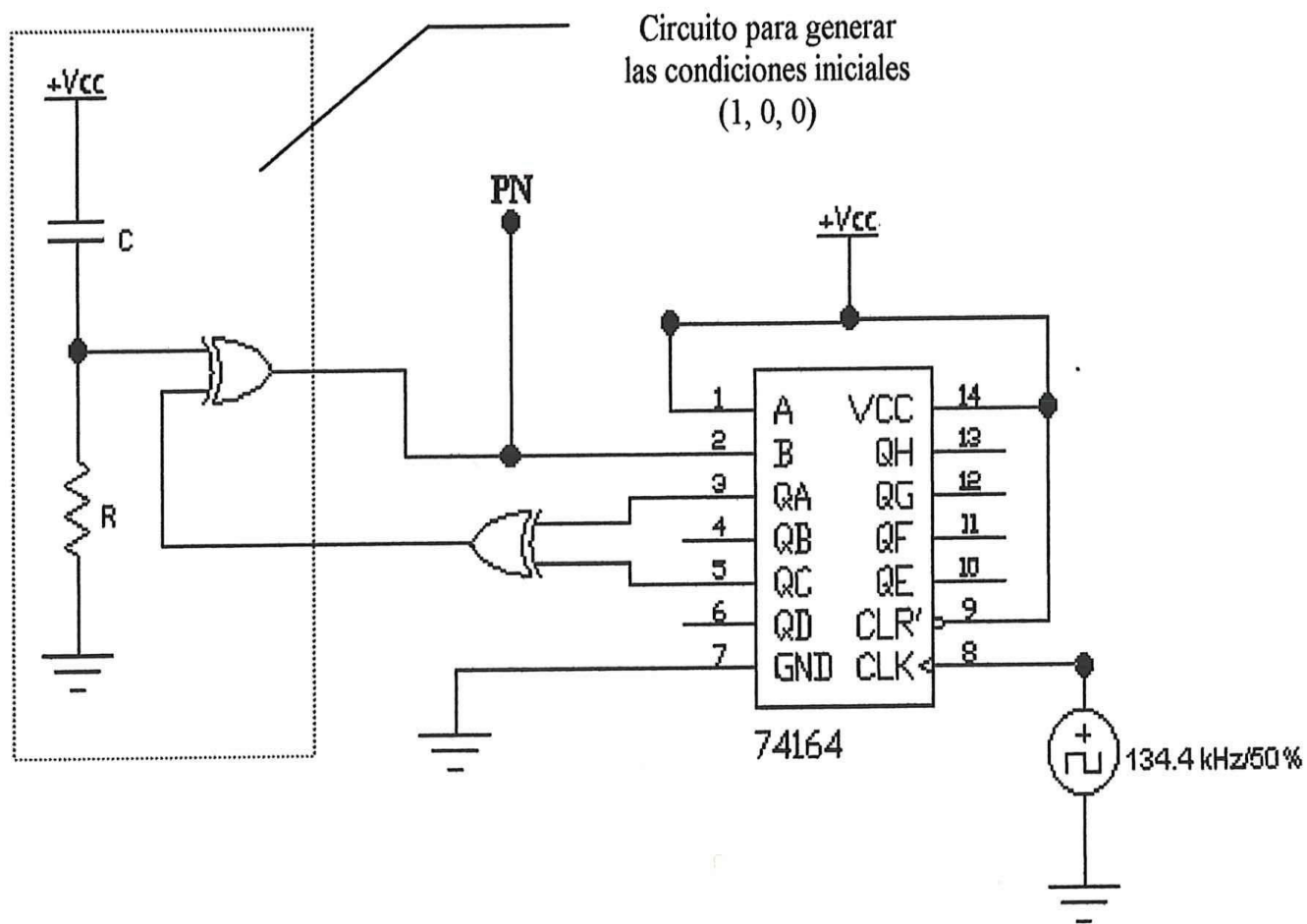


Figura 1.3.2. - Implementación física del generador de PN

$$\tau = \frac{1}{200k} = RC = R(500\text{ pf})$$

$$R = 10k\Omega$$

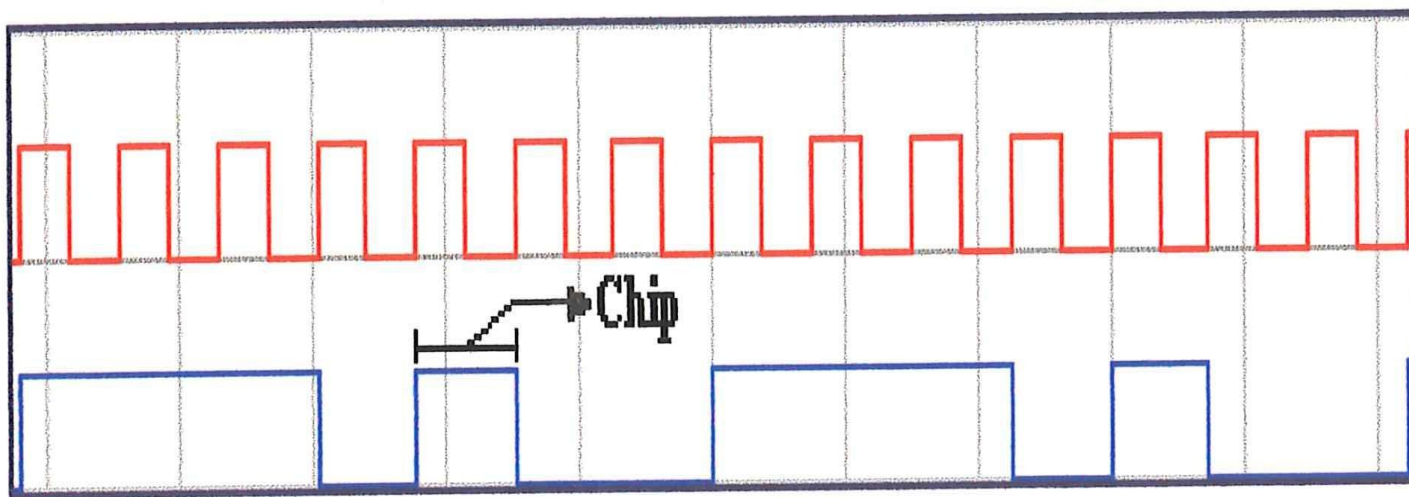


Figura 1.3.3. - Formas de onda de la señal reloj y PN simuladas

En esta figura (1.3.3) se puede ver como por cada periodo de reloj se genera un bit en la secuencia pseudo aleatoria mismo que es conocido como chip.

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

En la figura 1.3.4 se pueden ver las señales obtenidas en el laboratorio las cuales concuerdan perfectamente con nuestro calculo del ejemplo anterior en cuanto al periodo de repetición y el número de "chips" de la secuencia.

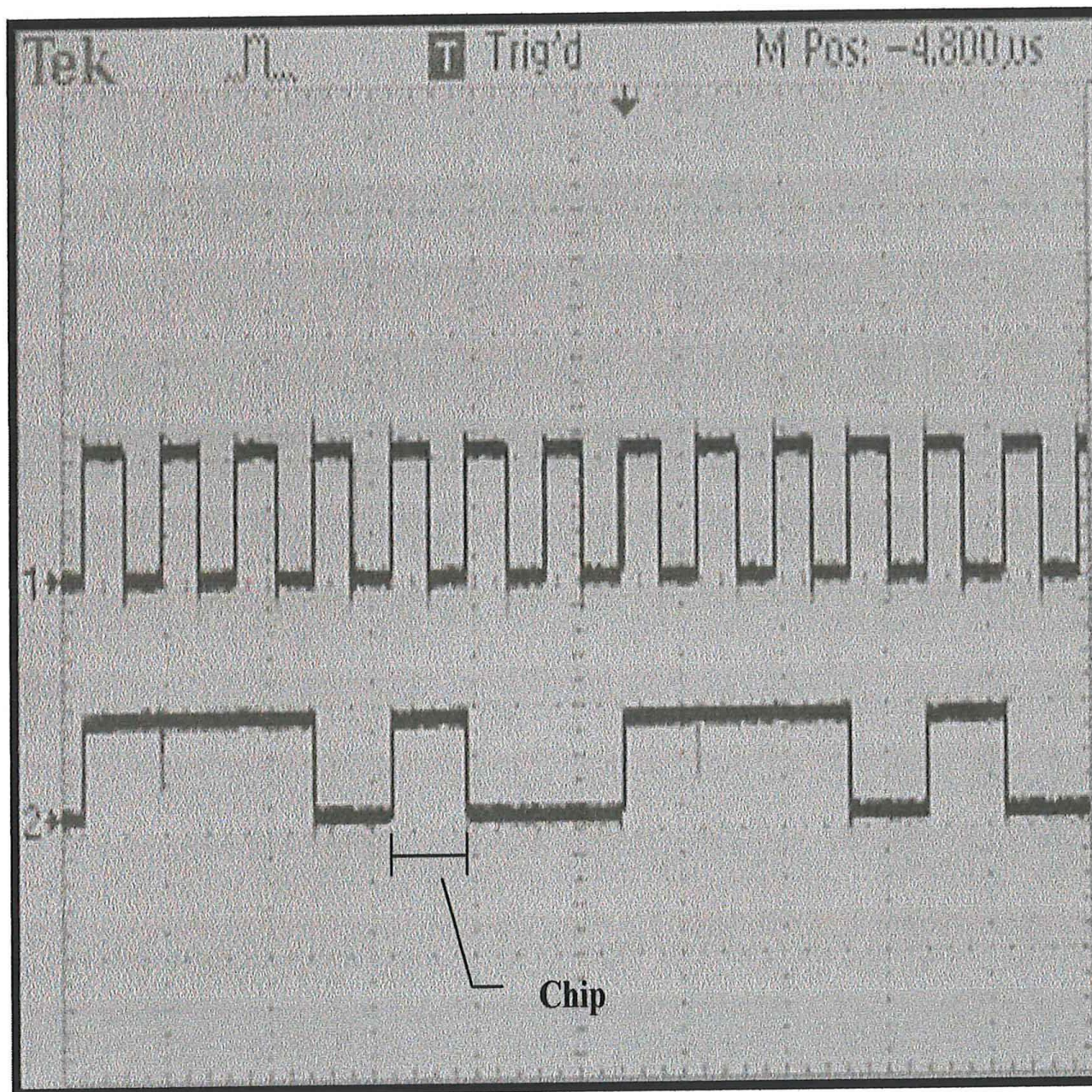


Figura 1.3.4. - Formas de onda de la señal de reloj y la secuencia de PN reales

Ahora se analizara la secuencia generada para comprobar que cumple con las condiciones básicas de una secuencia pseudo aleatoria y las cuales son indispensables para que un sistema en espectro esparcido trabaje adecuadamente.

**Análisis de la secuencia PN:**

**Propiedad de balance**

Secuencia generada: 1110100

Numero de 1's: 4

Numero de 0's: 3

Como se puede ver esta el número de 1's no rebasa por mas de uno al número de 0's con lo cual la propiedad de balance queda cubierta perfectamente.

**Propiedad de auto correlación**

Para comprobar esta propiedad se realizo una tabla donde se incluye la secuencia generada así como sus diferentes corrimientos y la diferencia entre concordancias y desacuerdos entre la secuencia original y sus distintos desplazamientos.

Donde C = concordancia y D = desacuerdo.

<b>Corrimiento</b>	<b>Códigos original y recorrido</b>	<b>Diferencia (C-D)</b>
0	1110100 1110100	$7C - 0D = 7$
1	1110100 0111010	$3C - 4D = -1$
2	1110100 0011101	$3C - 4D = -1$
3	1110100 1001110	$3C - 4D = -1$
4	1110100 0100111	$3C - 4D = -1$
5	1110100 1010011	$3C - 4D = -1$
6	1110100 1101001	$3C - 4D = -1$
7	1110100 1110100	$7C - 0D = 7$

Tabla 1.3.3. - Comparación entre el código original y cada uno de sus posibles desplazamientos

Como se puede ver de la tabla anterior la diferencia máxima entre el número de concordancias y el número de desacuerdos no es mayor a uno (hablando de valor absoluto) podemos concluir que la secuencia que se está utilizando cumple con la propiedad de auto correlación la cual indica que "una secuencia es mejor si la diferencia entre las concordancias y desacuerdos no es mayor a uno".

Por lo que por el momento nuestra secuencia cumple con las dos propiedades o restricciones básicas que una secuencia pseudo aleatoria debe cumplir para poder ser considerada como tal.

#### Propiedad de la suma modulo dos de la secuencia y una replica recorrida.

Para comprobar esta propiedad se realizó una simulación para observar gráficamente el cumplimiento de esta propiedad en la figura se puede ver la secuencia original y su replica recorrida y la señal resultante de la suma de ambas.

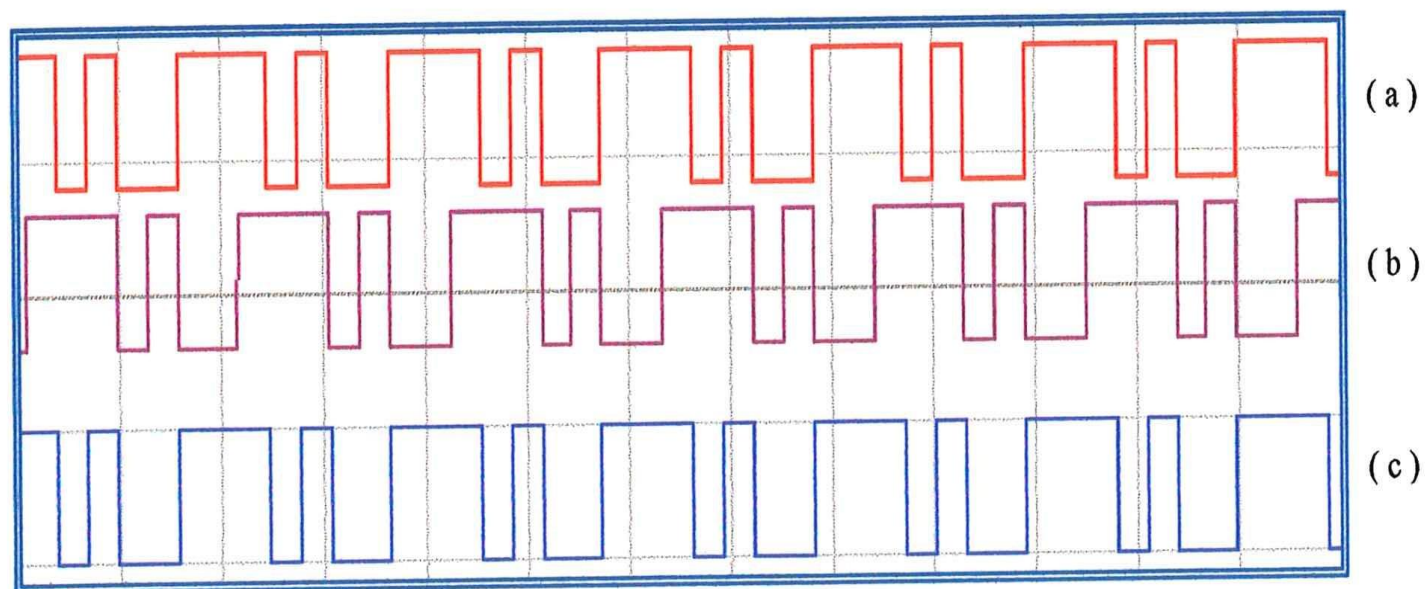


Figura 1.3 5. - Propiedad de la suma modulo dos

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

En la grafica se puede ver como la señal resultante ( c ) es una replica de la secuencia pseudo aleatoria solo que recorrida y además presenta un corrimiento de fase muy diferente a las dos secuencias iniciales ( a y b ) para visualizar esto de una manera numérica se presenta de la operación XOR entra la secuencia original y una replica de la misma pero recorrida.

$$\begin{array}{r} 1110100 \\ 0011101 \\ \hline 1101001 \end{array}$$

De aquí se puede ver que el resultado es una secuencia con las mismas características de la secuencia original y presenta un corrimiento distinto a la de las secuencias que intervienen en la suma, lo cual viene a corroborar y satisfacer la propiedad de la suma modulo dos para secuencias pseudo aleatorias.

Comprobado lo anterior podemos confiar plenamente en que nuestra secuencia PN es la apropiada para realizar la codificación en nuestro sistema CDMA en secuencia directa.

#### 1.3.1 RELOJ SINCRONIZADOR DE LA SECUENCIA PN

Como generador de la señal de reloj se utilizo, en un principio, un circuito generador de reloj basado en el LM555 empleando la configuración mostrada en la figura 1.3.6. Aplicando las ecuaciones de diseño proporcionadas por el fabricante se ajusto el diseño para una frecuencia de 134.4 KHz pero se desecho este circuito debido a que al inicializar el sistema este circuito presentaba cierta inestabilidad lo cual afectaba la sincronía entre el transmisor y el receptor por lo que se opto por la utilización de un VCO.

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

En la figura tenemos el diagrama esquemático del circuito de reloj implementado con un temporizador LM555

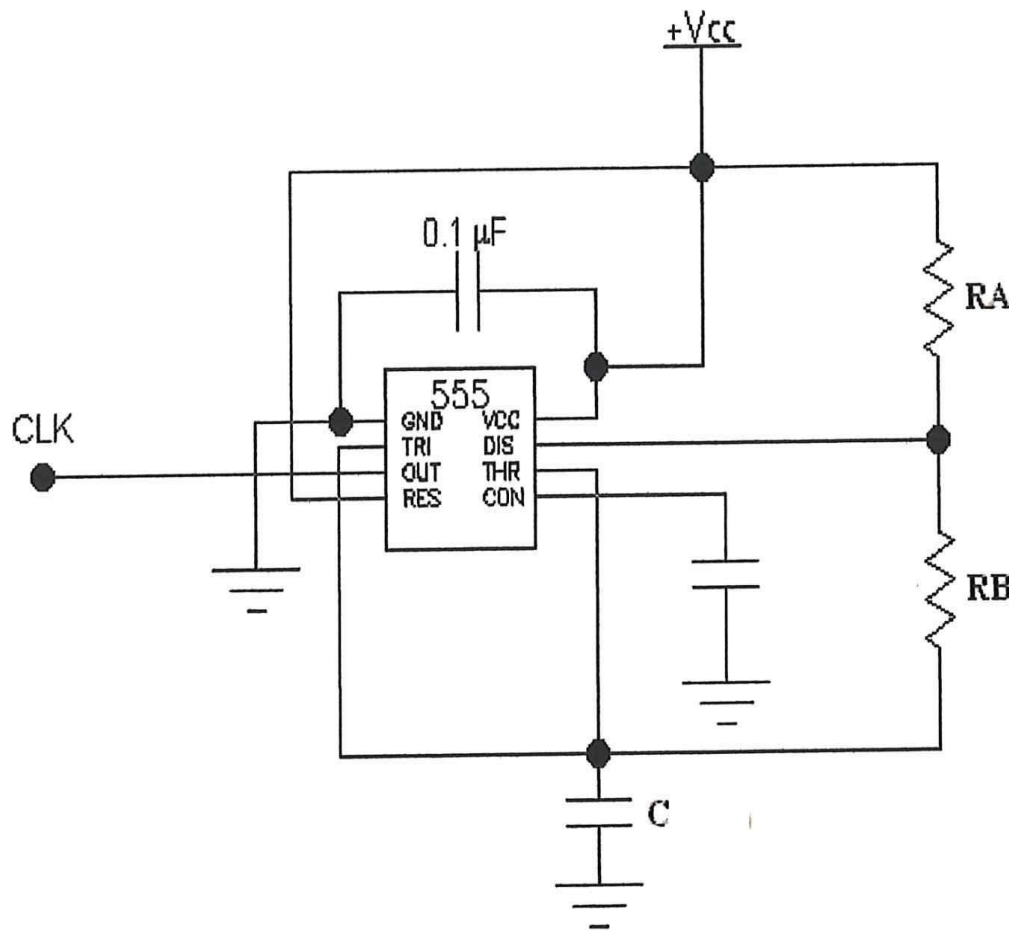


Figura 1.3.6. - Circuito generador de reloj con el LM555

Para el diseño del circuito de la figura se emplearon las ecuaciones de diseño proporcionadas por el fabricante (TEXAS INSTRUMENTS) donde tenemos que:

$$t_H = 0.693(R_A + R_B)C \dots \text{Ec. -1.3.1} \quad \text{periodo} = t_H + t_L = 0.693(R_A + 2R_B)C \dots \text{Ec. -1.3.3}$$

$$t_L = 0.693R_B C \dots \text{Ec. -1.3.2} \quad \text{frecuencia} = \frac{1.44}{(R_A + 2R_B)C} \dots \text{Ec. -1.3.4}$$

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

Como ya se menciono el circuito anterior no cumplio con las expectativas por lo que se recurrio a un VCO. Para ello se utilizo el circuito integrado CD4046 el cual es un PLL con un VCO independiente del sistema de amarre en la siguiente figura se tiene el diagrama esquemático del mismo así como las conexiones requeridas

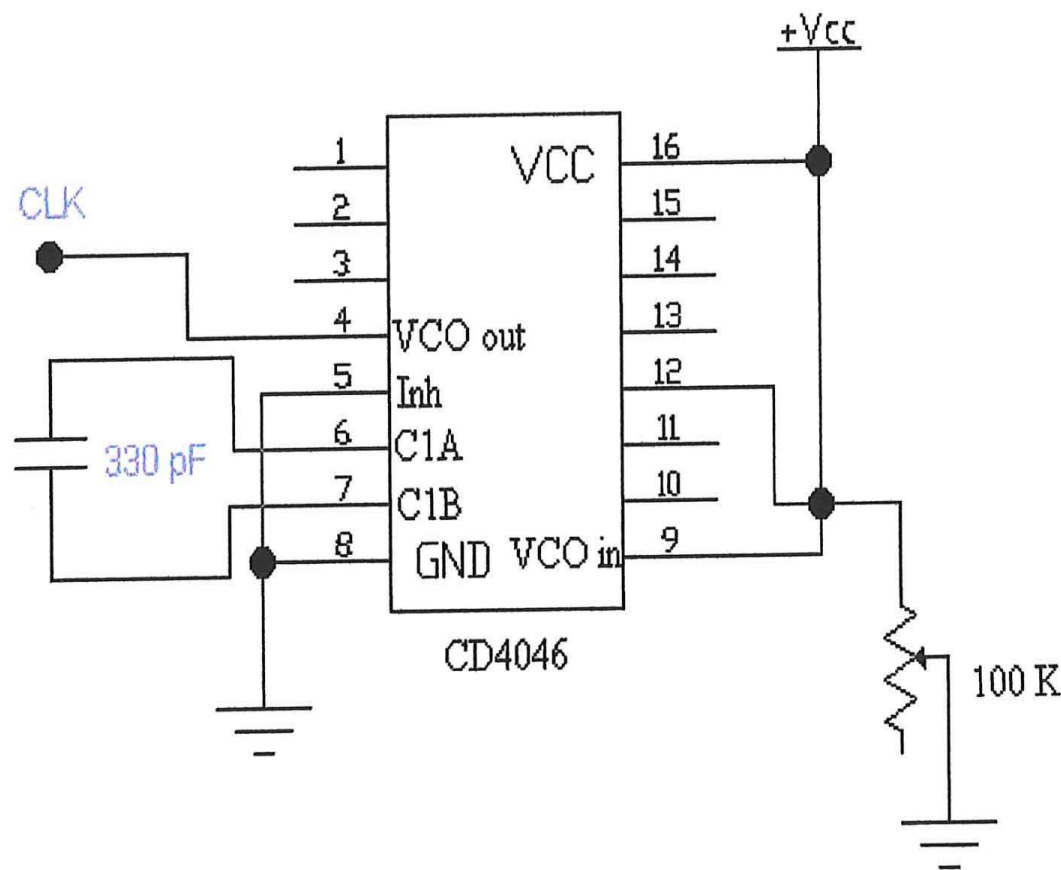


Figura 1.3.7. -Circuito generador de reloj con el CD4046 (VCO)

Para el ajuste de la frecuencia de carrera libre del VCO nos basamos en las ecuaciones de diseño proporcionadas por el fabricante (MOTOROLA) donde se nos proporcionan dos ecuaciones una para la frecuencia mínima, la cual se obtiene cuando la entrada al VCO esta a tierra ( $VCO_{in} = VDD = GND$ ), y otra para la frecuencia máxima que se da cuando la entrada del VCO esta a 5V ( $VCO_{in} = 5V$ )

$$f_{max} = \frac{1}{R_1(C_1 + 32 pF)} - f_{min} \dots \text{Ec.-1.35} \quad f_{min} = \frac{1}{R_2(C_1 + 32 pF)} \dots \text{Ec.- 1.3.6}$$

### 1.3 GENERADOR DE SECUENCIA PSEUDO ALEATORIA

Considerando  $R_1 = \infty$  se tiene que  $f_{max}=f_{min}$  y además considerando  $C_1=330$  pF y  $V_{iVCO} = 5V$ , entonces aplicando la ecuación 1.3.6 para la frecuencia mínima tenemos que  $R_1= 20.55$  K $\Omega$ , pero como siempre los valores de los dispositivos son susceptibles a cambios en su comportamiento y/o valores, se implemento el valor de  $R_2$  con un potenciómetro con la finalidad de realizar un ajuste fino obteniendo un buen resultado con esta implementación.

**BIBLIOGRAFÍA:**

- Haykin, Simons S., " **Sistemas de Comunicaciones**" 1931. Capitulo 5 "Procesos aleatorios".
- Robert C. Dixon, " **Spread Spectrum System with Comercial Aplications**" Wiley-Interscience Publication, Third Edition , , Capitulo 3 "Coding for Communciations and Raging"ISBN 0-471-59342-7.
- **Dr. David H. Covarrubias Rosales** Investigador en el área de telecomunicaciones en el Centro de Investigación Científica y Educación Superior de Ensenada (CICESE) "Notas de clase del curso de la materia Comunicaciones Inalámbricas como parte del curso de Maestría en Telecomunicaciones en CICESE".
- [www.ti.com](http://www.ti.com) ( Hojas de datos del LM555).
- [www.ss-mag.com](http://www.ss-mag.com) (Teoría de códigos).
- [www.national.com](http://www.national.com) (Hoja de datos del CD4066)

## 1.4 CODIFICACIÓN DE ESPECTRO ESPARCIDO

---

### INTRODUCCION

Existen dos tipos fundamentales de sistemas en espectro esparcido o CDMA:

1. **Secuencia directa:** (DS por sus siglas en ingles) en este sistema una señal es directamente modulada por un código o secuencia que posee un bit rate (chip rate) mucho más grande que el ancho de banda de la señal original.
2. **Frecuency Hoppers:** aquí la frecuencia de la portadora es recorrida en incrementos discretos de frecuencia en frecuencia con un patrón determinado por una secuencia o código.

### SECUENCIA DIRECTA (DIRECT SEQUENCE)

Una modulación en secuencia directa se logra a través de la combinación lineal entre una señal de información y una secuencia pseudo aleatoria, donde la secuencia PN tendrá una duración de pulso, o de bit,  $T_c$  llamado periodo de chip. Donde el periodo de chip es la duración de un pulso simple en una modulación en secuencia directa típicamente más pequeño que el periodo de bit de la información o bit rate. Y solo se hablara de chips después de que la información haya sido codificada antes de esto se hablara de bits.

En la figura se muestra gráficamente el periodo de bit y periodo de chip.

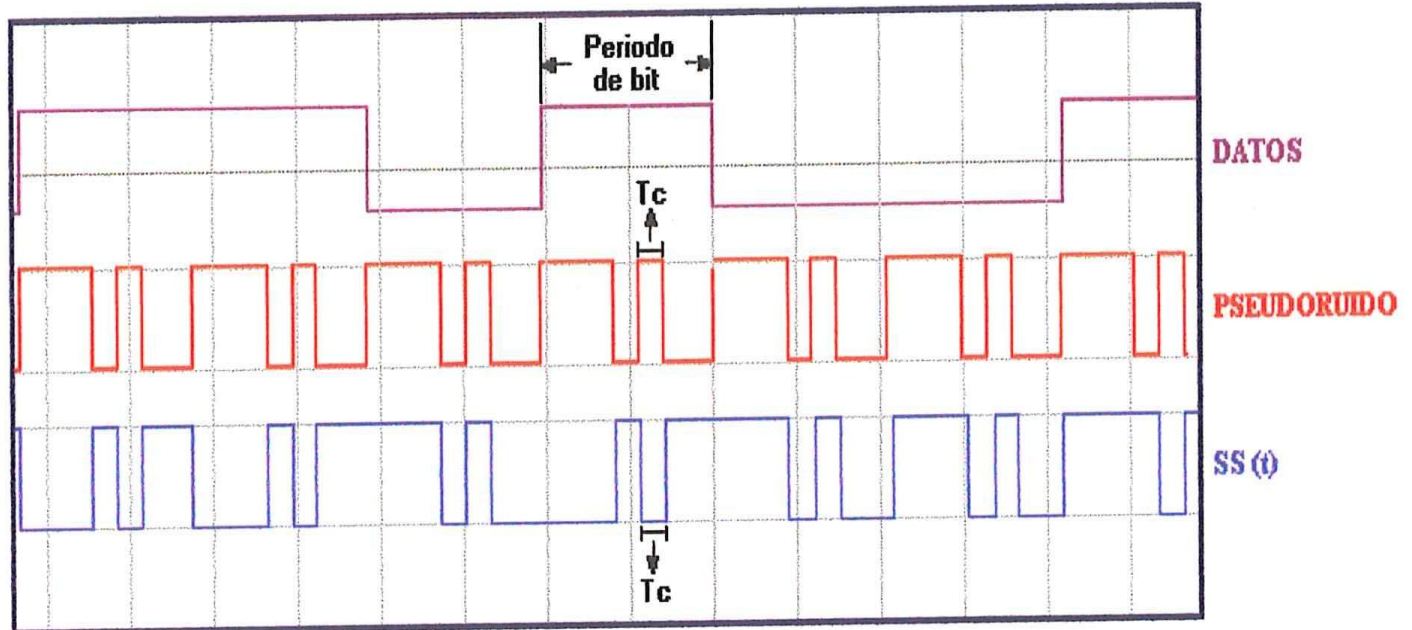


Figura 1.4.1.- Periodos de bit y de chip

En la siguiente figura se muestra un diagrama a bloques de un modulador o codificador en espectro esparcido en el cual se realiza la combinación de la señal de datos con la secuencia PN. Dicha combinación se realiza mediante la suma modulo dos (función lógica XOR) entre ambas señales.

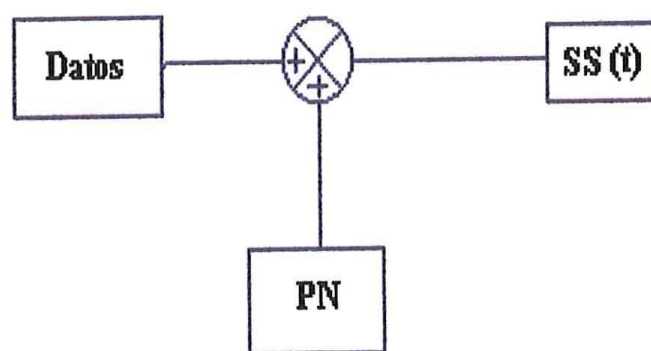


Figura 1.4.2. – Diagrama a bloques de codificador de espectro esparcido.

## 1.4 CODIFICACIÓN DE ESPECTRO ESPARCIDO

En la siguiente figura tenemos un diagrama que ilustra el efecto de la codificación en espectro esparcido y como esta ultima se confunde o se oculta bajo el nivel de ruido de ahí que se asocie el comportamiento de una señal en espectro esparcido con el comportamiento del ruido aditivo blanco Gaussiano (AWGN) el cual contiene todas las frecuencias además de presentar un comportamiento uniforme.

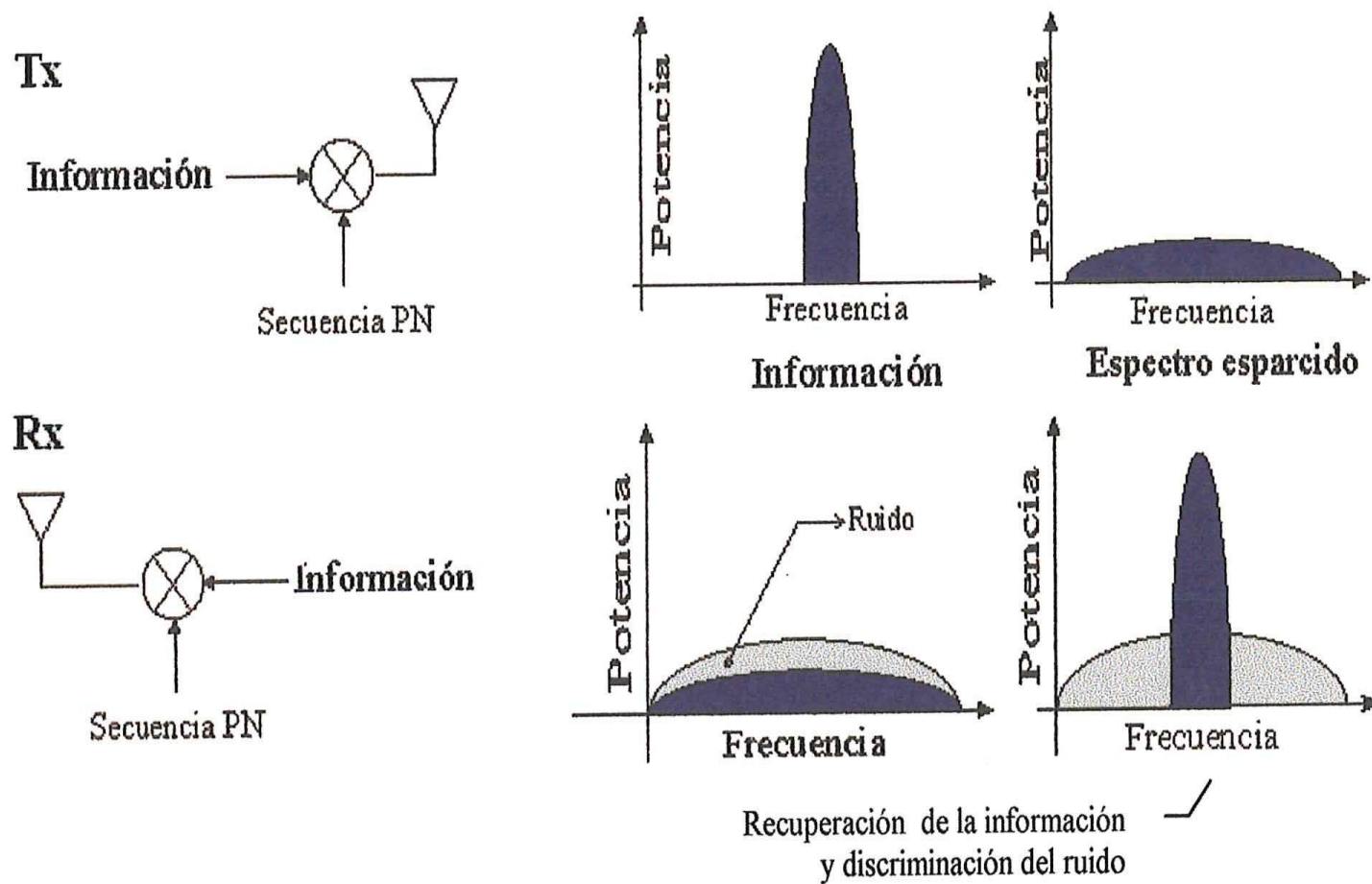


Figura 1.4.3. - Efecto de la codificación en espectro esparcido.

Aquí cabe señalar el hecho de que entre mayor sea la secuencia en cuando a numero de chips que posee la trama así como a mayor periodo de bit de la secuencia mayor será el grado de esparcimiento y obviamente menor el nivel de potencia que presente con respecto al ruido.

## DESARROLLO

Sin duda alguna este bloque en conjunto con el anterior son la parte medular de un sistema en espectro esparcido debido a que de estos depende en gran manera la seguridad y eficiencia del enlace de comunicaciones, lo anterior en función no nada mas de la codificación sino más bien del tipo de secuencia que se emplee para realizar la codificación que como se menciona en el capítulo anterior esta debe cumplir con una serie de características para ser, si bien, aunque no en un 100% eficiente si en un porcentaje elevado que pueda ser considerado como bueno para el enlace.

En la siguiente figura (1.4.4) se presenta un diagrama bloques y un diagrama esquemático del bloque propuesto como codificador en espectro esparcido en el cual se emplea una compuerta XOR para realizar la modulación entre la señal de datos y nuestra secuencia pseudo aleatoria (PN).

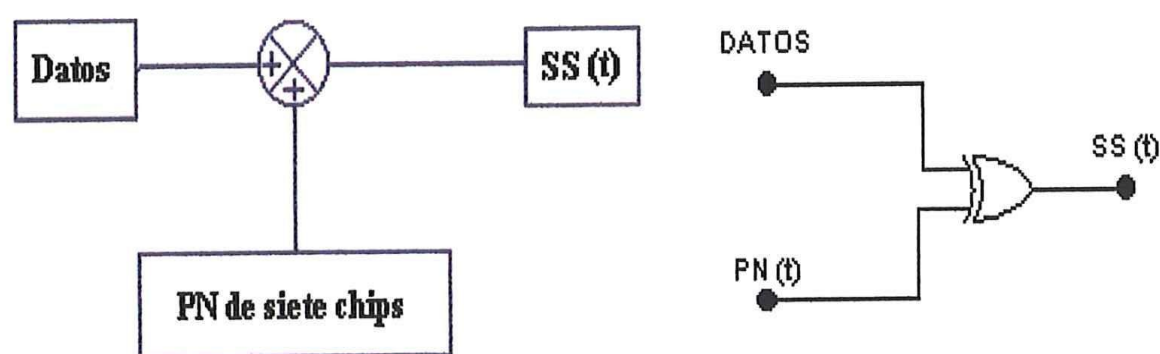


Figura 1.4.4. - Codificador de espectro esparcido.

En la figura 1.4.5 se muestra las formas de onda obtenidas mediante simulación de una codificación en espectro esparcido donde se puede ver como un bit de datos es codificado en 7 chips, es decir, después de la codificación un bit de datos se representa con 7 chips que es el termino correcto ya que como se menciono en paginas anteriores antes de la codificación se manejan bits y una vez realizada esta se habla de chips.

Por lo que sí nuestros datos poseen un ancho de banda de  $BW=1/t_b = 19.2$  KHz y la secuencia pseudo aleatoria tiene un periodo de chip  $t_c=7.440$   $\mu$ seg ( el cual esta ajustado para que la secuencia codifique en su totalidad un bit de datos a la vez) entonces obtenemos como resultado que los datos ahora en espectro esparcido ocuparan un ancho de banda mayor el cual esta dado por la relación  $BW=1/t_c$  de donde tenemos que  $BW=134.4$  KHz.

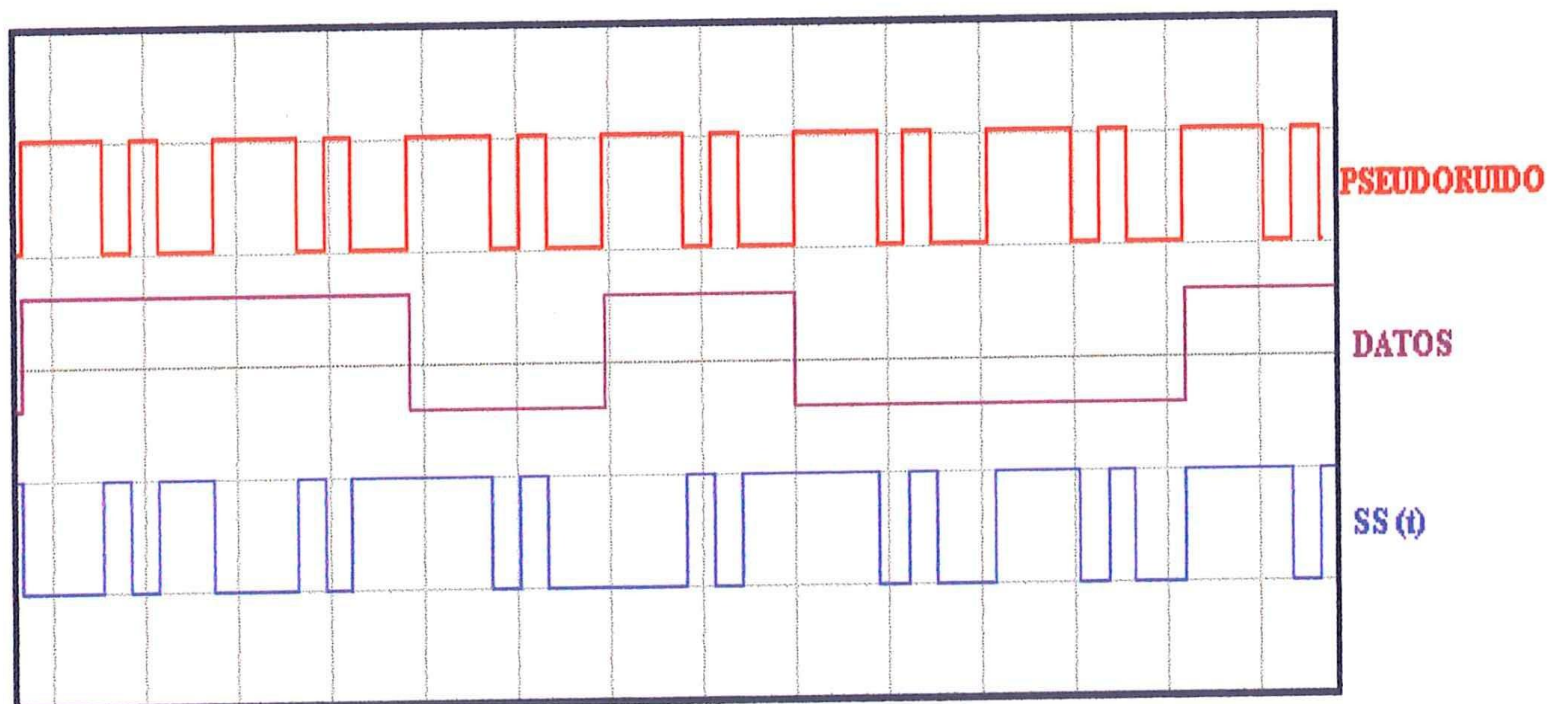


Figura 1.4.5. - Codificación de los datos por la secuencia de PN (simulación).

En la siguiente figura (1.4.6) se muestra una codificación en espectro esparcido de una serie de datos, la cual fue obtenida mediante nuestro codificador implementado aquí se puede ver (aunque no exactamente igual a lo obtenido mediante la simulación) como se obtiene la codificación de un bit de datos con la longitud completa de la secuencia pseudo aleatoria lo cual cumple con el objetivo planteado en un inicio.

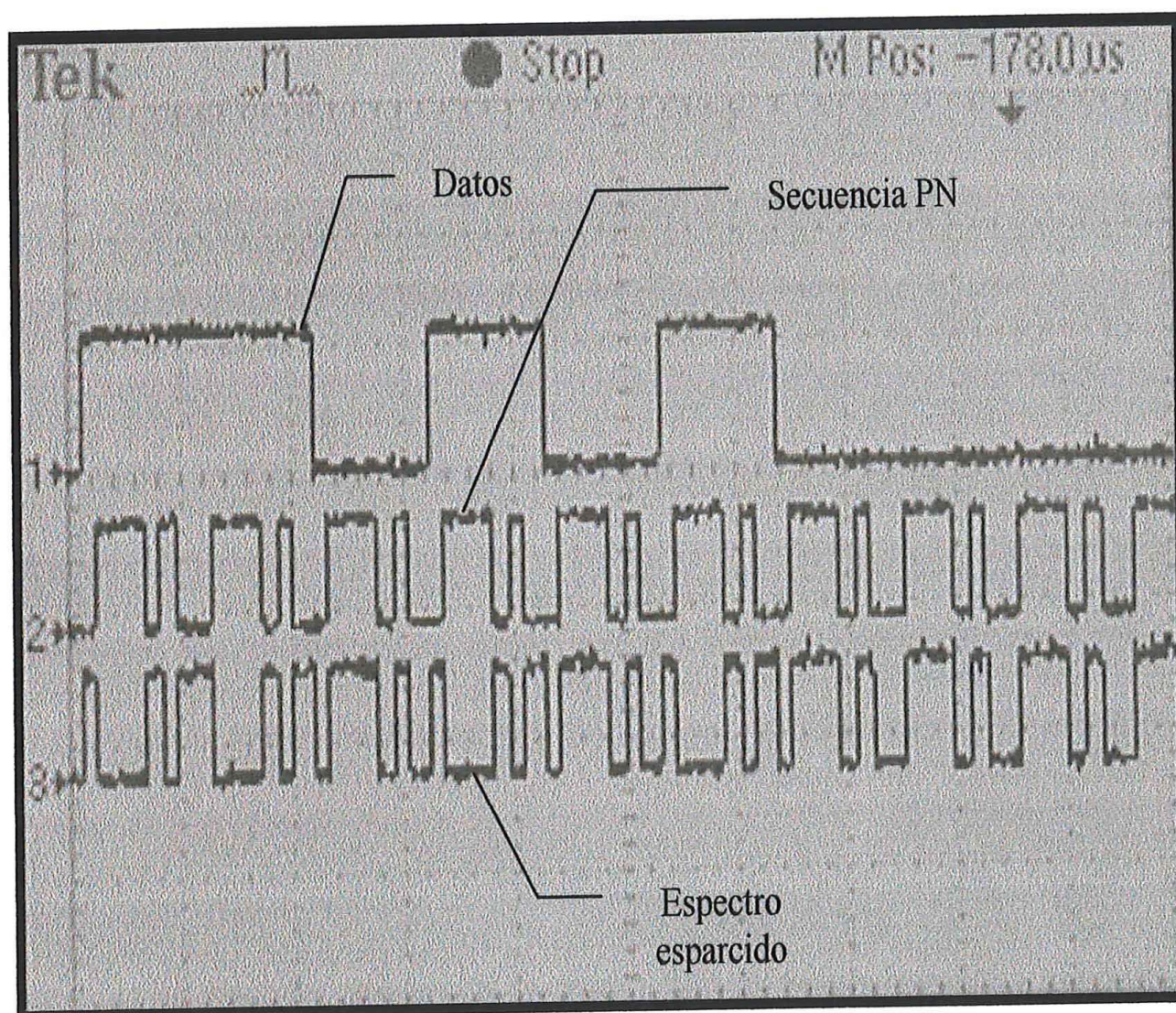


Figura 1.4.6. - Codificación de los datos por la secuencia PN.

Las siguientes dos figuras (1.4.7 y 1.4.8) muestran la comparación del espectro de la señal de datos previa a la codificación y después de la codificación. Esto para apreciar de manera mas clara el concepto de espectro esparcido. En ellas se puede observar como el nivel de la señal baja considerablemente después de la codificación esto debido a que la señal de información es “distribuida” o esparcida en el espectro con lo que la señal en espectro esparcido ocupa un ancho de banda mayor para contener la misma información.

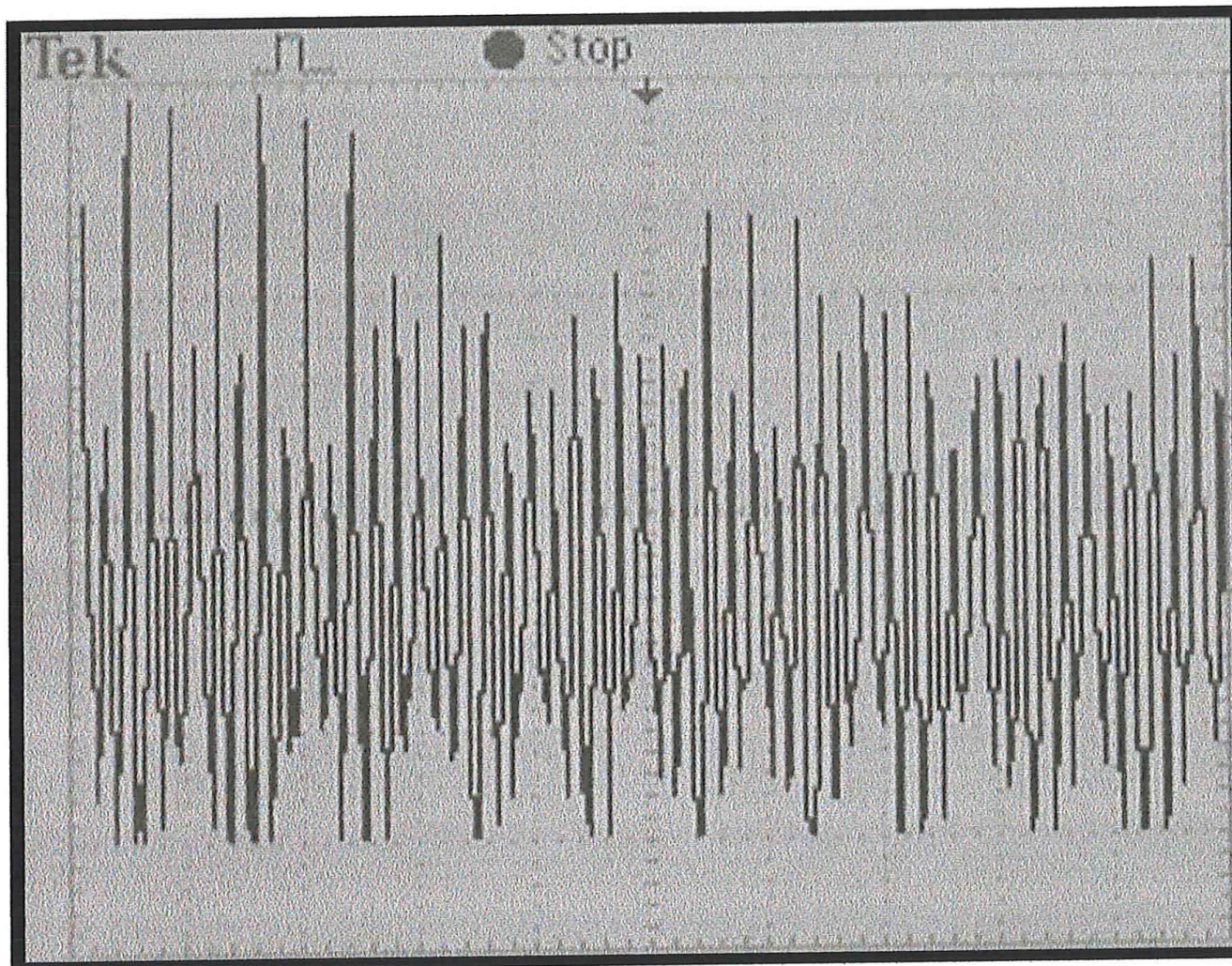


Figura 1.4.7. - FFT de la información en banda base.

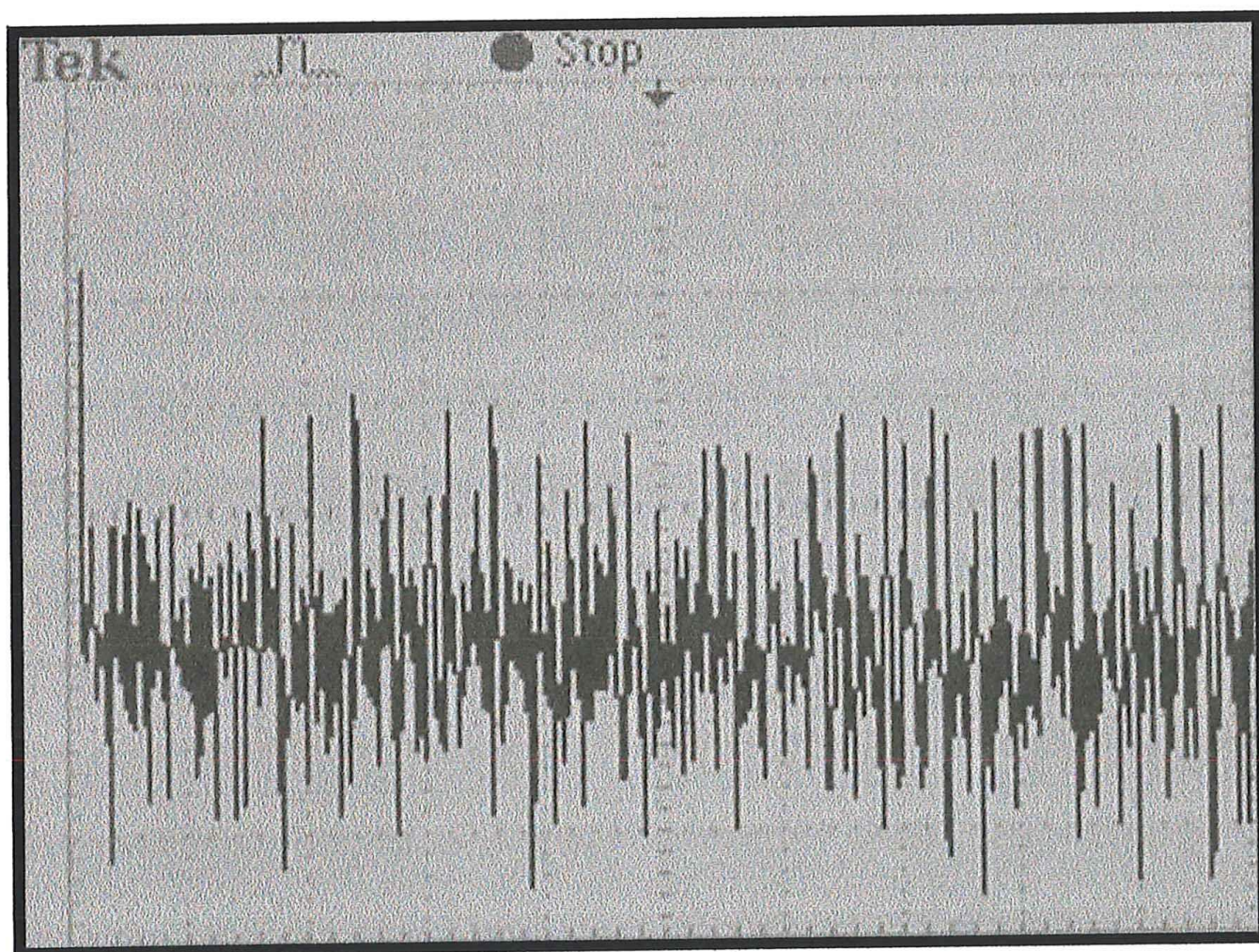


Figura 1.4.8. - Información codificada en espectro esparcido (SS).

## BIBLIOGRAFÍA

- Jerry D. Gibson (Editor in chief), " **The Communication Handbook** " CRC Press, IEEE press ISBN 0-8493-8349-8 (TK 5105; C65) Capitulo16 "Spread Spectrum Communications".
- Robert C. Dixon, "**Spread Spectrum System with Commercial Applications**" Wiley-Interscience Publication, Third Edition, ISBN 0-471-59342-7.
- Donald C. Kemdirim, B. Eng. "**Direct Sequence SSMA Communications with some IC realizations**" Ottawa-Carleton Institute for Electrical Engineering Faculty of Engineering Department of Electronics Carleton University August of 1988.
- **Dr. David H. Covarrubias Rosales** Investigador en el área de telecomunicaciones en el Centro de Investigación Científica y Educación Superior de Ensenada (CICESE) "Notas de clase del curso de la materia Comunicaciones Inalámbricas como parte del curso de Maestría en Telecomunicaciones en CICESE".

## 1.5 CODIFICACIÓN MANCHESTER

---

### INTRODUCCIÓN

La codificación Manchester es conocida como una codificación de línea dicho termino tiene su origen en la telefonía a raíz de la necesidad de transmitir información digital a través de la línea telefónica formada por cables de cobre, mas específicamente datos binarios digitales sobre una línea repetidora. Sin embargo el termino de código de línea se empezó a aplicar a cualquier canal o línea de transmisión.

Entre las características que distinguen a un código de línea se encuentran:

1. **Temporizacion (timing)**.- esto es que la forma de onda producida por un código de línea contenga información de temporizacion tal que el receptor pueda establecer una sincronía con el transmisor y así recuperar la información de manera apropiada.
2. **Contenido de DC**.- debido a que las repetidoras telefónicas emplean un acoplamiento de AC, es deseable tener una componte de CD igual a cero en la forma de onda producida por la codificación de línea. Esto porque si una señal con alto contenido de DC es introducida a una línea acoplada para AC puede causar variaciones en el tiempo de la señal recibida.
3. **Espectro de potencia**.- el espectro de potencia y el ancho de banda de la señal transmitida deben coincidir con la respuesta en frecuencia del canal con la finalidad de evitar distorsiones significativas.

4. **Probabilidad de error**.- el promedio de probabilidad de error debe ser lo más pequeña posible para una cierta potencia de transmisión.

El formato de un código de línea consiste en una definición formal del código en cuestión donde se especifica como deberá ser convertida una cadena de dígitos binarios en un código de línea.

En la siguiente figura se presentan algunos de los diferentes códigos de línea existentes.

Par ejemplificar esto se toman como datos a codificar la señal que esta a la cabeza de la grafica .

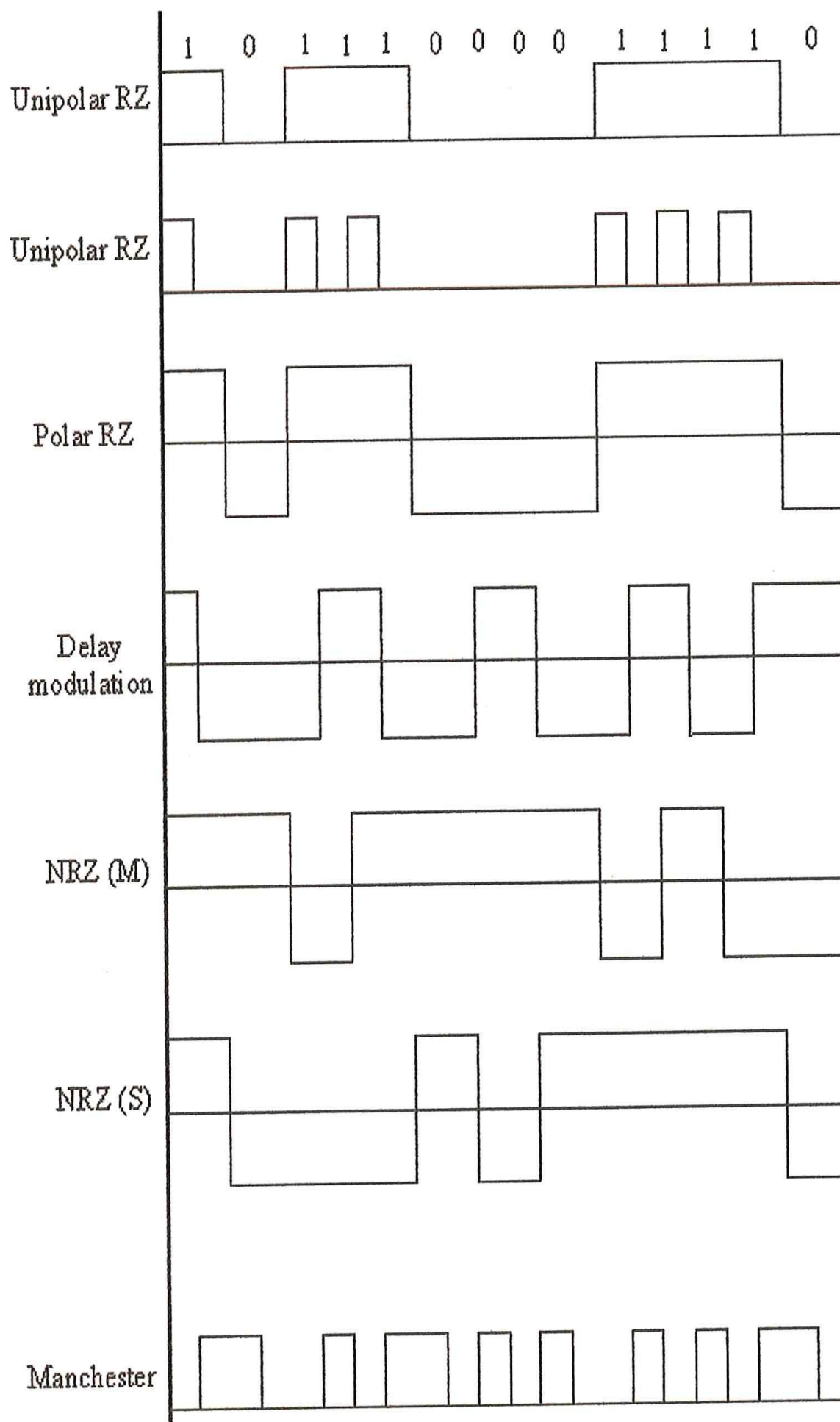


Figura 1.5.1. - Diferentes tipos de códigos de línea.

En este tipo de codificación (Manchester) un 0 lógico es representado por un 1 que dura la mitad del tiempo de duración del bit y un cero la segunda mitad de duración del mismo. Un 1 se representa por un cero que dura la primera mitad del tiempo de bit y por un 1 en la segunda mitad del tiempo de duración de este bit. La transición a la mitad del bit positiva (1) o negativa (0) indica un 1 o un 0 lógicos. Así una código del tipo Manchester es clasificado como un código de transición instantánea y además no tiene memoria.

Este tipo de código es llamado también bifase porque una onda cuadrada con una fase de  $0^\circ$  es usada para representar un 1 y una onda cuadrada con una fase de  $180^\circ$  es usada para representar un 0, o viceversa. Este código es muy utilizado en Redes Ethernet de Area Local (LANs Local Area Networks). Además corrige los niveles de DC cuando se presentan grandes cadenas de 1's ya que como se menciona este código presenta transiciones a la mitad de cada bit.

En la siguiente figura podemos apreciar la forma de onda para una codificación Manchester donde se indican los periodos de transición.

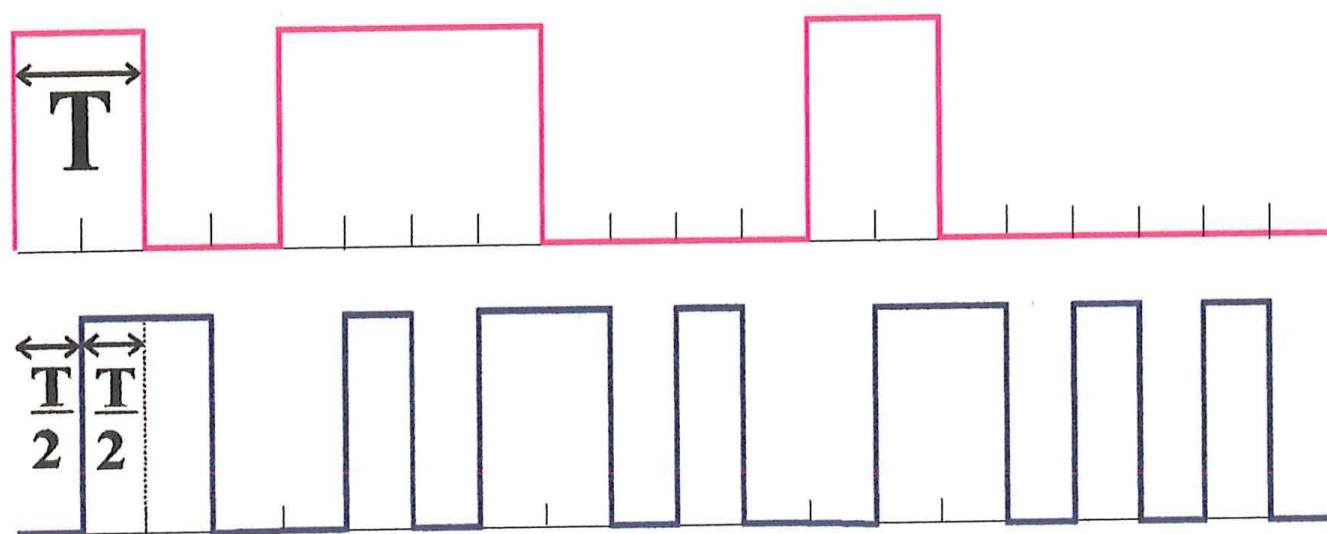


Figura 1.5.2 - Forma de onda de la codificación Manchester.

Esta codificación se logra a través de la función lógica XOR entre la señal a codificar y el reloj de sincronía de esa señal y físicamente mediante una compuerta lógica XOR la cual realiza la función de codificador en la siguiente figura se muestra el diagrama esquemático del codificador Manchester.

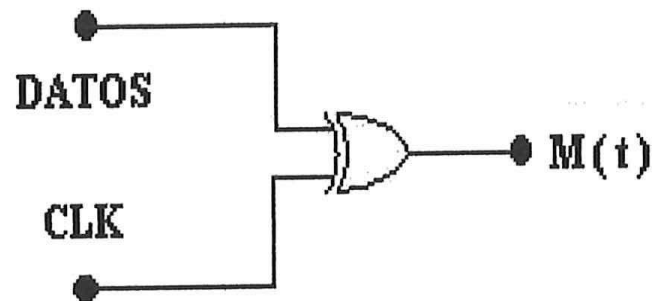


Figura 1.5.3. - Codificador Manchester.

En la figura 1.5.4 se puede apreciar que cuando la señal de datos se encuentra en un nivel lógico 0, la señal de salida (Manchester) es igual a la forma de onda de la señal de reloj y cuando el nivel de la señal de datos se encuentra en 1 la salida de la compuerta es la negación de la señal de reloj.

Esta es una de las particularidades de este tipo de codificación la cual debido a estas transiciones que presenta a la mitad de cada bit nos proporciona una componente de reloj la cual nos ayuda a resolver problemas de tiempo, tales como la sincronía entre sistemas, misma que es tan importante dentro de las comunicaciones digitales.

Es importante señalar que una parte vital de esta codificación es el reloj de sincronía de los datos ya que si este no es el correcto o no está en fase con la señal a codificar simplemente la codificación no se dará adecuadamente lo cual puede causar problemas de sincronía en la recepción.

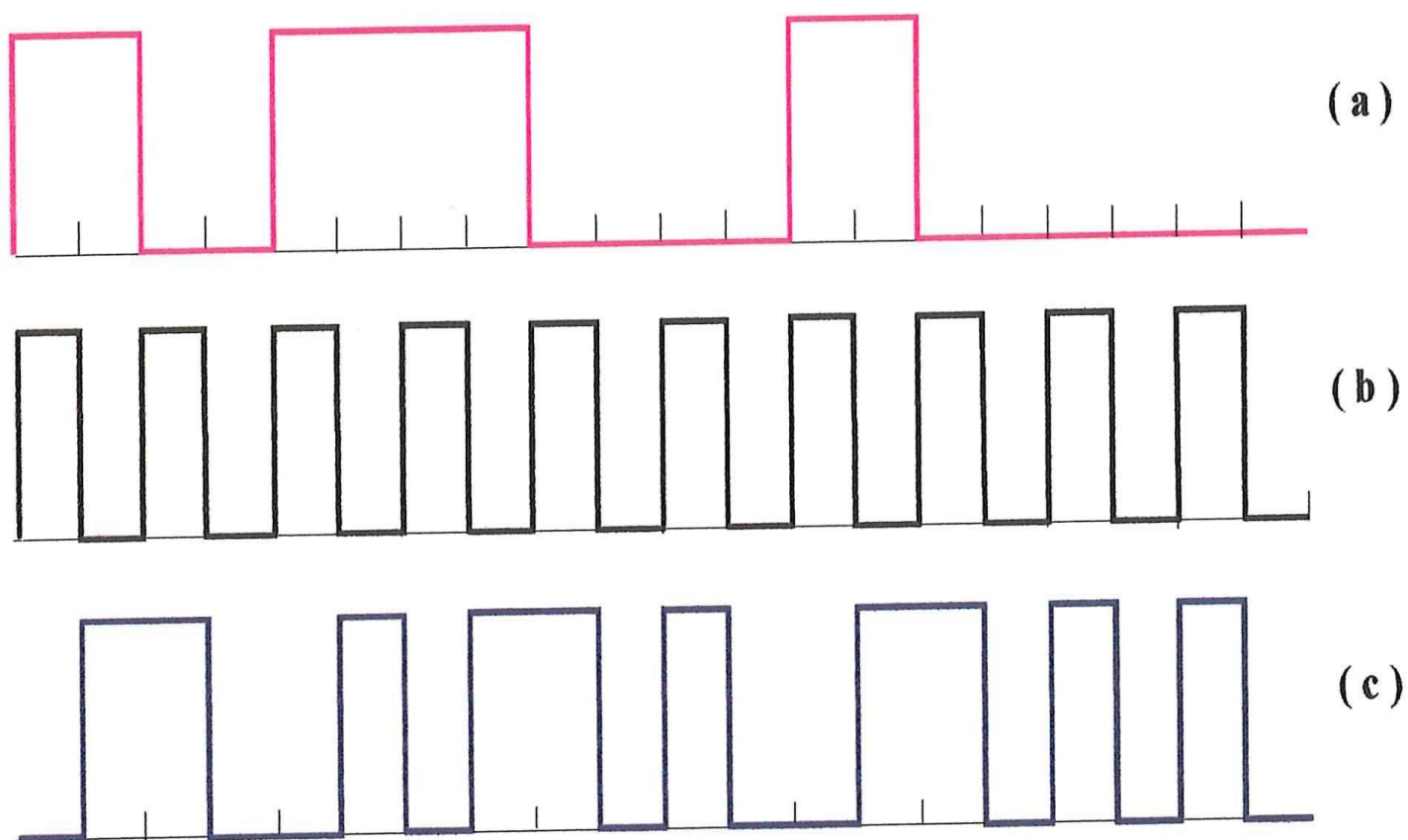


Figura 1.5.4. – Codificación Manchester (c), señal de reloj (b) y datos (a).

## DESARROLLO

Como se menciona en un principio en este sistema haremos uso de una codificación de línea esto con la finalidad de transmitir una componente de reloj en la señal y de esta manera lograr la sincronía entre el transmisor y el receptor, llamaremos  $M(t)$  a la señal resultante de esta codificación para fines prácticos.

Para lograr esta codificación se realiza la misma operación que se empleo para generar la señal de espectro esparcido en la figura 1.5.4 se puede ver el diagrama a bloques y el diagrama esquemático del codificador propuesto.

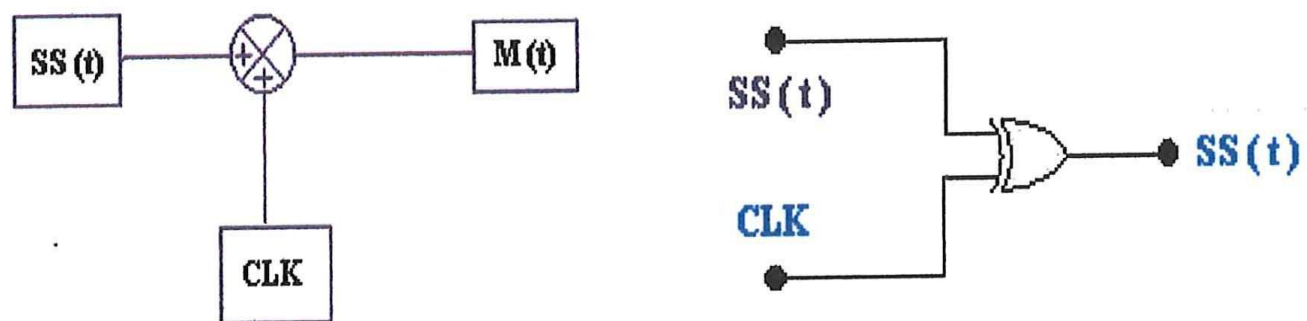


Figura 1.5.5. - Codificador Manchester propuesto

En la siguiente figura se muestran las formas de onda obtenidas por simulación en donde se presentan los procesos realizados a la señal de información.

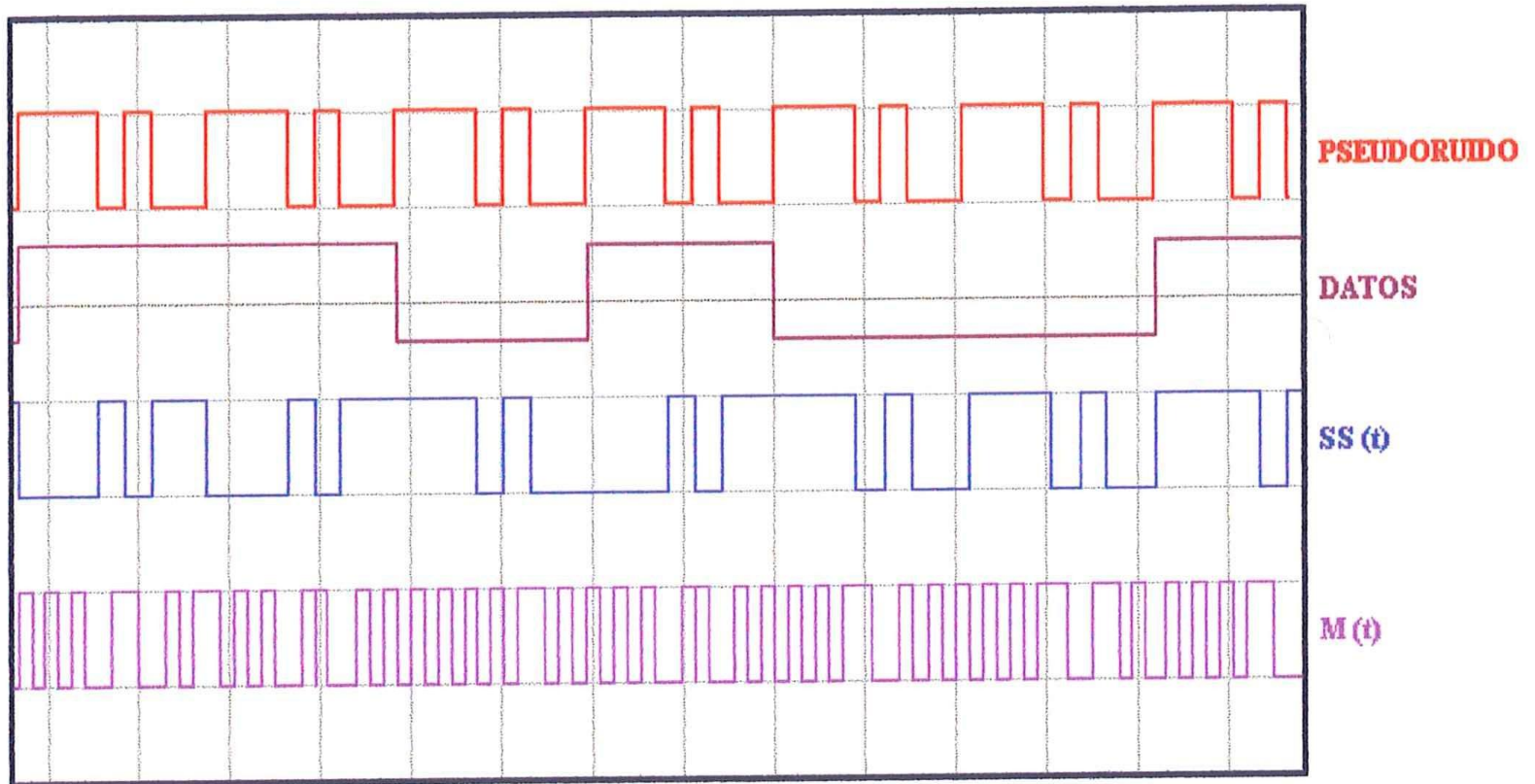


Figura 1.5.6. - Simulación de la codificación Manchester

En la figura 1.5.7 se muestra la forma de onda de la codificación Manchester obtenida con el sistema implementado.

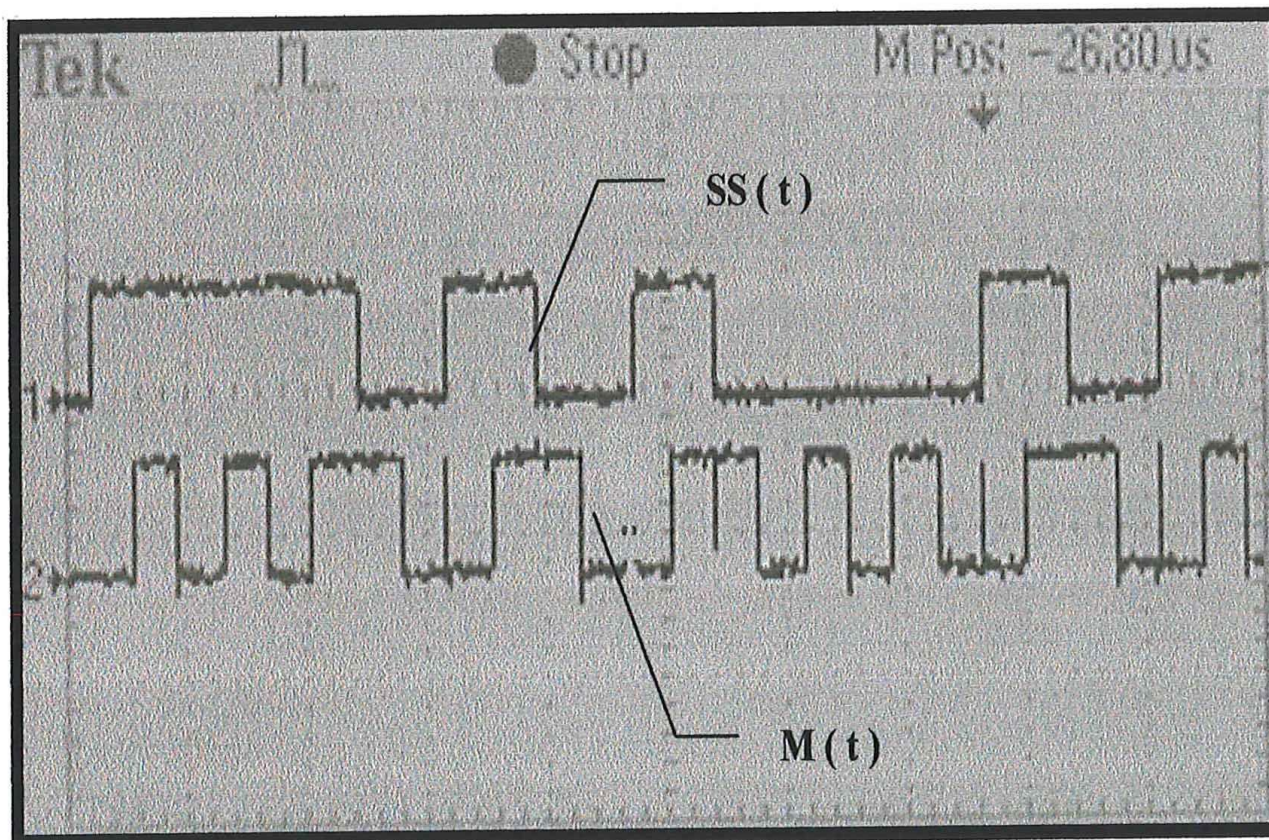


Figura 1.5.7. - Codificación Manchester (real)

En la figura se puede ver la FFT de la señal  $M(t)$  donde se aprecia una componente de reloj a una frecuencia de 134.4 KHz.

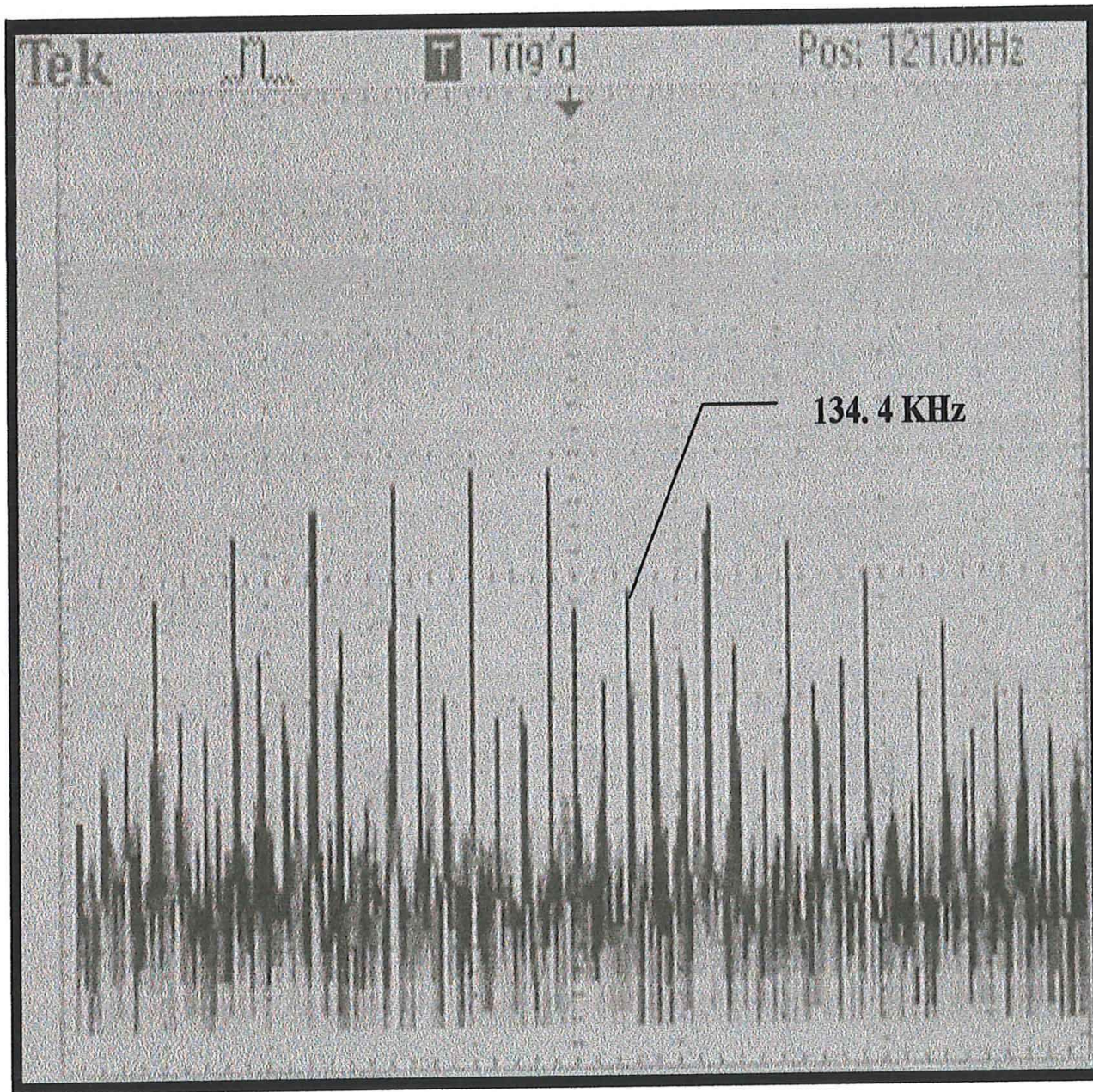


Figura 1.5.8.- FFT de la señal  $M(t)$ .

## BIBLIOGRAFÍA

- Jerry D. Gibson (Editor in chief), " **The Communication Handbook** " CRC Press, IEEE press Capitulo 29 "Line Coding" ISBN 0-8493-8349-8 (TK 5105; C65).
- Haykin, Simons S., " **Sistemas de Comunicaciones**" 1931 Capitulo 8 "Modulación Digital de Pulsos".
- John B. Anderson "**Digital Transmisión Engineering**" Ed prentice Hall IEEE Capitulo 2 "Baseband Pulse Transmisión" ISBN 0-7803-3457-4.

## 1.6 MODULACIÓN DIGITAL ASK

---

### INTRODUCCIÓN.

Generalmente las señales digitales en banda base requieren ser desplazadas a frecuencias superiores con la idea de que la transmisión sea más eficiente.

Esto se logra a través de un proceso conocido como modulación la cual se define de la siguiente manera:

**Modulación:** proceso mediante el cual una señal de alta frecuencia es variada en alguno(s) de sus elementos por una señal de menor frecuencia, estas variaciones pueden ser en amplitud, frecuencia o fase.

De lo anterior podemos deducir que una modulación digital es la modulación de una señal analógica de alta frecuencia por una señal digital de menor frecuencia, el resultado de una modulación digital es una forma de onda analógica, en la cual se varían sus características (amplitud, frecuencia, fase o combinaciones de las anteriores) de acuerdo a la señal digital.

La utilización de frecuencias superiores proporciona una radiación de energía eléctrica más eficiente y pone al alcance anchos de banda que con frecuencias inferiores no son posibles.

Si asumimos que la señal  $f(t)$  es un tren de pulsos se obtiene una señal como la mostrada en la figura 1.6.1.

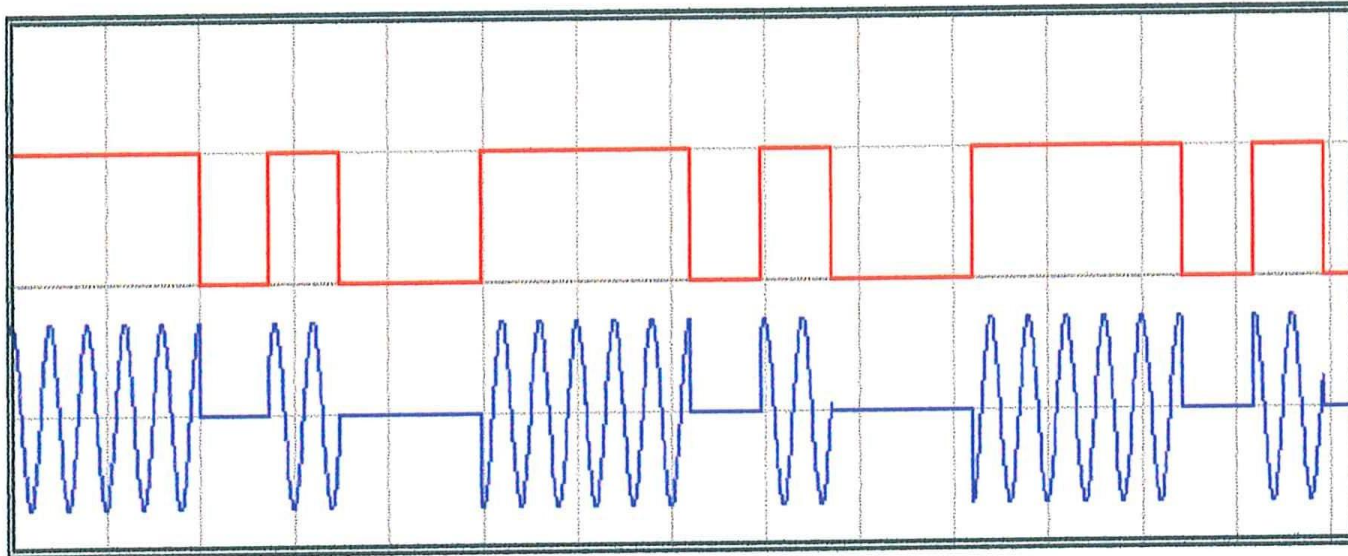


Figura 1.6.1. - Modulación digital ASK.

Matemáticamente una señal ASK se representa de la siguiente manera:

$$ASK(t) = Af(t) \cos \omega_c t$$

Aplicando el teorema del desplazamiento en frecuencia a la ecuación anterior se tiene que el espectro de la señal está dado por la siguiente relación

$$ASK(\omega) = \frac{A}{2} [F(\omega - \omega_c) + F(\omega + \omega_c)]$$

El efecto de la multiplicación de la señal información con la portadora resulta en un corrimiento o desplazamiento de la información hasta la frecuencia  $\omega_c$  (como se indica en la ecuación 2) dicho efecto se puede ver en la figura 1.6.2.

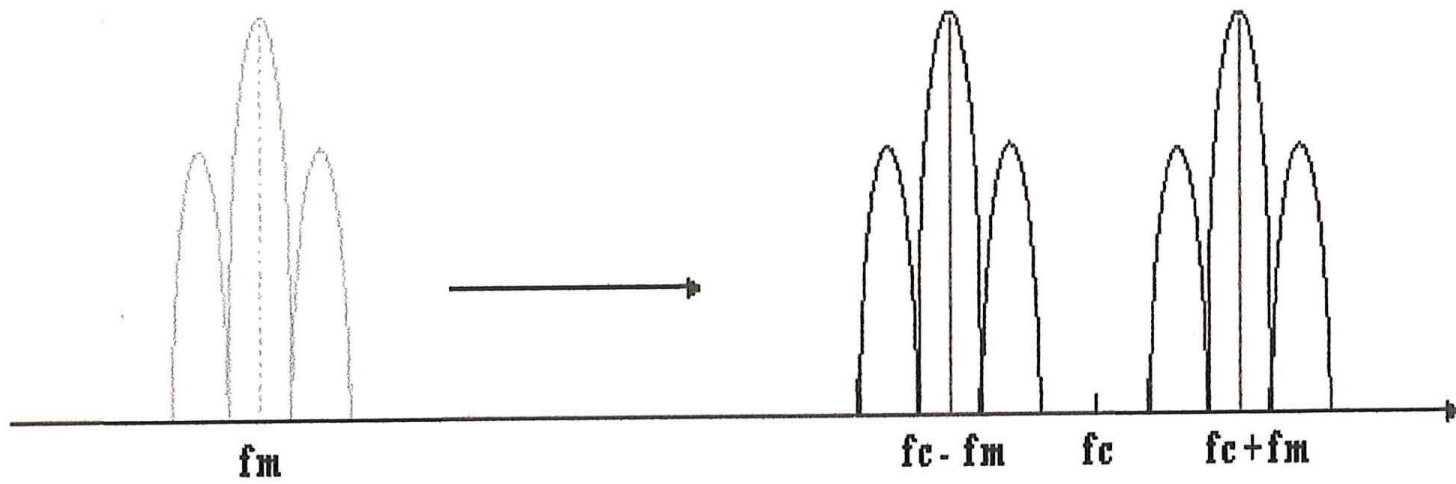


Figura 1.6.2. - Efecto de la modulación en el espectro.

El ancho de banda de una señal ASK esta dado por la siguiente relación

$$BW_{ASK} = \frac{2}{R_b}$$

Donde  $R_b$  es el bit rate o periodo de bit de la señal  $f(t)$ .

Lo anterior se muestra gráficamente en la figura 1.6.3

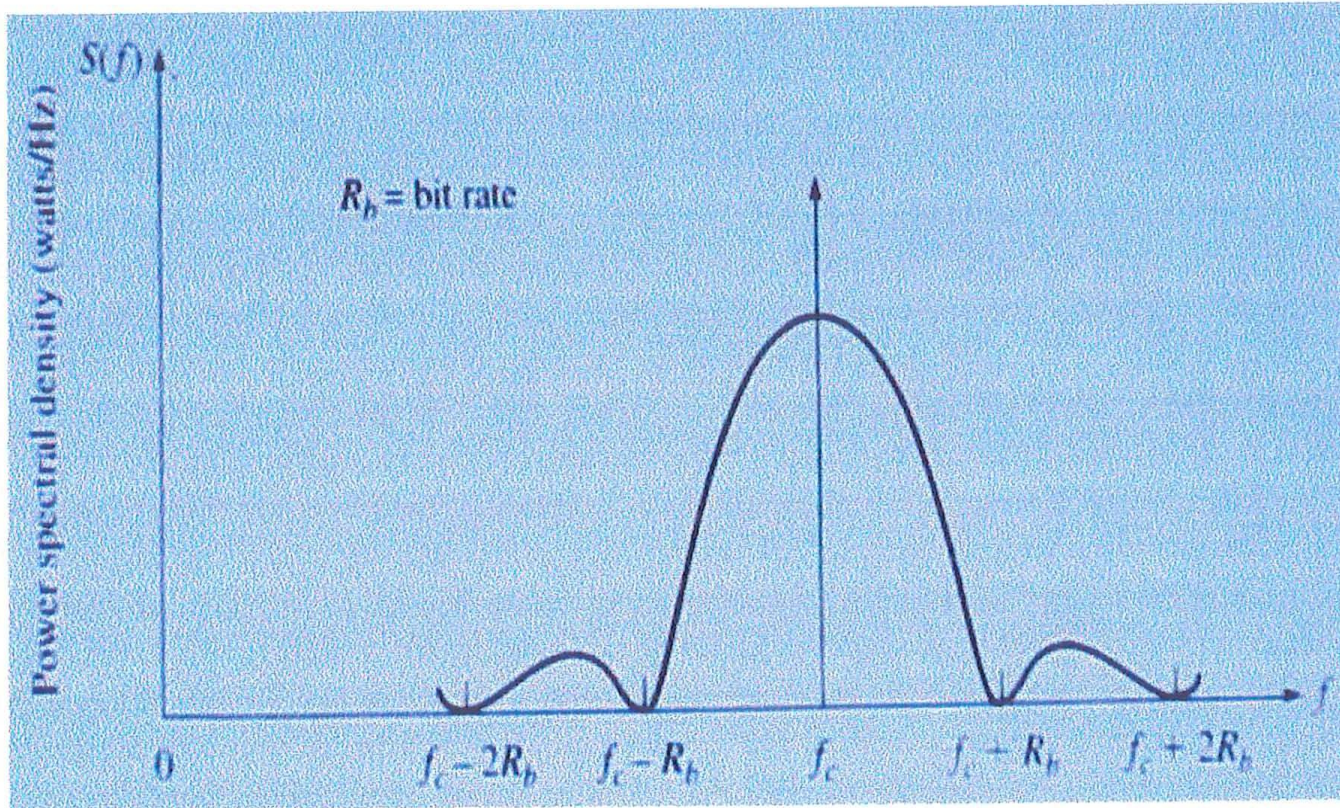


Figura 1.6.3. - Espectro de una señal ASK

Formas de generar ASK:

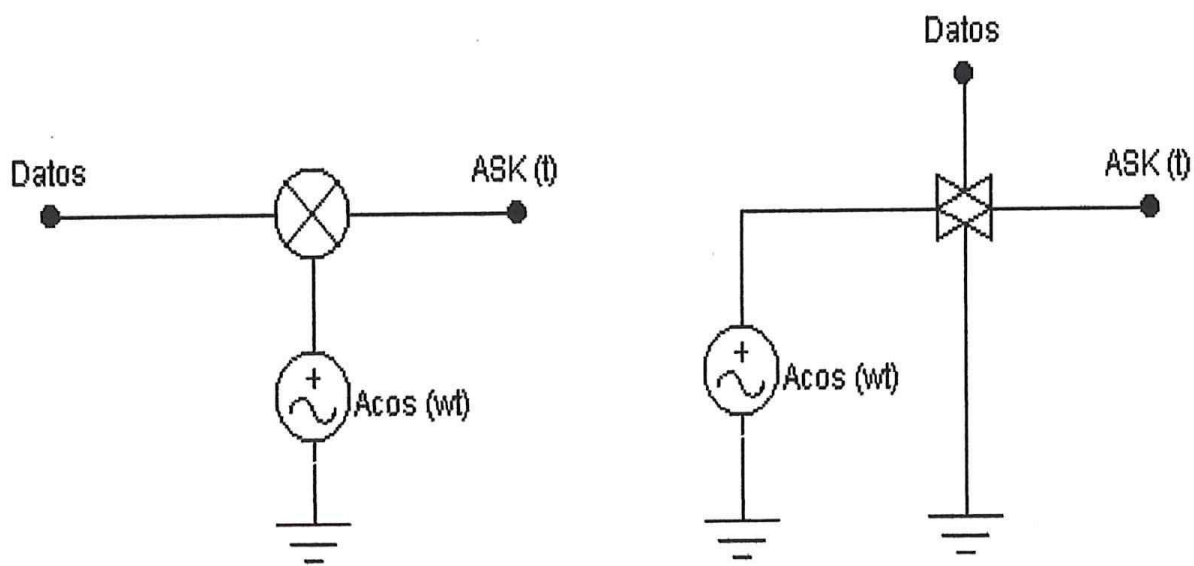


Figura 1.6.4. - Generadores de ASK.

## DESARROLLO.

Como circuito modulador se recurrió a un multiplexor analógico (CD4053) el cual se utilizó a manera de switch para conmutar la portadora de acuerdo a la señal digital obtenida de los bloques anteriores, en la siguiente figura se tiene un diagrama a bloques del modulador propuesto y en la figura 1.6.6 un diagrama esquemático del mismo.

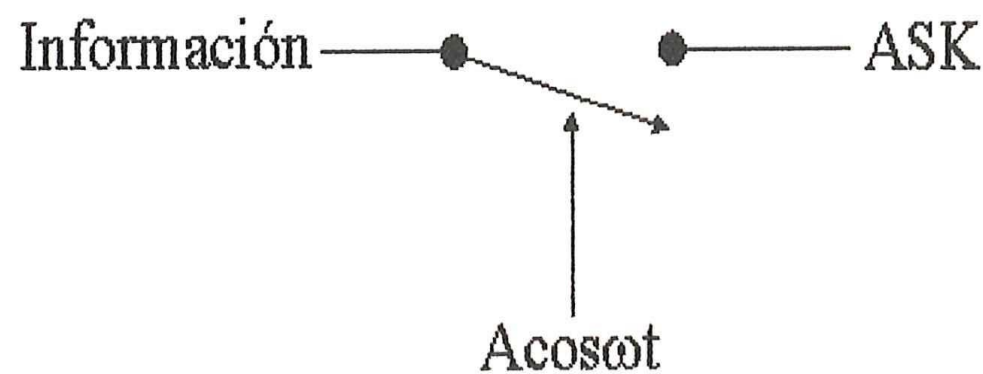


Figura 1.6.5. - Diagrama a bloques del modulador ASK propuesto.

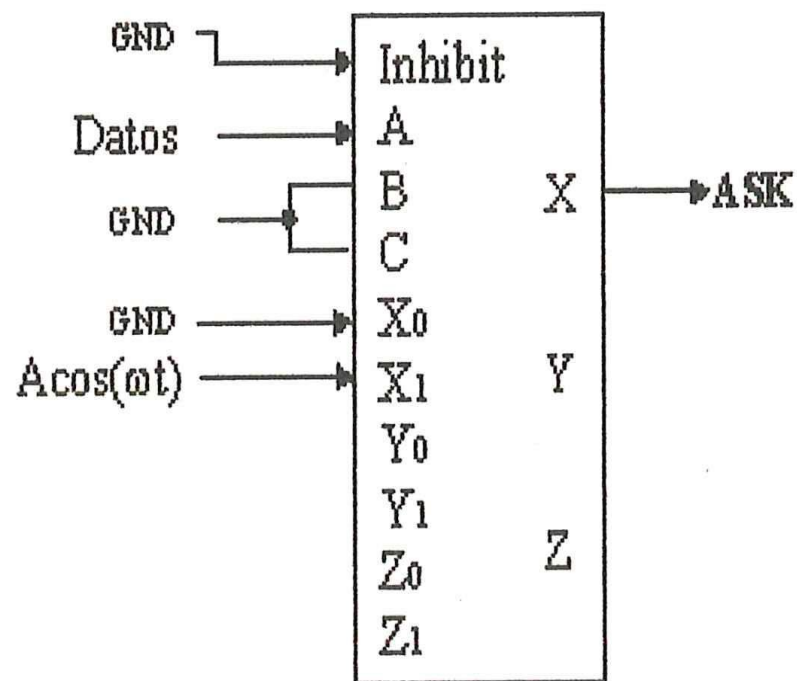


Figura 1.6.6. - Diagrama esquemático del modulador ASK basado en el circuito CD4053.

El circuito anterior presenta la siguiente tabla de verdad y es en ella en la que nos apoyamos par lograr la modulación ASK.

Inhibit	C	B	A	On switches	
0	0	0	0	Y <sub>0</sub>	X <sub>0</sub>
0	0	0	1	Y <sub>0</sub>	X <sub>1</sub>
0	0	1	0	Y <sub>1</sub>	X <sub>0</sub>
0	0	1	1	Y <sub>1</sub>	X <sub>1</sub>

Tabla 1.6.1 Tabla de verdad para el CD4053.

Como se puede ver de esta tabla si se aplica la señal digital al punto A, la salida X estara conmutando entre las entradas X<sub>0</sub> y X<sub>1</sub> de acuerdo al nivel logico que presente la señal de control ( señal M(t) del bloque anterior) produciendo de esta manera a la salida la presencia y ausencia de portadora.

El hecho de emplear este multiplexor hace que el modulador sea muy flexible ya que con este mismo y sin modificar mucho el circuito se puede generar tanto FSK como BPSK esto gracias a que podemos conmutar hasta dos entradas con una sola señal de control con lo que el circuito modulador se hace más versátil. Lo anterior se muestra en la siguiente figura.

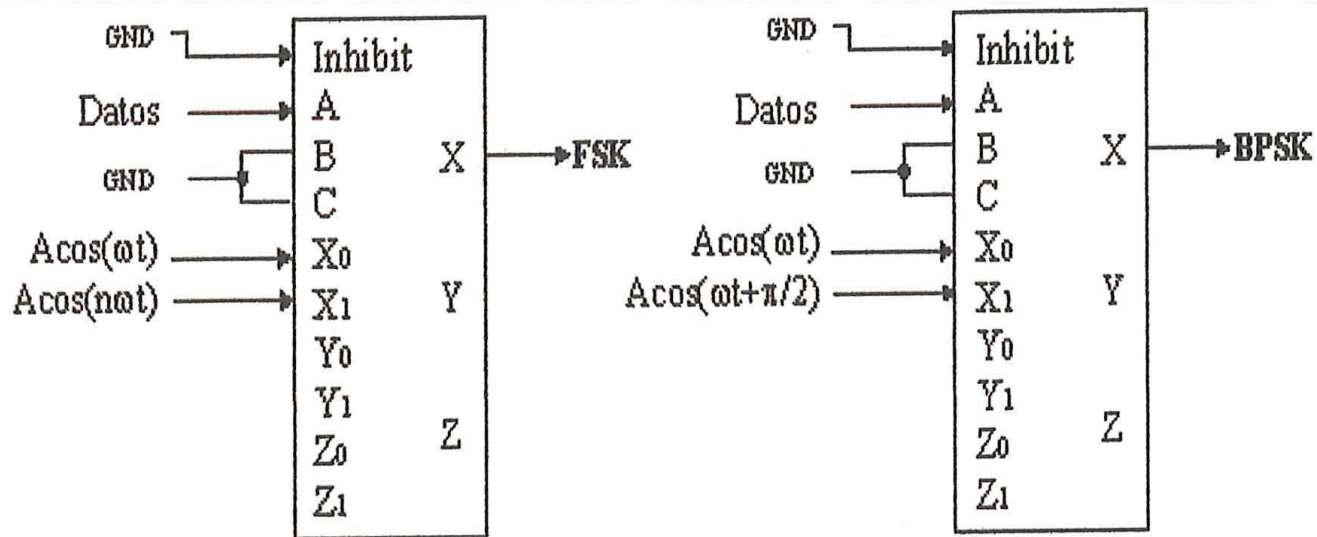


Figura 1.6.7. -Moduladores FSK y BPSK basados en el circuito CD4053.

La figura 1.6.8 muestra las señales de entrada y salida del modulador obtenidas con el sistema propuesto además en la figura que le sigue se tiene la FFT de las señales en banda base y modulada para corroborar lo comentado anteriormente en cuanto al desplazamiento o traslado en frecuencia de la señal en cuestión.

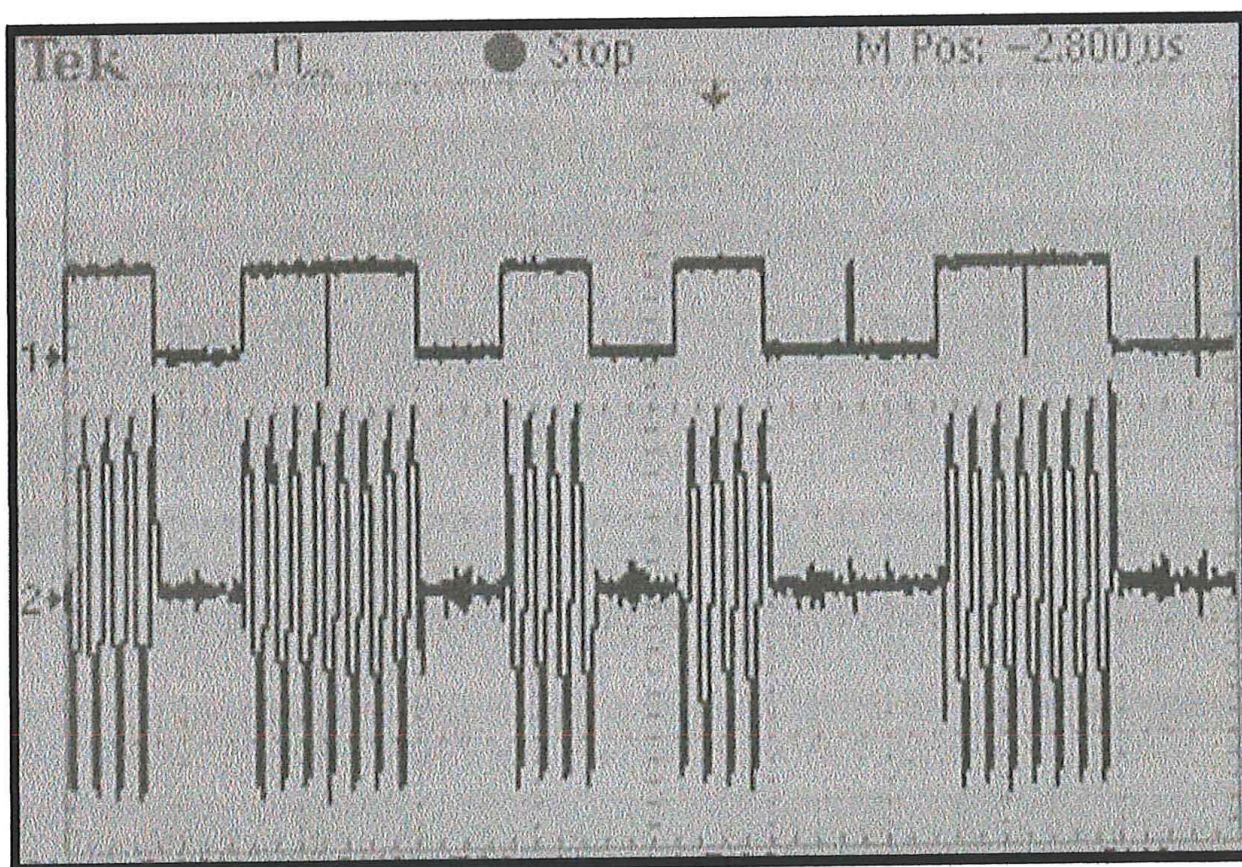


Figura 1.6.8. - Señales de entrada y salida del modulador.

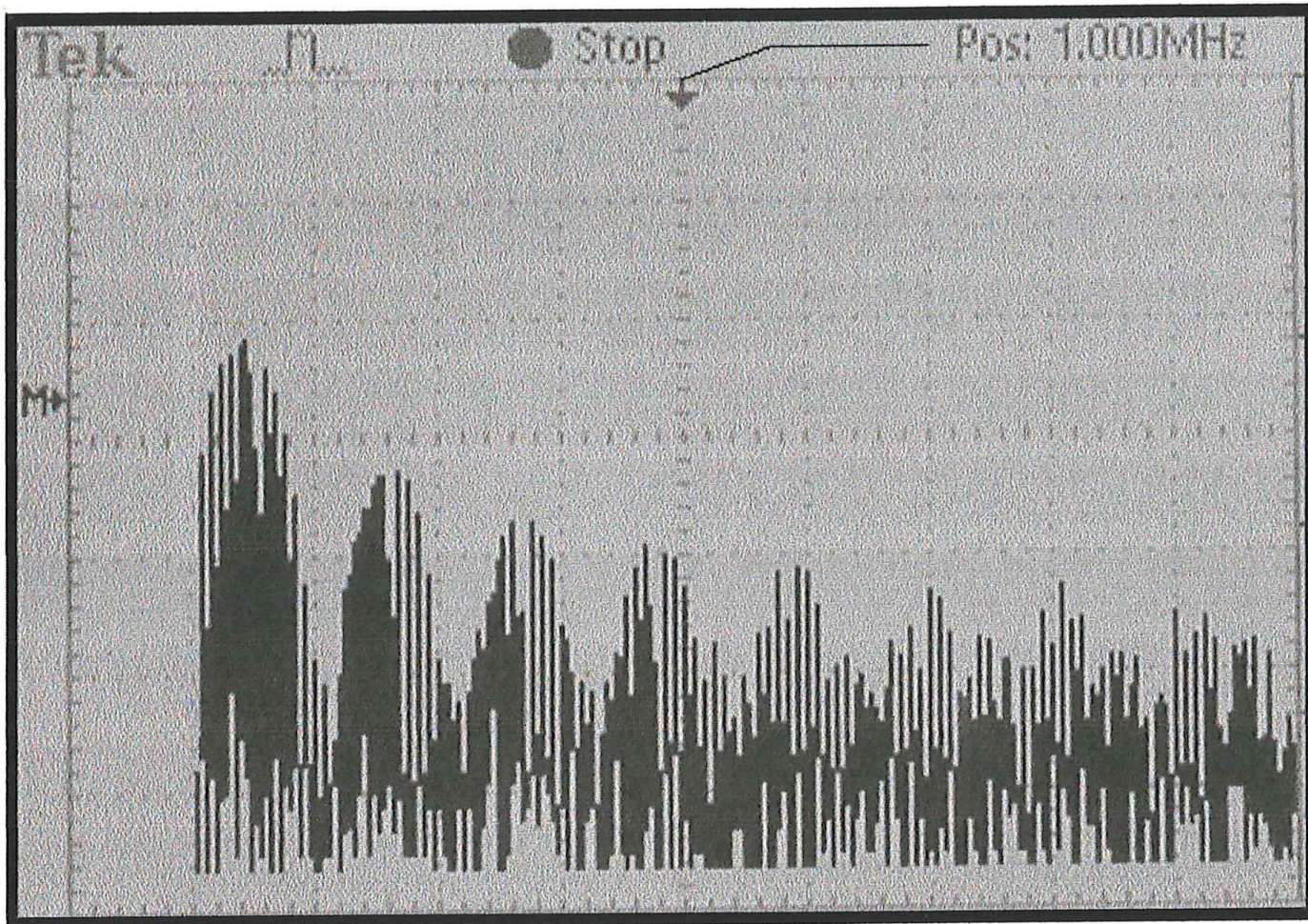


Figura 1.6.9. -Espectro de la señal en banda base.

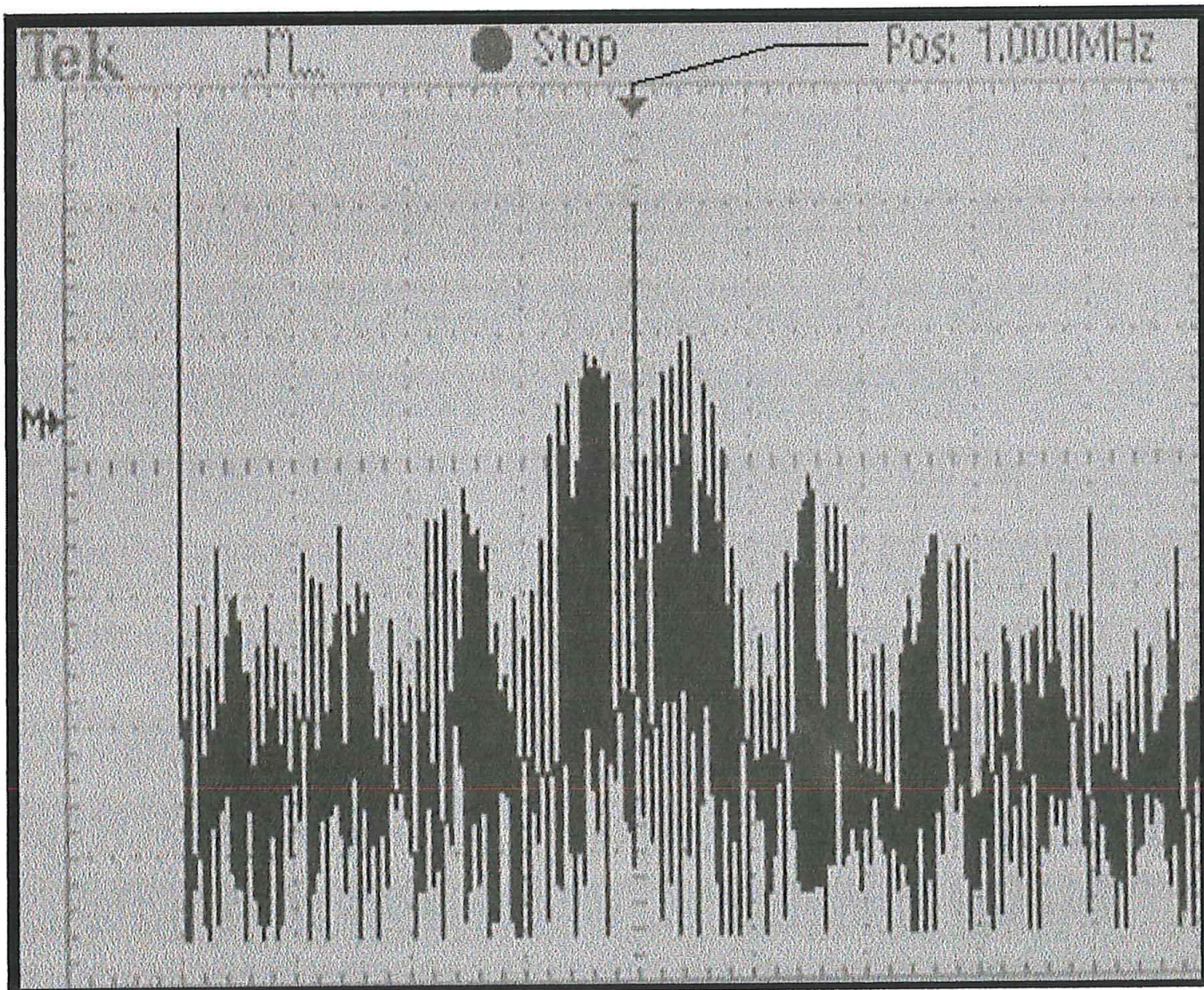


Figura 1.6.10. - Efecto de la modulación en el espectro.

## 1.6.1 GENERACIÓN DE PORTADORA

Se propone emplear una señal portadora con una frecuencia de 1 MHz y una amplitud de 2 Vpp y para obtener dicha señal, que será senoidal, se empleó un circuito generador de formas de onda de la compañía MAXIM del cual se muestra la configuración utilizada para este propósito en la siguiente figura.

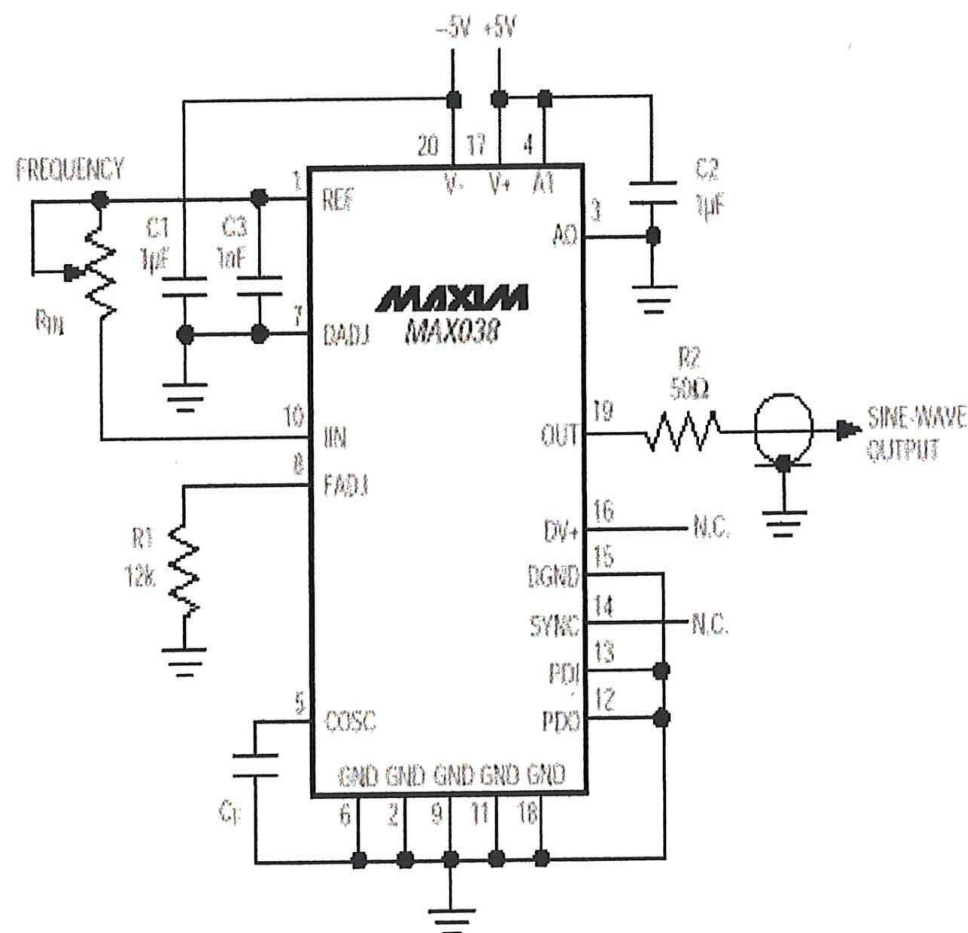


Figura 1.6.1.1 Circuito generador de la portadora.

La frecuencia de la señal de salida de este circuito esta dada por la relación

$$f_0 = \frac{2 * 2.5}{R_{IN} * C_f}$$

donde se propone el valor de  $C_f = 100 \text{ pF}$  y  $f_0 = 1 \text{ MHz}$  y despejando el valor de  $R_{IN}$  se tiene que  $R_{IN} = 50 \text{ K}\Omega$ . Como puede verse su implementación es realmente sencilla.

## BIBLIOGRAFÍA

- Misha Schwartz “**Transmisión de información, modulación y ruido**” Tercera edición (primera en español) Capitulo 4 ISBN 0-07-055782-9.
- Martin S. Roden, " **Analog and Digital Communications Systems**" Ed Prentice Hall Cuarta Edición ISBN 0-13-372046-2.
- Wayne Tomasi “**Sistemas de Comunicaciones Electrónicas**” segunda edición, capitulo 3 “transmisión de modulación en amplitud” Editorial Prentice Hall Hispanoamericana, S.A. ISBN 968-880-674-9.
- Motorola “**CMOS logic data book**”
- [www.maxim-ic.com](http://www.maxim-ic.com) (generador de señales)

## 2.1 EL RECEPTOR

Dentro de un sistema de comunicaciones digitales hay detalles que son muy importantes y no deben descuidarse y uno de ellos es la sincronía la cual es una parte de vital importancia dentro de las comunicaciones digitales.

En el sistema que aquí se presenta no fue la excepción en cuanto a la sincronía y como se menciono anteriormente (capitulo 1.5 ) nos aseguramos de incluir una componente de reloj en la señal transmitida esto mediante la codificación de línea Manchester que como se menciono anteriormente es una de las codificaciones que nos permite recuperar la señal de reloj.

En la figura 2.1.1 se puede ver un diagrama a bloques del sistema receptor propuesto y más adelante se discutirán mas afondo cada una de las etapas.

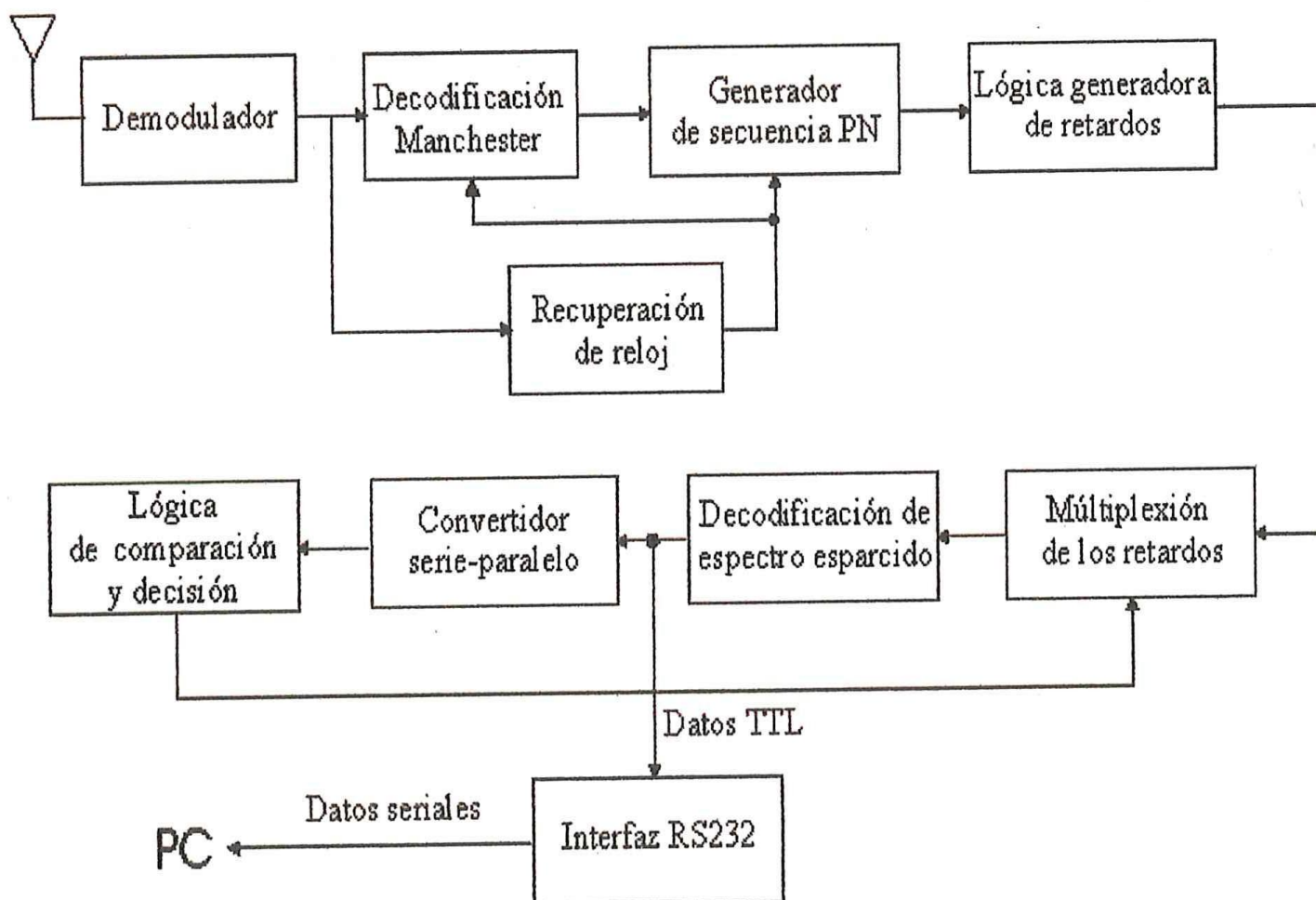


Figura 2.1.1. - Diagrama a bloques del sistema receptor propuesto.

En las siguientes paginas se realizara una descripción minuciosa de todos y cada unos de los bloques tal y como se hizo en el transmisor.

El sistema receptor esta conformado por una serie de bloques los cuales cumplen con una función vital dentro del sistema de recepción estos son:

- **Demodulación:** parte que realizara la conversión de la señal de RF a digital.
- **Recuperación de reloj:** esta basada en un sistema de control comúnmente conocido como PLL (Phase Locked Loop) el cual se encargara de alinear en fase la señal de reloj generada localmente con la empleada en la transmisión.
- **Decodificación Manchester:** una vez recuperado el reloj se decodificara la señal  $M(t)$  para obtener de nuevo la señal  $SS(t)$ .
- **Generación de la secuencia pseudo aleatoria:** se implementara la misma ecuación generadora que se utilizo para la transmisión y esta estara sincronizada con la señal de reloj recuperada.
- **Generación de retardos:** se generaran 6 replicas recorridas en tiempo de la secuencia pseudo aleatoria generada de manera local, el porque de este y los siguientes bloques se explicara mas adelante en el capitulo 2.6.
- **Multiplexión:** se realizara una multicanalización de las replicas generadas en el bloque anterior.
- **Decodificación de espectro esparcido:** sección encargada de recuperar la información.
- **Conversión serie-paralelo:** implementación de un sistema SIPO (Serial Input Parallel Output) con un propósito específico que se tratara mas adelante.

- **Comparación y decisión:** sección encargada de discernir si la secuencia que esta decodificando es la correcta.
- **Interfaz serial:** etapa final que será la encargada de acondicionar la señal para ingresarla a la computadora.

En cuanto al proceso de recuperación de la información de planteara una teoría y se comprobara a partir del capítulo 2.6.

Se deja esto hasta ese capítulo debido a que las secciones anteriores a este solo serán para reconstruir nuestra señal en espectro esparcido.

## 2.2 DEMODULACIÓN DE LA SEÑAL ASK

### INTRODUCCIÓN

Toda vez que la transmisión se realiza y la señal llega al receptor es necesario recuperar la información esto se logra mediante el proceso inverso a la modulación el cual es llamado demodulación.

Existen dos tipos de demodulación: la coherente y la no-coherente.

Un receptor no coherente o asíncrono es aquel en el cual no se requieren generar de manera local las frecuencias utilizadas para transmitir o si se generan son totalmente independientes de las del transmisor. Este tipo de receptores son comúnmente llamados detectores de envolventes, porque la información se recupera a partir de la forma de onda recibida detectando la forma de la envolvente modulada.

Un ejemplo de demodulador no coherente es el que se muestra en la figura 2.2.1 el cual es conocido, precisamente, como detector de envolvente y se usa comúnmente para demodular AM aunque también funciona para ASK.

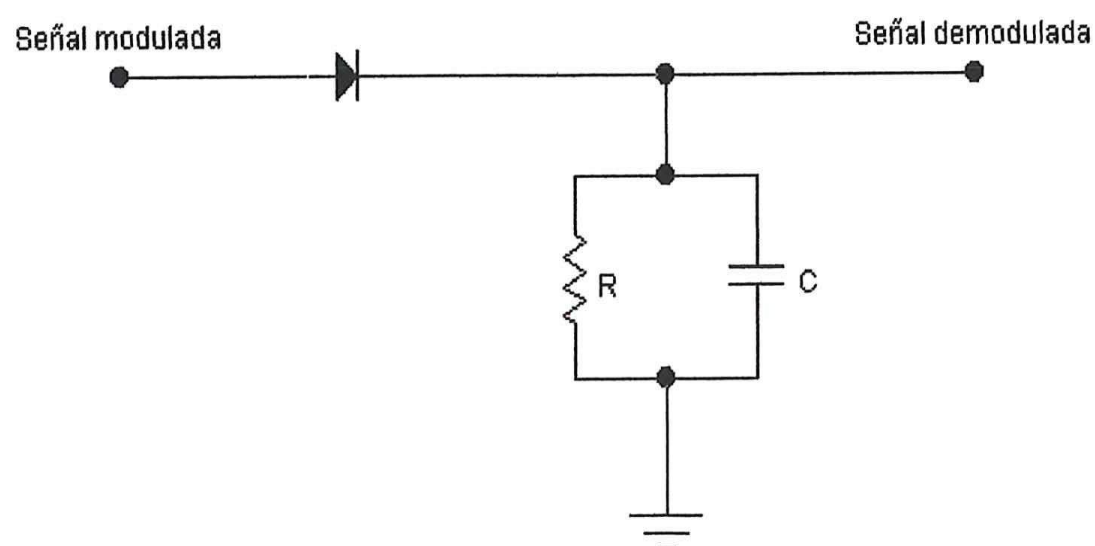


Figura 2.2.1.-Detector de envolvente como demodulador ASK

Este circuito solo requiere que la constante de tiempo RC este dada por la relación

$$RC \geq \frac{1}{\omega_m}$$

Donde  $\omega_m$  es la frecuencia máxima de la señal modulante, además el diodo deberá ser de recuperación rápida.

Un receptor coherente o sincrónico es aquel en el cual las frecuencias generadas en el receptor y utilizadas para la demodulación se sincronizan para oscilar a las mismas frecuencias generadas en el transmisor, por ello el receptor debe contar con un sistema de recuperación y sincronización de la portadora. Un ejemplo de demodulador coherente se ilustra en la siguiente figura

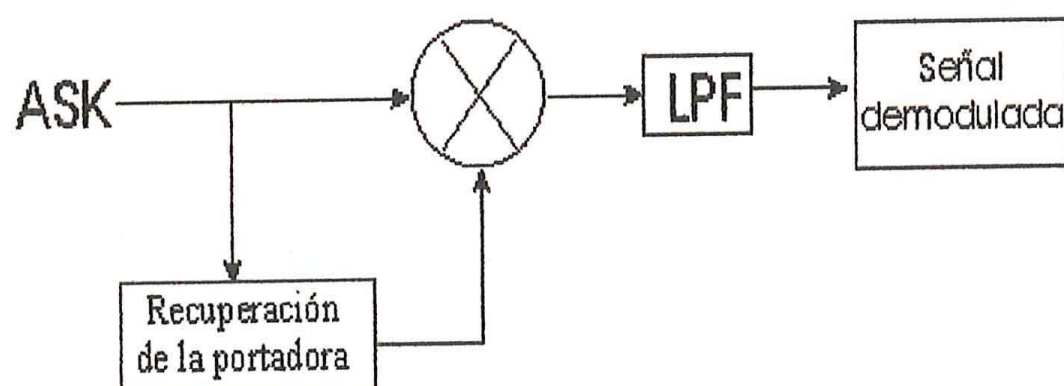


Figura 2.2.2. - Demodulador coherente

En comunicaciones digitales se recomienda la utilización de demoduladores coherentes ya que estos presentan menor probabilidad de error que los no coherentes, es decir, se espera recibir menos bits de erróneos por cada cierto número de estos si se emplea un demodulador coherente

Lo anterior de acuerdo a las siguientes ecuaciones de probabilidad de error y su correspondiente grafica para demodulación coherente y no coherente.

$$Pe = \frac{1}{2} \operatorname{erfc} \sqrt{\frac{\xi}{2}} \dots \text{ASK coherente} \quad Pe \approx \frac{1}{2} \left[ 1 + \frac{1}{2\pi\xi} \right] \exp \frac{-\xi}{2} \dots \text{ASK No coherente}$$

donde:

*erfc* es la función de error complementario y se determina de forma práctica mediante tablas

$$\xi = \frac{A^2 T_b}{4\eta}; \quad A^2 T_b = \text{energía de bit y } 4\eta = \text{densidad de ruido.}$$

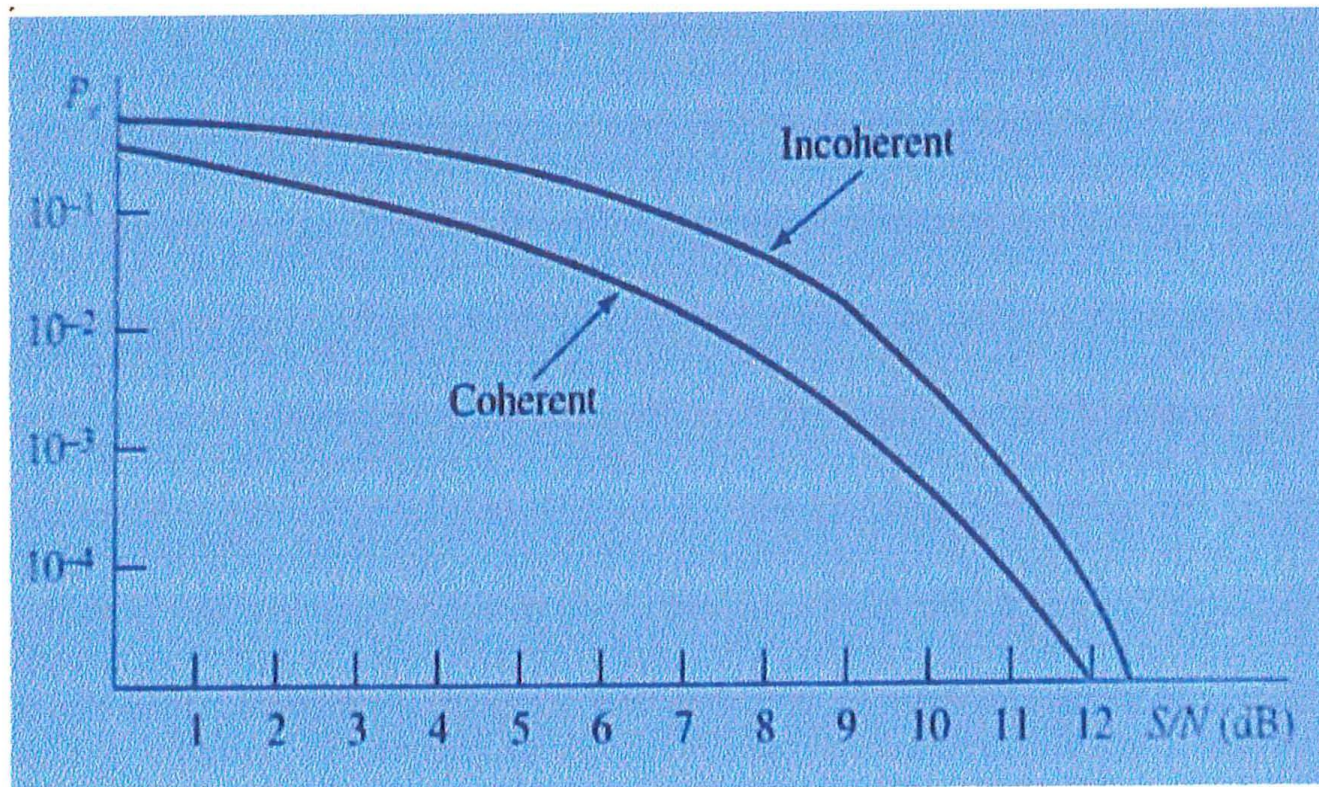


Figura 2.2.3. – Demodulación coherente –vs- demodulación no coherente

## DESARROLLO.

Para este sistema se decidió por un demodulador coherente para ello se eligió un PLL como demodulador ya que dada la aplicación se requiere de un sistema demodulador con baja probabilidad de error.

Como circuito central de este proceso tenemos un circuito integrado de la compañía PHILIPS numero de serie NE564 el cual es capaz de demodular señales hasta de 20MHz, el cual es perfecto para nuestro sistema ya que la frecuencia que manejamos esta dentro del rango de trabajo de este dispositivo en la figura 2.2.4 podemos ver el diagrama del circuito utilizado como demodulador. Cabe señalara que el fabricante especifica esta configuración para demodular señales en FSK pero con los ajustes adecuados funciona bastante bien para ASK.

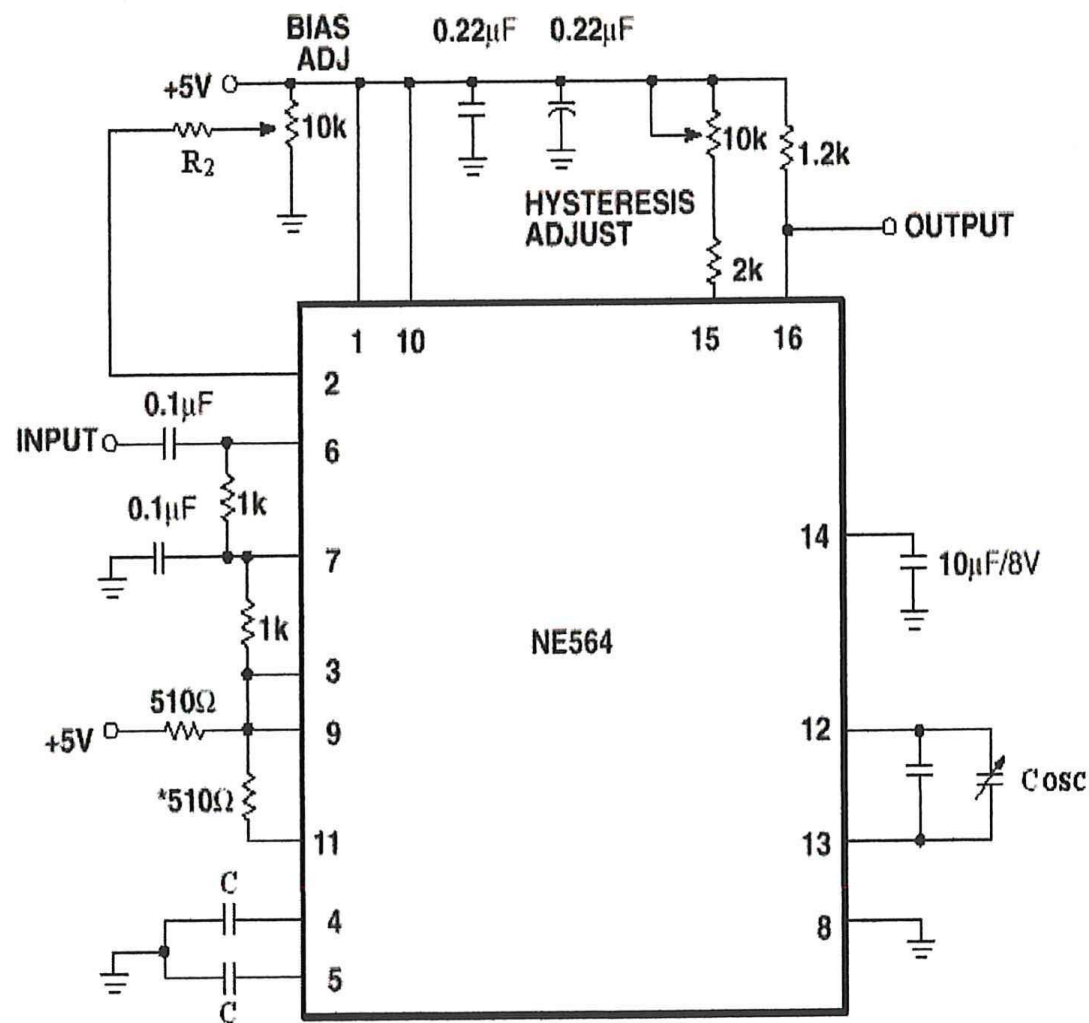


Figura 2.2.4. - Demodulador ASK basado en el PLL NE564

En este circuito se aprecian algunos componentes con valores específicos estos son los sugeridos por el fabricante solo están en blanco los valores del  $C_{OSC}$  y  $R_1$  los cuales son los encargados de fijar la frecuencia central de oscilación del VCO.

El fabricante sugiere un algoritmo de diseño el cual se presenta a continuación.

1. Determine la frecuencia de operación del VCO.-  $F=1$  MHz
2. Calcular el valor del capacitor que dará la frecuencia de oscilación del VCO mediante la siguiente relación.

$$C_{osc} = \frac{1}{2200 f_0}$$

Tomando  $f_0=1$  MHz tenemos que  $C_{osc} = 45.45$  nF.

3. Ajustar la corriente  $I_2$  a través de  $R_2$  aproximadamente a  $100\mu A$ , una vez logrado esto, este valor puede ser ajustado para mejor desempeño y reemplazado por una resistencia fija cuyo valor esta dado por la siguiente relación.

$$R_2 = \frac{V_{cc} - 1.3V}{I_2}$$

El valor de  $R_2$  se manejo de  $2.2$   $K\Omega$  y la corriente fue controlada de manera arbitraria a través del potenciómetro esto con la finalidad de manejar un ajuste fino en la demodulación además que nos ayuda a eliminar ruido generado en la señal de salida.

4. Monitorear la frecuencia de salida del VCO y realizar el ajuste de la misma variando el valor del capacitor.

5. Se cierra el lazo y se inyecta la señal a demodular en el pin 6 y verificar la salida en el pin 16 si no se tiene la salida deseada se puede realizar un ajuste en la corriente  $I_2$  mediante el potenciómetro o ajustar el nivel de histéresis para un mejor resultado

En la siguiente figura se muestran las señales de entrada y salida al PLL demodulador.

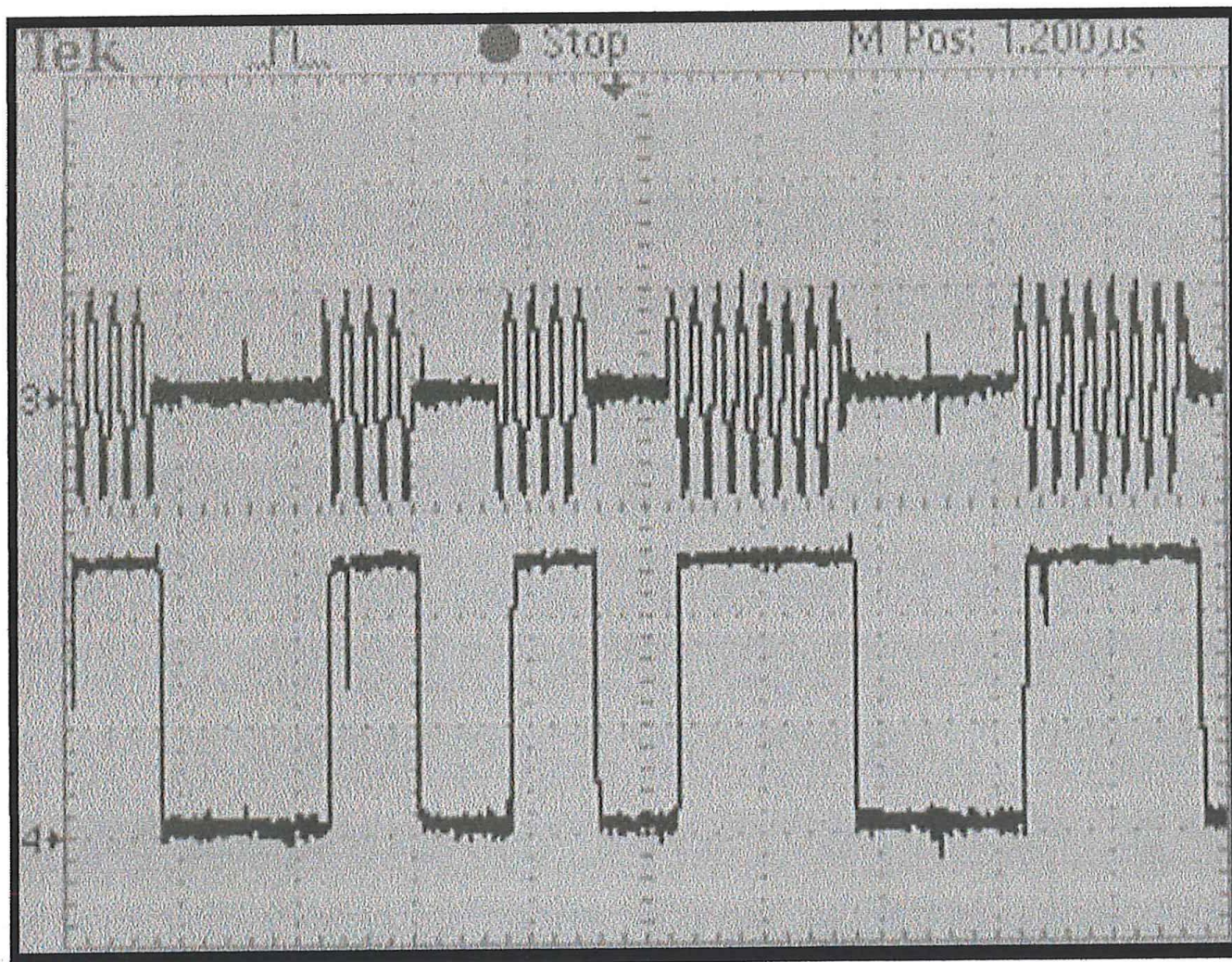


Figura 2.2.5. – Entrada y salida en el demodulador

En la grafica se puede ver que se presenta un pequeño retardo en la señal digital recuperada con respecto a la señal ASK esto es debido a la velocidad de respuesta del PLL. Pero es importante señalar que este atraso no afectara en nada el sistema de recepción porque el receptor estara sincronizado en su totalidad con el reloj que se extraiga de esta señal.

Lo anterior implica que este retardo será ignorado en su totalidad por el receptor ya que el proceso de recuperación de la información se hará a partir de la señal demodulada.

## BIBLIOGRAFÍA

- Martin S. Roden, " **Analog and Digital Communications Systems**" Ed Prentice Hall Cuarta Edición Capitulo 11 "Digital Modulation" ISBN 0-13-372046-2 .
- Wayne Tomasi " **Sistemas de Comunicaciones Electrónicas**" segunda edición, Capitulo 4 "Recepción de modulación en amplitud" Editorial Prentice Hall Hispanoamericana, S.A. ISBN 968-880-674-9
- [www.us2.semiconductors.philips.com](http://www.us2.semiconductors.philips.com) (circuito integrado NE564)

## 2.3 RECUPERACIÓN DE LA SEÑAL DE RELOJ

### INTRODUCCIÓN.

La parte central como sincronizador en la mayoría de los sistemas digitales es un PLL (Phase Locked Loop) los cuales tienen su origen en la teoría de control, donde la entrada al PLL es llamada señal de referencia.

El propósito principal de un PLL es forzar a la señal de error a que sea cero y de esta manera ajustar la fase del oscilador local (VCO) con la fase de la señal de referencia. El gran reto para este sistema es que la referencia está moviéndose constantemente y él tiene que compensar dichos desplazamientos.

Generalmente se toma como salida la señal proveniente del VCO en sistemas (digitales o analógicos) que requieren de la sincronía de un reloj.

Un PLL puede ser representado como un dispositivo compuesto por varios elementos o bloques, en la figura se muestran dos versiones genéricas de un PLL con sus bloques respectivos.

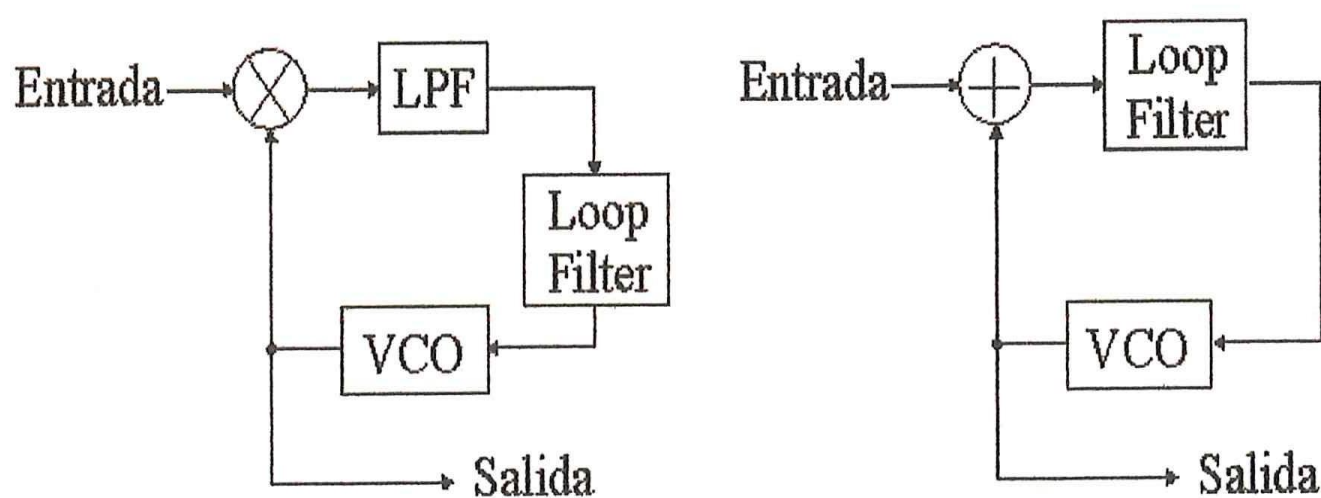


Figura 2.3.1. - PLL como dispositivo de sincronía.

Como se puede ver en la figura anterior los elementos básicos de un PLL son:

- **Oscilador Controlado por Voltaje (Voltaje Controlled Oscillator VCO).**  
Circuito generador de la señal local la cual se toma como salida en la mayoría de los casos.
- **Detector de fase.** Es el encargado de proporcionar la señal de error de fase entre la señal de referencia y la generada por el VCO.
- **Filtro de lazo.** Es el encargado de acondicionar la señal para realimentarla.

Cada uno de los anteriores cumple con una función vital y un PLL no puede estar sin uno de estos componentes.

Entre las señales de mayor importancia en un PLL se encuentran las siguientes:

- La señal de referencia (o entrada).
- La frecuencia angular de la señal de referencia.
- La señal de salida del VCO.
- La frecuencia angular de la señal de salida.
- La señal de salida del detector de fase.
- La señal de salida del filtro de lazo.
- El error de fase definido como la diferencia de fase entre la señal de referencia y la señal de salida del VCO.

Clasificación de los PLL's .

### **LPLL (linear PLL ).**

Todos los dispositivos son completamente analógicos, presenta como detector de fase un multiplicador analógico de cuatro cuadrantes.

### **DPLL (“classical” digital PLL).**

Sistema híbrido que utiliza como detector de fase una compuerta o un FLIP-FLOP, como único componente digital.

### **ADPLL( all-digital PLL).**

Todos los bloques que lo forman son dispositivos digitales no contiene dispositivos pasivos como capacitores o resistencias.

En lugar de tener un VCO posee un DCO (Digital Controlled Oscillator, oscilador controlado digitalmente).

### **SPLL (software PLL).**

Se implementa por completo por programación mediante un DSP (Digital Signal Processor, procesador digital de señales).

### DESARROLLO

En un sistema de espectro esparcido la cuestión de la sincronía es un punto fundamental (por no decir que el más importante) ya que sin esta pues simplemente no existiría forma alguna de lograr un buen enlace de comunicaciones.

Dentro de las comunicaciones en espectro esparcido es muy importante que el receptor sea capaz de generar una señal o un código que sea exactamente igual al que se utilizo en la transmisión para esparcir la señal de información, esto con el fin de que se pueda decodificar la señal que viene en espectro esparcido y de esta manera recuperar la información.

Lo anterior involucra que el código de PN debe estar en fase con el utilizado en la transmisión lo cual implica que la señal de reloj que se utilice para generar dicha secuencia debe ser exactamente igual a la del transmisor (frecuencia y fase). Por esto en la transmisión nos aseguramos de enviar junto con la señal codificada una componente de reloj ( esto con la codificación Manchester) con el único fin de recuperar dicha señal y así darle la sincronía debida al sistema.

La recuperación de la señal de reloj se realizo utilizando un PLL digital (Phase Locked Loop) numero CD4046, en el cual se coloco el VCO a un frecuencia de carrera libre de 134.2 KHz y en conjunto con el comparador de fase y el filtro pasa-bajas el sistema amarro la fase de la señal de reloj, en la figura se puede observar el diagrama del sistema de recuperación de reloj que se utilizo.

## 2.3 RECUPERACIÓN DE LA SEÑAL DE RELOJ

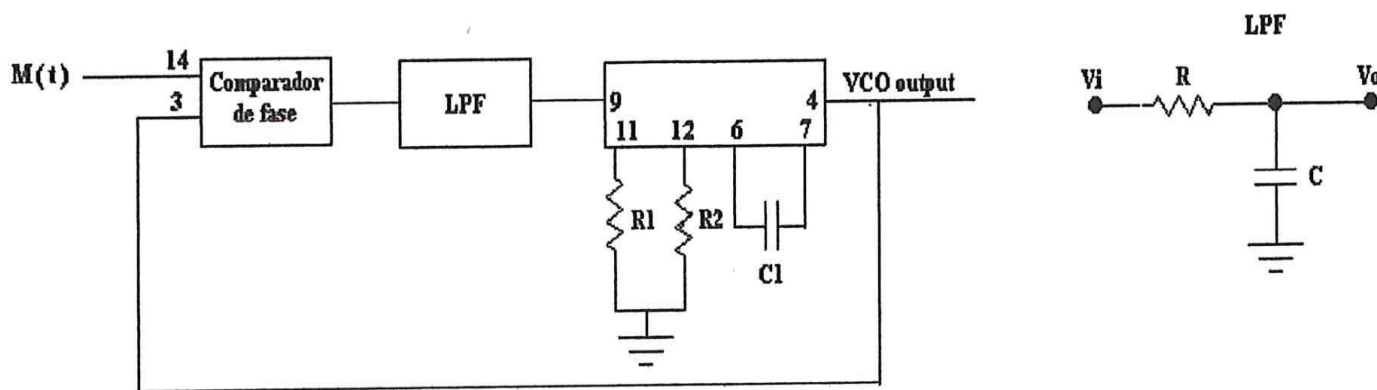


Figura 2.3.2. - Sistema para la recuperación del reloj

A continuación se presentan los parámetros o especificaciones del sistema de recuperación de reloj.

1. Se fija el VCO a una frecuencia central de 134.4 KHz esto se logra a traves de la  $R_2$  y  $C_1$  donde  $R_1 \rightarrow \infty$ ,  $R_2 = 20.55 \text{ k}\Omega$  y  $C_1 = 300 \text{ pF}$ . Lo anterior empleando las ecuaciones de diseño proporcionadas por el fabricante:

$$f_{\min} = \frac{1}{R_2(C_1 + 32 \text{ pF})} \dots\dots\dots \text{Ec 2.3.1}$$

$$f_{\max} = \frac{1}{R_1(C_1 + 32 \text{ pF})} + f_{\min} \dots\dots\dots \text{Ec 2.3.2}$$

donde:

$$\begin{aligned} 10\text{k}\Omega &\leq R_1 \leq 1\text{M}\Omega \\ 10\text{k}\Omega &\leq R_2 \leq 1\text{M}\Omega \\ 100\text{pF} &\leq C_1 \leq 0.01\mu\text{F} \end{aligned}$$

Asumiendo que  $f_{\max} = f_{\min}$ . tenemos que  $R_1 \rightarrow \infty$  y además se propuso el valor de  $C_1 = 330 \text{ pF}$  ( esto de acuerdo a restricción marcada en la hoja de datos para  $C_1$  ). Por lo que despejando  $R_2$  de la ecuación 2.3.1 tenemos que  $R_2 = 20.55 \text{ k}\Omega$  que esta dentro del rango de tolerancia especificado.

2. Se utilizo un potenciómetro en  $R_2$  esto con el fin de lograr un ajuste fino para centrar el valor de la frecuencia esperado. Lo anterior obedeciendo a la inestabilidad de los dispositivos que por lo general nunca son del todo precisos ( en el caso de las resistencias y los capacitores ) o sus propiedades pueden variar ( en el caso del IC ) por diversos motivos como la deterioración por el tiempo, ruido intrínseco o externo etc.

Mediante el osciloscopio se realizo el ajuste de la frecuencia hasta obtener un valor adecuado de  $R_2$  en aproximadamente  $25K\Omega$

3. Se realizo la implementación de un filtro pasa-bajas ( LPF ) a una frecuencia de aproximadamente 100 Hz esto con el fin de acondicionar la señal de error y proporcionar al VCO un nivel de voltaje de DC adecuado para el ajuste de la señal proporcionada de salida del VCO.

Dado que se trato de un filtro pasivo de primer orden se empleo la siguiente ecuación (aproximada) para su diseño.

$$f_c = \frac{1}{(2\pi)RC}$$

donde  $f_c$ = frecuencia de corte=100 Hz y  $C=1 \mu F$ .

por lo que despejando R tenemos que:

$$R = \frac{1}{(2\pi)f_c C} = 1.59K\Omega$$

### 2.3 RECUPERACIÓN DE LA SEÑAL DE RELOJ

En la siguiente figura se puede ver la señal de reloj empleada en el transmisor y la recuperada en el receptor donde se ve que esta última presenta un pequeño retardo con respecto a la primera mismo que no afecta en nada a la recuperación de la información por lo que ya se mencionó en el capítulo anterior cuando se realizó la demodulación la señal ASK.

Lo importante que hay que señalar aquí es que aunque la señal de reloj recuperada presenta un desfaseamiento con respecto a la original (por los motivos ya mencionados) esta señal no se mueve, es decir, una vez amarrada la señal esta no presenta cambios en la fase y permanece alineada con respecto a la señal de reloj original que es lo que nos interesa.

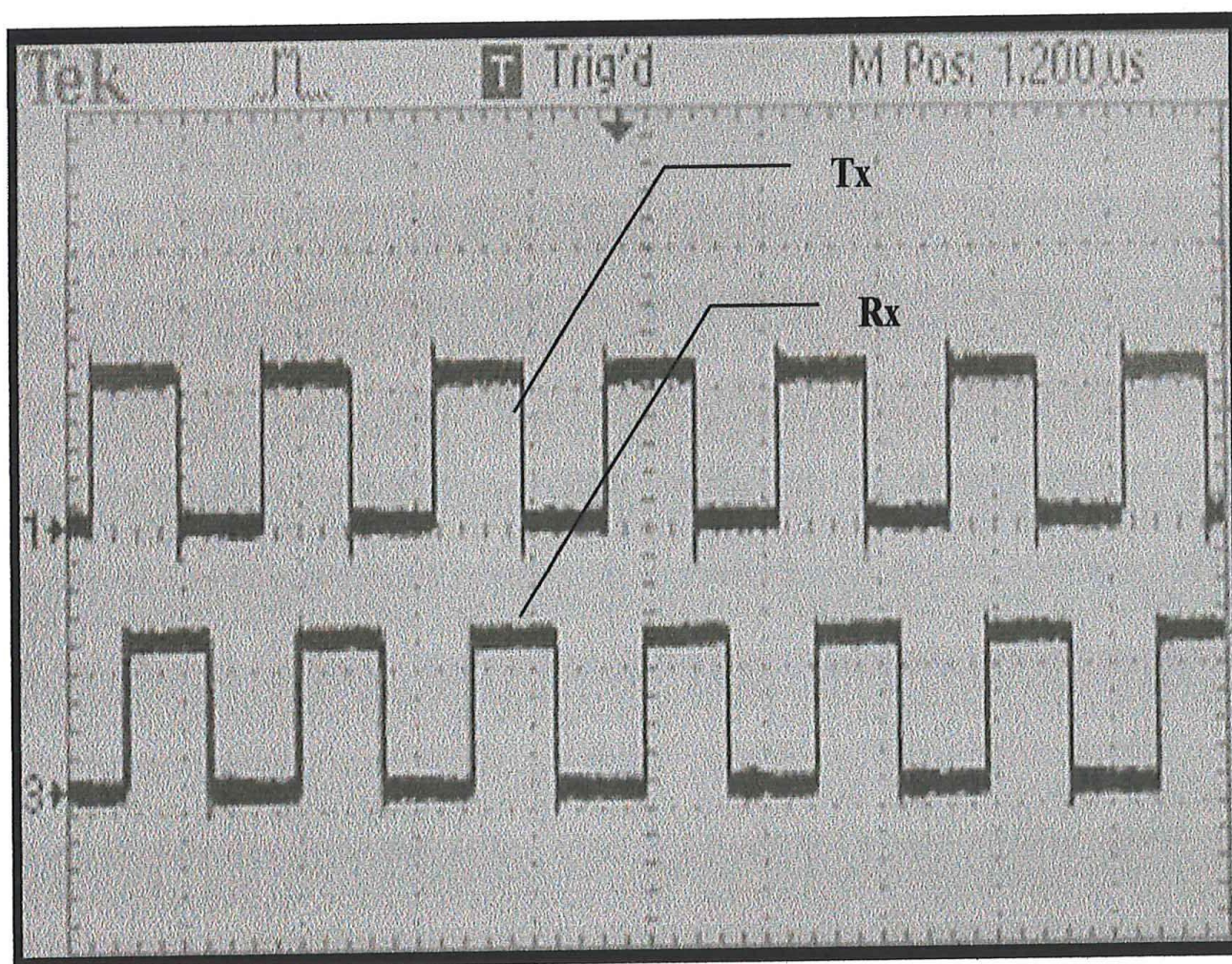


Figura 2.3.3. - Recuperación de la señal de reloj.

**BIBLIOGRAFÍA**

- John B. Anderson **“Digital Transmisión Engineering”** Capitulo 4  
**“Sinchronization”** Ed prentice Hall IEEE ISBN 0-7803-3457-4.
- Roland E. Best **“Phase-Locked Loops Design simulation & aplicaciones”**  
Tercera edición Ed. Mac Graw-Hill ISBN 0-07-006057-7.
- MOTOROLA **“CMOS data book”**.

## 2.4 DECODIFICACIÓN MANCHESTER

Recordando un poco la técnica utilizada para obtener la codificación de línea en la cual se empleo la señal  $SS(t)$  y la señal de reloj para la codificación, pues el proceso inverso se logra a través de la misma operación empleada en la codificación pero entre las señales  $M(t)$  y la de reloj por lo que es importante recuperar esta ultima señal para una buena decodificación.

Una vez que recuperamos la señal de reloj ( gracias al bloque anterior donde un PLL es la pieza fundamental) podemos estar seguros de que la decodificación se lograra de manera adecuada hay que señalar que la señal que se recupere como resultado de este proceso no será la información sino la señal  $SS(t)$  que si recordamos fue codificada en Manchester para efectos de sincronía.

En la siguiente figura se muestra el diagrama a bloques y el diagrama esquemático del decodificador Manchester propuesto.

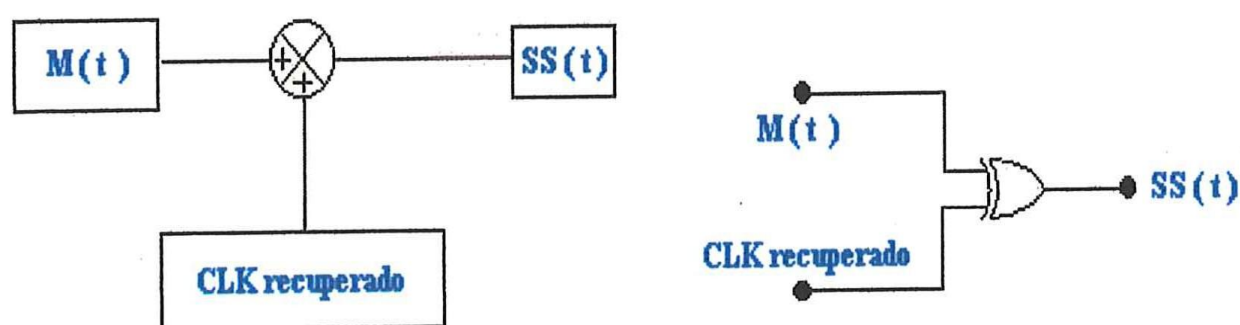


Figura 2.4.1. - Diagrama a bloques y esquemático del decodificador Manchester.

Como se puede ver en la figura anterior el circuito decodificador es exactamente el mismo que se utilizó para codificar y su implementación es de lo más sencilla ya que este solo consta de una compuerta XOR alimentada con la señal de reloj y la señal Manchester  $M(t)$ .

Es aquí donde se ve la importancia de la sincronía ya que si la señal de reloj no está alineada tanto en frecuencia como en fase con el reloj del transmisor pues simplemente la decodificación será errónea y solo tendremos ruido como resultado.

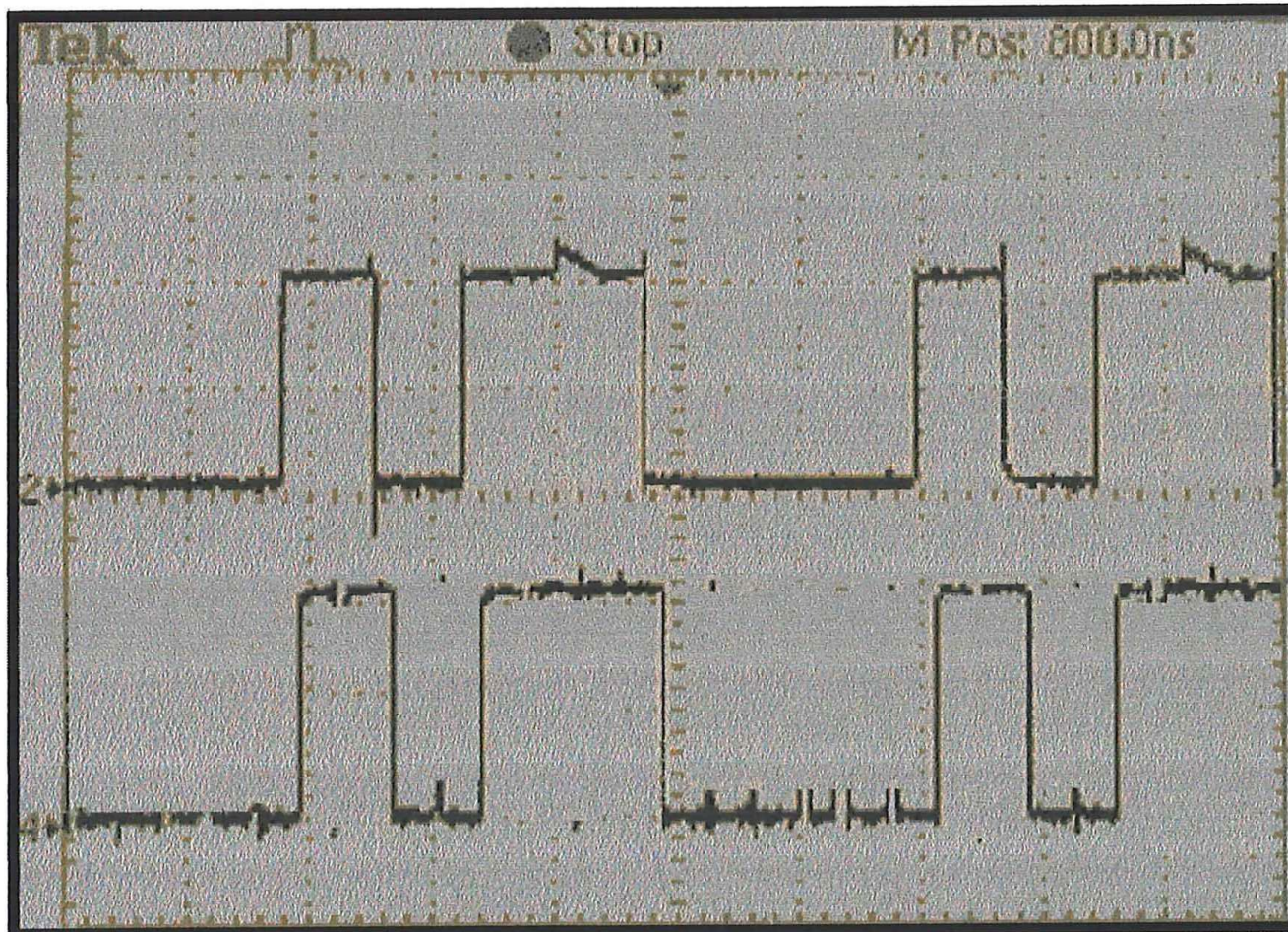


Figura 2.4.2. - Decodificación Manchester

Aquí la insistencia es justificada en cuanto el hecho de señalar que aunque el retardo de la señal decodificada es notorio este no afectará para la buena recuperación de la información por lo que se ha venido manejando desde capítulos anteriores.

## 2.5 GENERACIÓN DE LA SECUENCIA PN

Como ya se menciono con anterioridad para lograr recuperar la información que viene en SS es necesario multiplicar la señal  $SS(t)$  por exactamente el mismo código utilizado para esparcir la señal, de otra manera jamás se recuperara la información de manera adecuada es por esto el esquema de espectro esparcido en secuencia directa es un sistema eficiente en cuanto a seguridad ya que si se emplea cualquier otro código la señal que se obtiene es solamente ruido.

Para lograr la generación del mismo código se implemento la misma ecuación generadora de secuencia pseudo aleatoria utilizada para el esparcimiento de la información aprovechando que ya recuperamos el reloj no hubo necesidad de implementar ningún sistema de seguimiento del código ni nada por el estilo, esta fue la gran ventaja de utilizar una segunda codificación del tipo Manchester.

En la figura se muestra el circuito generador de PN, que como se puede ver es exactamente el mismo que se utilizo para codificar la información en el Tx.

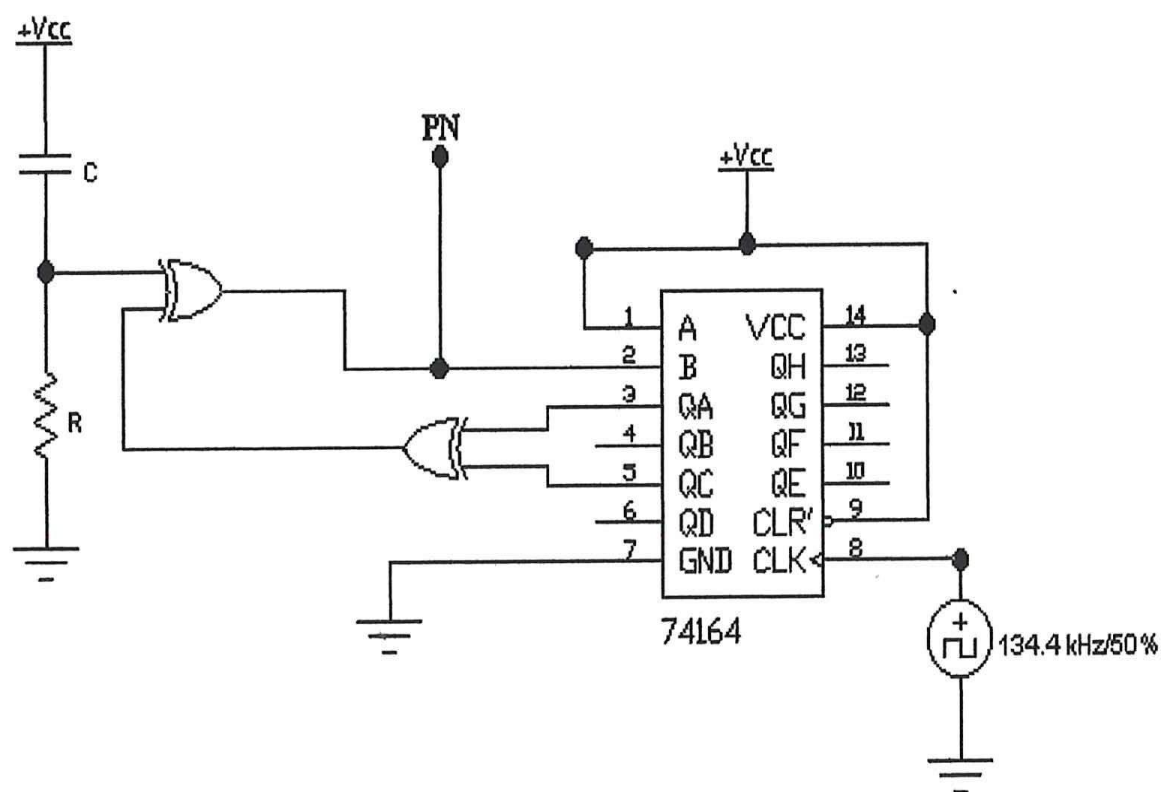


Figura 2.5.1. - Generador de PN

En la siguiente figura se muestra la secuencia pseudo aleatoria generada localmente así como también se tiene la secuencia empleada en el transmisor en dicha grafica se puede observar que la secuencia generada en el transmisor es la misma solo que recorrida y este es un detalle que nos impide recuperar la información. A pesar de ser el mismo código no se puede recuperar con este por no estar alineado con el del transmisor.

Lo anterior debido al momento en que se inicializa el generador de la secuencia mediante el circuito de “arranque” al momento de encender el sistema.

Entonces aquí se presenta otro problema que es la búsqueda de la fase correcta del código por lo que en los siguientes capítulos nos daremos a la tarea de resolverlo.

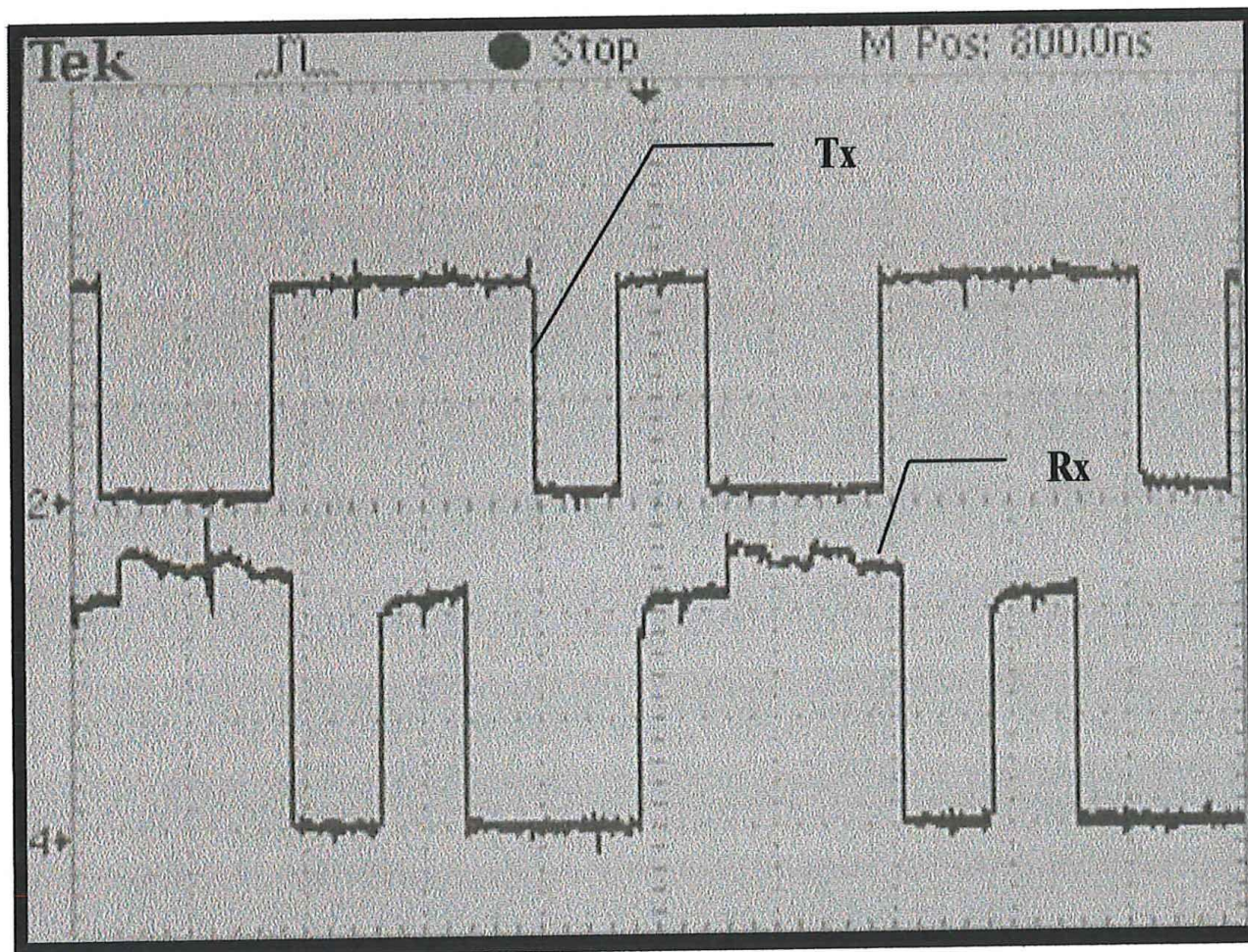


Figura 2.5.2. - Secuencia de transmisión y la generada en el receptor.

## 2.6 RECUPERACIÓN DE LA INFORMACIÓN

---

### TEORÍA PROPUESTA PARA LA DECODIFICACIÓN.

Dada las características de las señales serial y TTL en la cual un pulso negativo indica un 0 para la señal serial y este se representa con un 1 para el formato TTL entonces cuando la línea de datos de la PC este en reposo con un nivel logico de 0 significara que la salida de la interfaz serial será un 1 lo cual se puede interpretar como mantener en un nivel alto la línea cuando no hay flujo de datos.

Este 1 que proporciona la interfaz serial a la circuiteria TTL será considerado como señal de referencia para decodificar, esto porque se estarán transmitiendo una serie de 1's codificados cuando no haya transmisión valida de información lo cual dará el tiempo suficiente al receptor para recuperar la señal de reloj y alinear la secuencia con respecto a la del transmisor.

Mencionado lo anterior se propone generar todos los corrimientos posibles de la secuencia PN generada localmente y sincronizada con la señal de reloj recuperada ( la cual esta en fase con la del transmisor) los cuales son 6 sin incluir la original lo que da un total de 7 secuencias con fase diferente.

Lo anterior es con la intención de decodificar la señal  $SS(t)$  con todas las secuencias generadas para verificar con cual de ellas se recuperan los bits transmitidos como referencia ( la cadena de 1's ) cuando se realice la recuperación de estos bits se realizara el amarre de la señal correspondiente y se tomara como secuencia decodificadora.

Para lograr lo anterior se realizaron varios bloques que serán analizados a detalle en los siguientes capítulos. Por lo que a partir de aquí se dedicara a la comprobación de la teoría propuesta como sistema de decodificación el cual contempla las siguientes secciones:

- **Lógica de retardos:** será la encargada de generar los corrimientos de la secuencia pseudo aleatoria y que serán los que decodifiquen la señal pero solo una será la correcta.
- **Multiplexión de las fases:** como su nombre lo indica será la encargada de multicanalizar los retardos generados esto para disponer de un señal PN a la vez.
- **Búsqueda y amarre de la secuencia correcta:** este bloque se encargara de decodificar la señal en espectro esparcido con las fases generadas y además se ocupara de verificar que se recuperaron los bits de referencia así como realizar la conmutación de las fases o el amarre de esta.
- **Decodificación y recuperación de la información:** este ultimo bloque será el que recupere la información en formato TTL lista par ingresarla a otra interfaz serial para después pasarla a la computadora receptora.

Esta sección (capítulos 2.6.1 al 2.6.4) estara dedicada a la comprobación de la teoría propuesta, solo que se maneja una dinámica un poco distinta a la seguida en el transmisor ya que maneja un parte introductoria con teoría solo cuando sea necesario por lo que algunos capítulos entraran directamente al bloque o sección correspondiente.

## 2.6.1 LÓGICA DE RETARDOS

El sistema generador de retardos fue implementado con FLIP-FLOPS tipo D para ello se utilizó el IC 74LS174 el cual contiene 6 FLIP-FLOPS independientes los cuales fueron conectados en cascada con el fin de ir generando un bit retardo por cada FLIP-FLOP y sincronizados con una misma señal de reloj (reloj recuperado).

En la siguiente figura se puede ver el diagrama esquemático del sistema retardador y en las siguientes dos figuras las formas de onda obtenidas de este sistema.

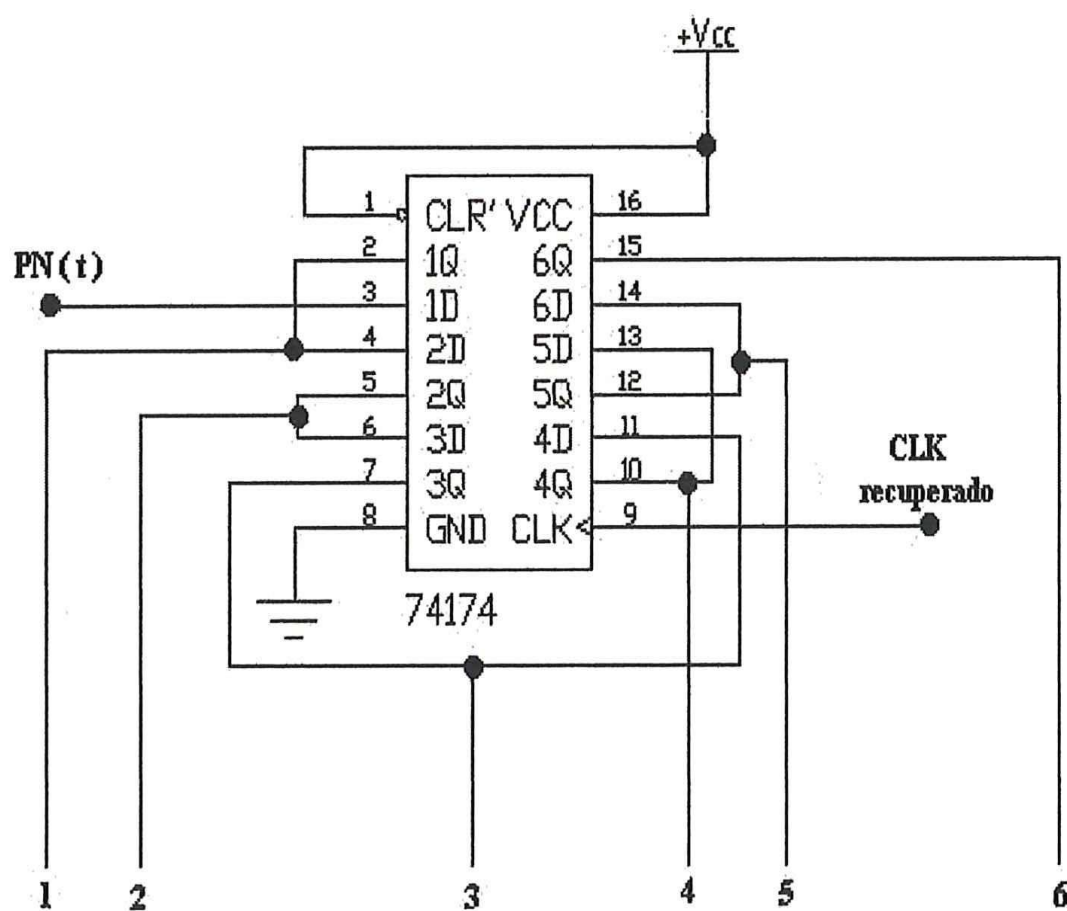


Figura 2.6.1.1. - Lógica de generación de retardos.

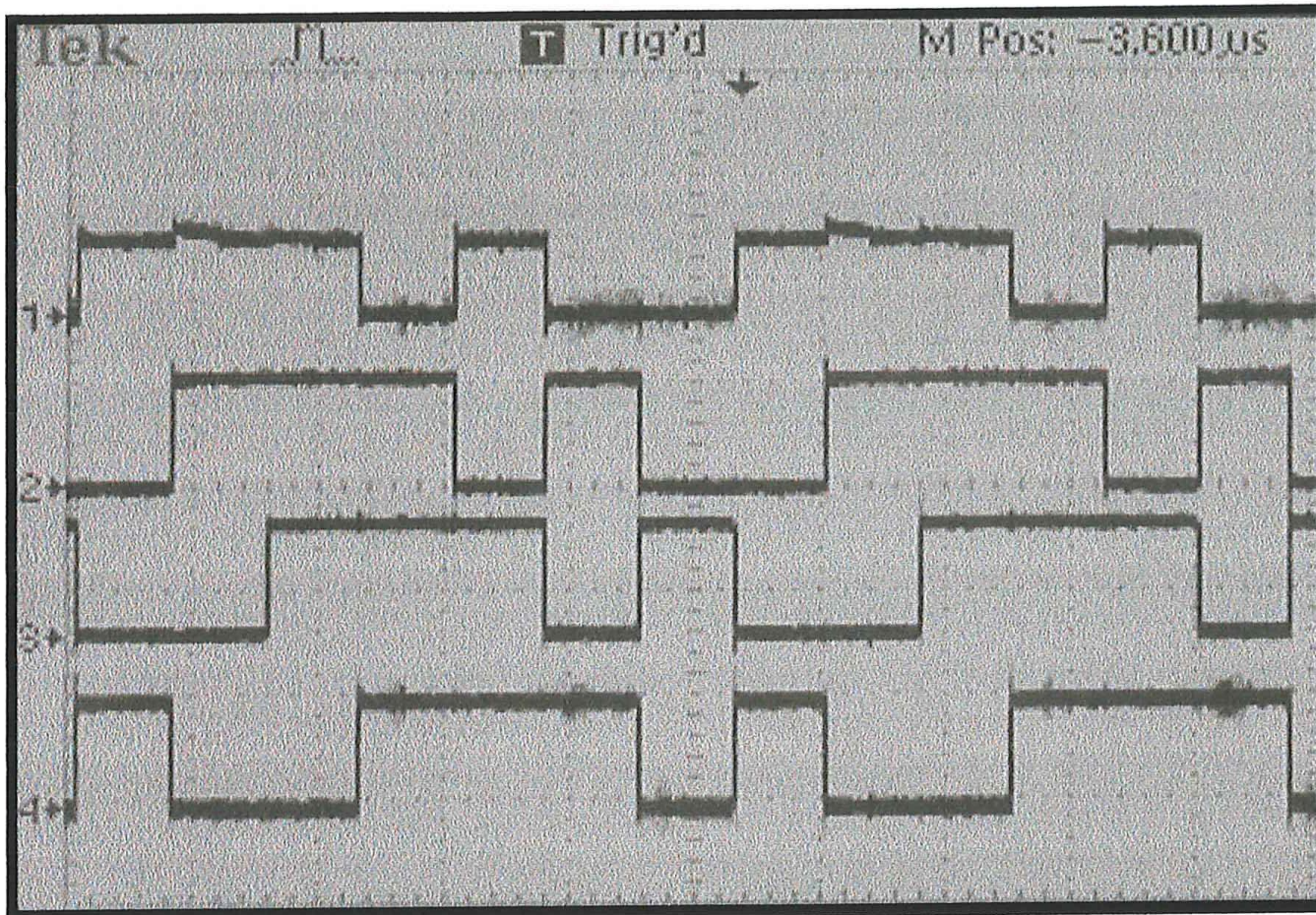


Figura 2.6.1.2 Generación de retardos.

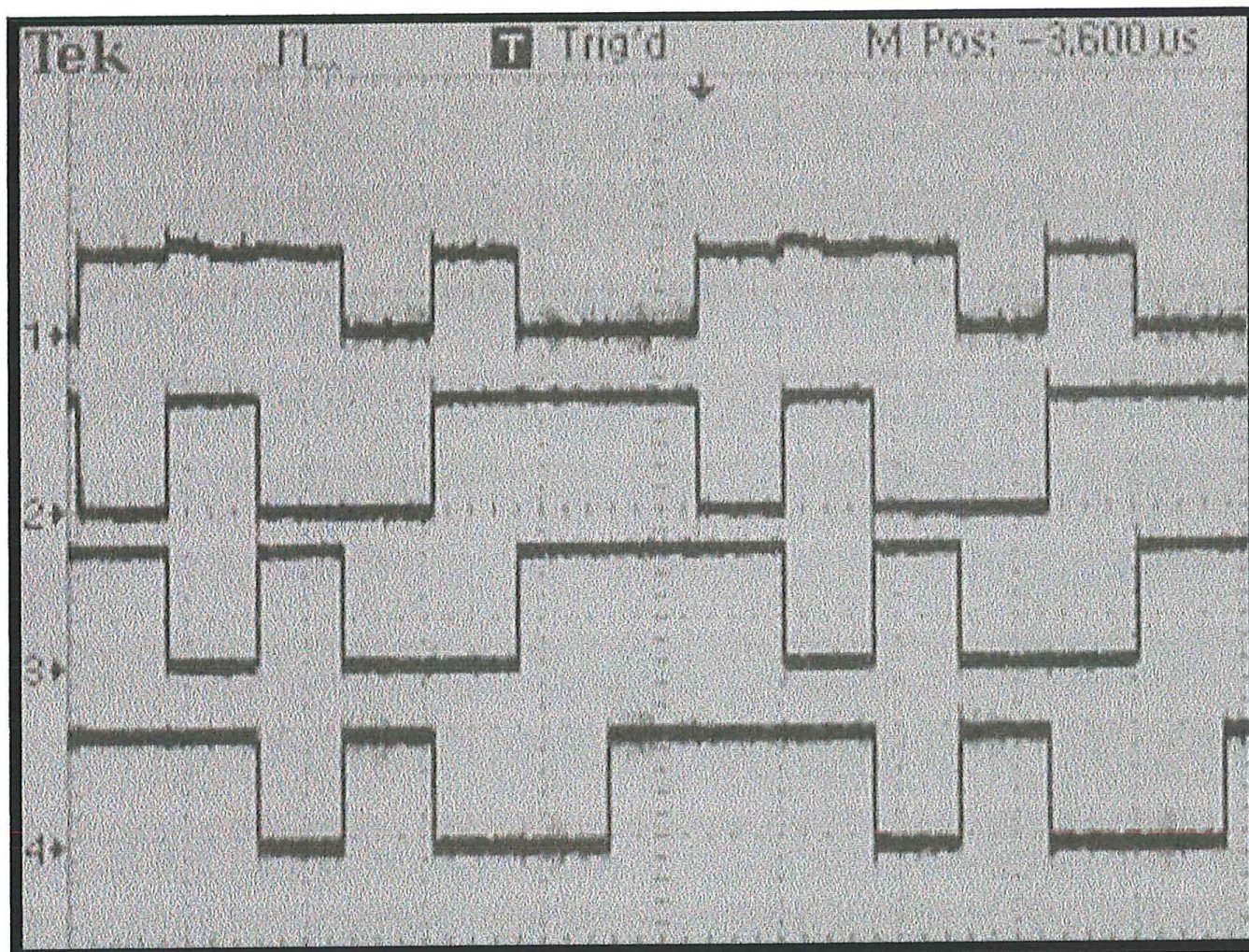


Figura 2.6.1.3 Generación de retardos (continuación).

Al implementar este sistema en el laboratorio las señales de salida eran entregadas con cierta degradación por lo que se decidió utilizar un buffer a la salida del sistema de retardo utilizando como tal el IC 74LS245 el cual es un trancceptor de 8 canales, logrando de esta manera la reconstrucción total de las señales. Lo anterior se hizo para evitar cualquier problema en las siguientes etapas.

La figura siguiente muestra el diagrama del sistema reforzador que se utilizó, las señales de las figuras 1.6.1.2. y 1.6.1.3 son tomadas de las salidas de este sistema reforzador.

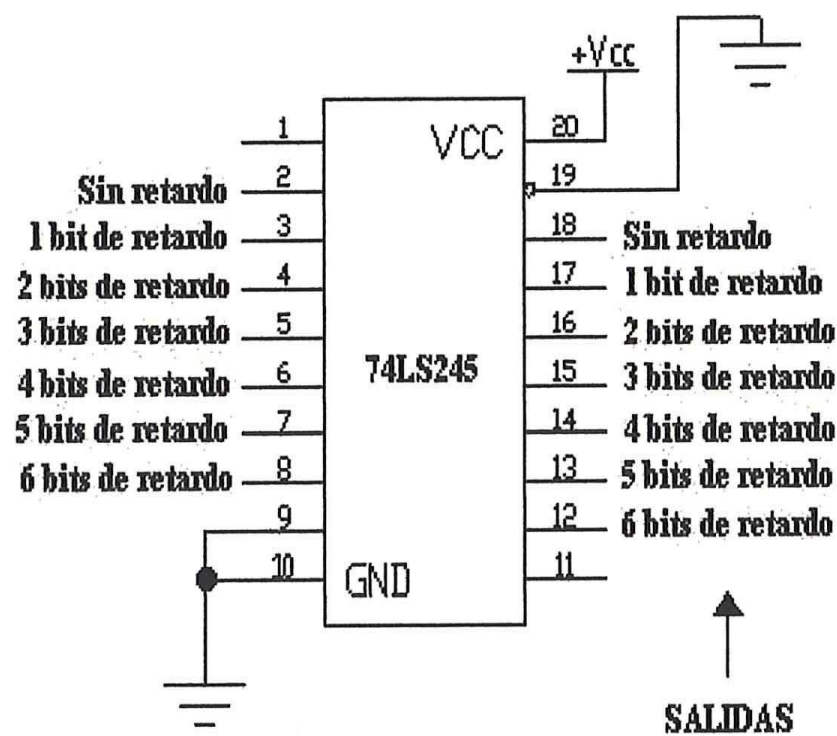


Figura 2.6.1.4. - Sistema reforzador para los retardos.

## 2.6.2 MULTIPLEXIÓN DE LAS SIETE FASES

Como ya se menciono necesitamos disponer de cada una de las siete fases de la secuencia PN pero necesitamos solo una a la vez, por esto se realizo una multiplexión de las mismas.

Para lograr esto se utilizo un multiplexor analógico de 8 canales de la compañía MAXIM (MAX368CPN) el cual presenta una ventaja la cual es que posee un latch para mantener la comunicación de uno de los canales a la salida sin importar lo que pase en la sección de la selección de canal, en la figura 2.6.2.1 podemos ver el diagrama de este sistema.

Como se puede ver en la misma figura existe un contador binario con el cual se hace la conmutación de cada una de las fases pero además este contador requiere de un reloj para la velocidad de conteo el cual es totalmente independiente de la señal de reloj que se recupero, por esto esta marcado como CLK2.

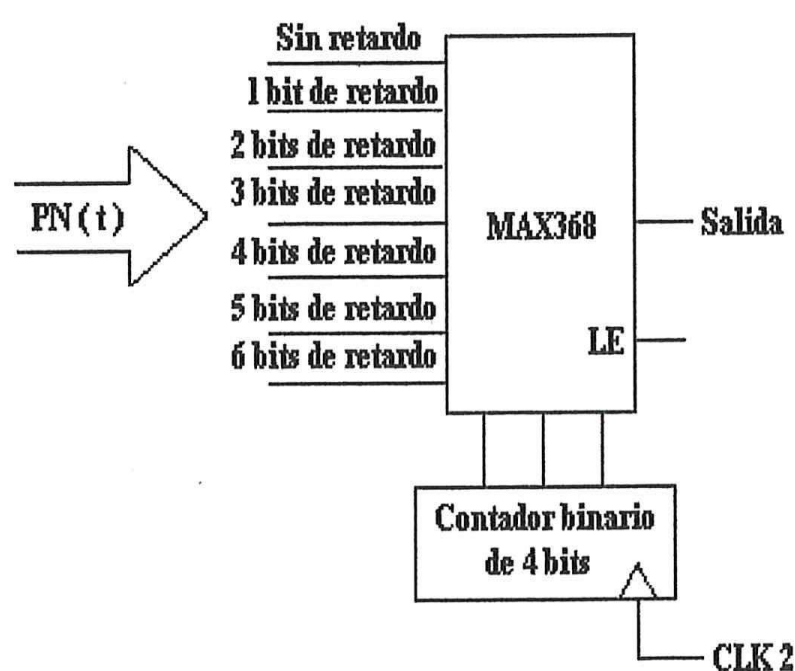


Figura 2.6.2.1. - Multiplexión de las fases.

## 2.6.2 MULTIPLEXIÓN DE LAS SIETE FASES

---

Dicha señal de reloj será proporcionada por la sección correspondiente a la lógica de comparación y decisión que se vera mas adelante cuando se realice la búsqueda del código correcto.

La señal para activar el latch también será proporcionada por la misma sección antes mencionada y esta garantizara que esa señal no se pierda además la señal de reloj que recuperamos ayudara a evitar que la secuencia PN se mueva o sufra cambios con respecto a la utilizada en la transmisión asegurando así la recepción correcta.

### 2.6.3 BÚSQUEDA Y AMARRE DE LA FASE

---

Es en este punto donde se aprovechara la propiedad del puerto serie antes mencionada.

Como ya se menciona, la teoría propuesta para realizar la búsqueda y el amarre de la fase es decodificar la señal  $SS(t)$  con cada una de las siete fases de la secuencia pseudo aleatorio y comparar los siete bits que resulten de esta decodificación con un 1 y si la comparación es verdadera significara que ese es el código correcto o la fase correcta y mediante una lógica combinatoria se lograra el amarre de ese código en caso contrario se realizara la conmutación a la siguiente fase.

Aquí se menciona que son siete bits como resultado de la decodificación esto es porque en el esparcimiento de la información se utilizo un código de siete chips lo que nos arroja que 1 bit de información se codifico en siete bits.

Algoritmo propuesto para la búsqueda y amarre de la fase.

1. Decodificar la señal  $SS(t)$  con la secuencia PN.
2. Ingresar la señal decodificada a un sistema SIPO (Serial Input Parallel Output).
3. Ingresar las salidas del sistema SIPO a una un circuito de comparación referenciado.
4. Si la comparación es verdadera (iguales) activa el LE (Latch Enable) y pasa al punto numero 6.
5. Si la comparación es falsa, pasar a la siguiente fase de la secuencia PN y regresa al punto numero 1.
6. Fin.

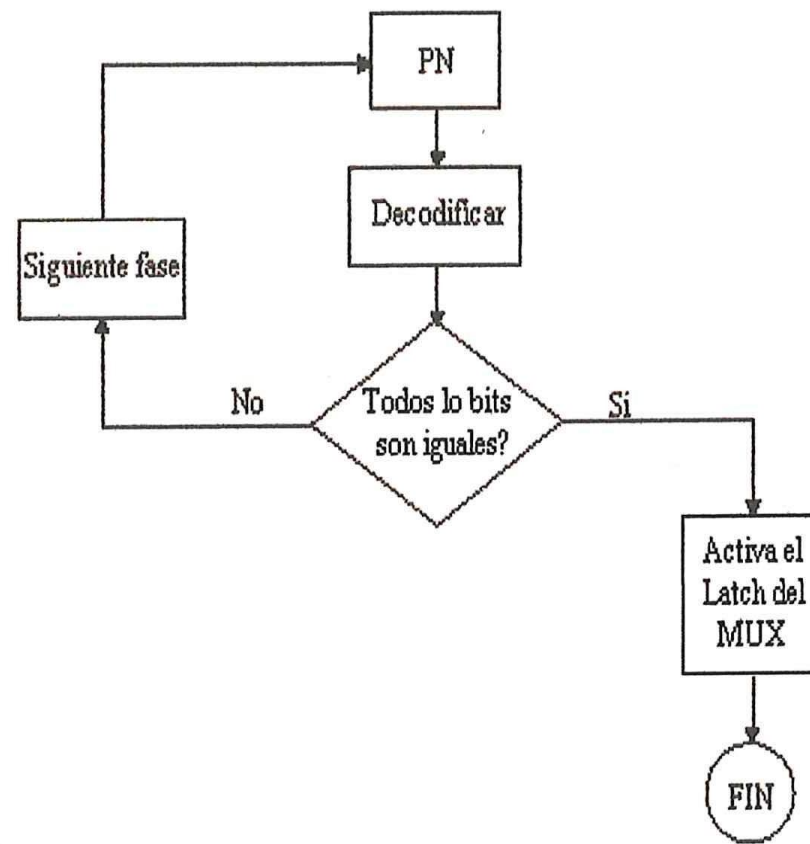


Figura 2.6.3.1.- Diagrama de flujo del sistema de búsqueda y amarre.

En la figura 2.6.3.2 podemos ver un diagrama a bloques del sistema utilizado para la búsqueda y amarre de la fase correcta de la señal PN, la cual se empleara decodificar los datos.

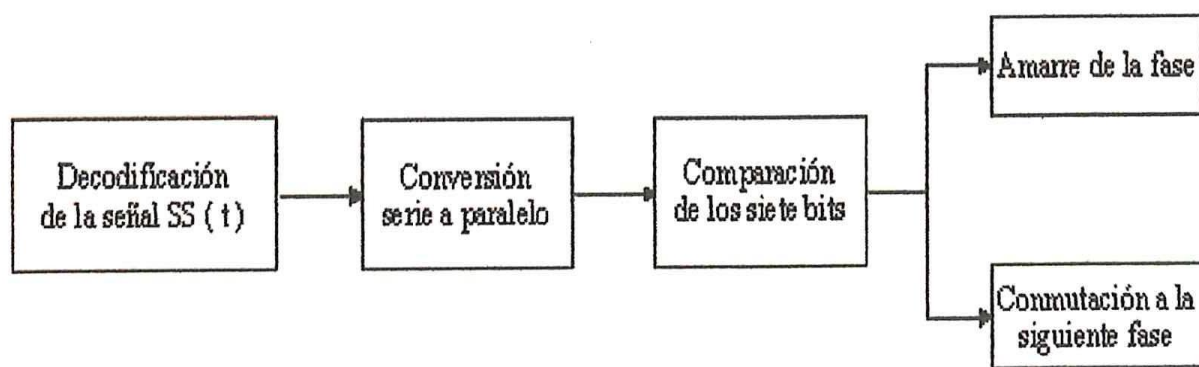


Figura 2.6.3.2.- Diagrama a bloques del sistema de búsqueda y amarre de fase.

### 2.6.3 BÚSQUEDA Y AMARRE DE LA FASE

Para la realización física de este sistema se emplearon los siguientes dispositivos:

- 1 IC 74LS86 compuerta XOR cuádruple.
- 1 IC 74LS164 registro de corrimiento de 8 bits
- 1 IC 74LS30 compuerta AND de 8 entradas.
- 1 IC 74LS74 FLIP-FLOP tipo D.

En la siguiente figura se muestra el diagrama esquemático del circuito de comparación y decisión implementado.

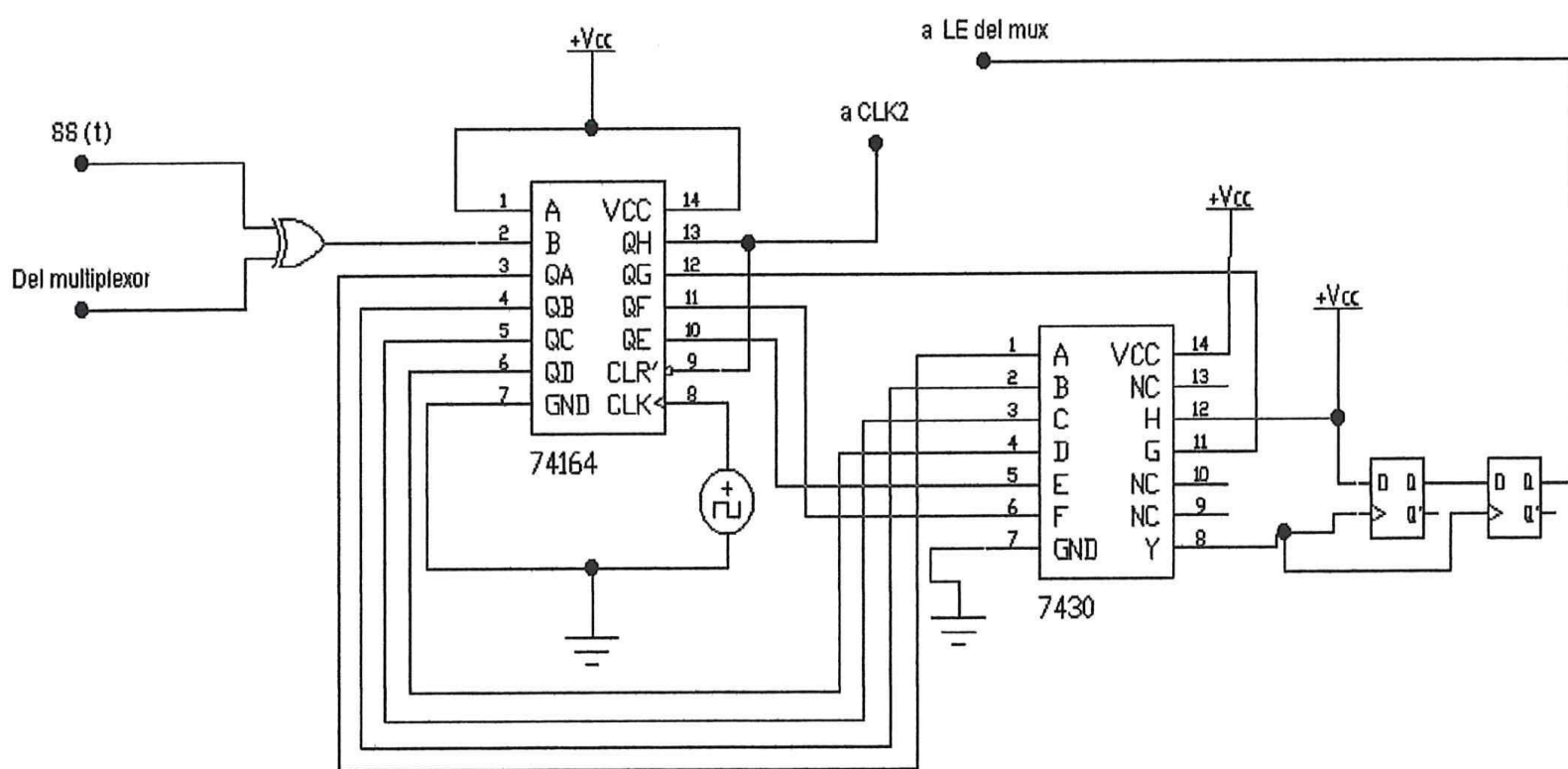


Figura 2.6.3.3.- Búsqueda y amarre de la fase de la señal PN.

Como se puede ver en la figura la primera parte esta compuesta por una compuerta XOR la cual comprende la sección de decodificación seguida de esta se encuentra el registro de corrimiento el cual cumple con la función de convertir la señal decodificada de una forma serie a paralelo esto con el fin de poder acceder a todos y cada uno de los siete bits decodificados en un instante de tiempo como se puede ver en el mismo diagrama los siete bits que resultan de esta decodificación son ingresados a una compuerta AND de 8 entradas ( donde la octava entrada esta puesta en un nivel alto ) esta compuerta es la encargada de realizar la comparación de los siete bits, aquí es claro que si uno de estos bits es cero la salida será cero y de igual forma si todos son 1 entonces como salida se tiene un 1.

Por lo anterior se nos presentan dos casos:

1. En el caso de tener 1 en la salida este dispara un FLIP-FLOP que deja pasar la señal del punto D al punto Q, que en este caso es un 1, con el cual se habilita el LATCH del multiplexor y la fase queda retenida sin importar lo que este pasando después en la sección de selección de canal del multiplexor. Para asegurarse de que se atrapa la fase correcta se realiza una doble comparación la cual esta ilustrada en la figura con los dos FLIP-FLOPS ya que en la primer comparación correcta el 1 de la entrada del primer FLIP-FLOP pasa a la entrada del segundo y en la segunda comparación también correcta dicho 1 pasa al LE (latch enable) del multiplexor con lo que la fase queda asegurada.
2. En caso de que la comparación sea falsa ( salida cero), es decir que los siete bits no sean iguales, el octavo bit del registro de corrimiento es el encargado de aumentar en uno el contador que controla la conmutación de las fases del multiplexor así como también limpiar los registros. Lo anterior es basándose en el hecho de que en algún momento dicho registro tendrá un uno el cual activara el sistema que realiza las funciones antes descritas.

En la figura tenemos el circuito encargado de generar la señal de reloj que acompaña el sistema de conversión serie-paralelo como se puede ver se empleo el circuito LM555, en este sistema el circuito presento un desempeño aceptable.

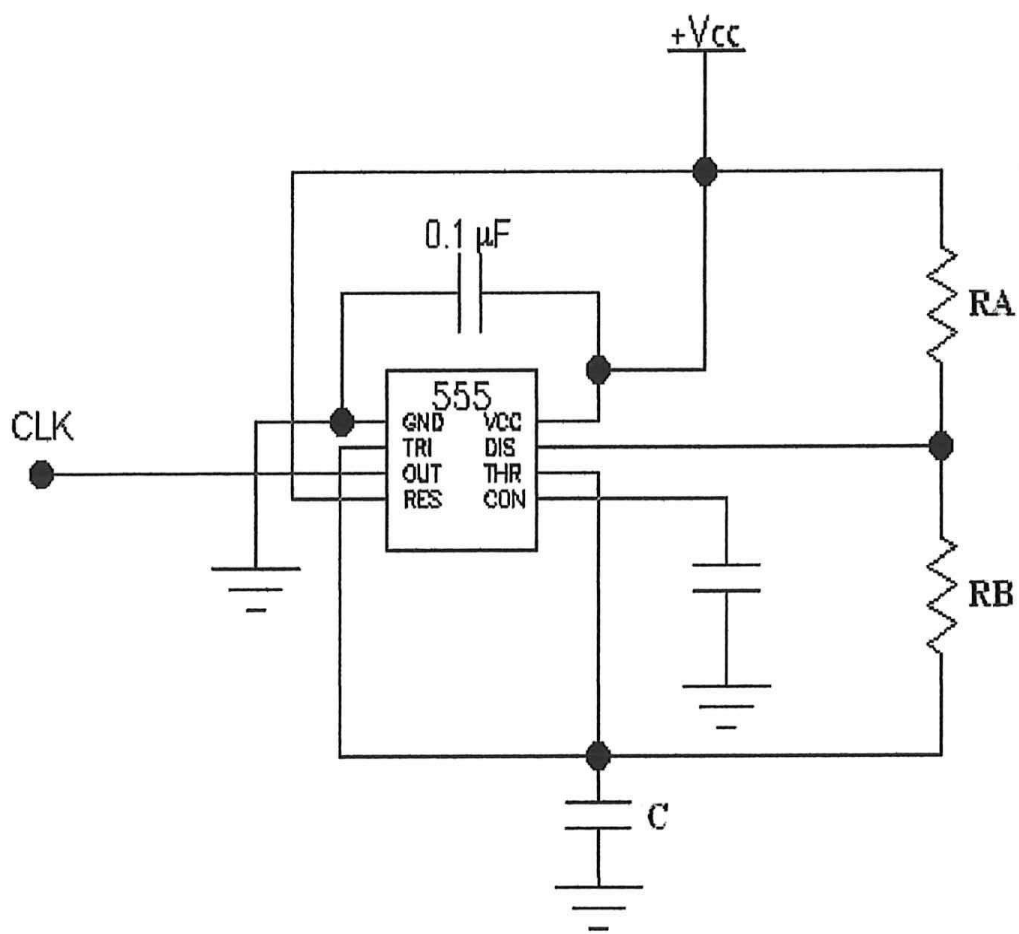


Figura 2.6.3.4.- Circuito de reloj para el sistema de conversión serie-paralelo

Se manejo un frecuencia de 500 Hz para la conversión serie-paralelo. Y de acuerdo a la ecuación 1.3.4 manejada en el capitulo 1.3 tenemos para  $R_A=1K\Omega$  y  $C=1\mu F$  obtenemos un valor de  $R_B=940\Omega$ .

## 2.6.4 DECODIFICACIÓN FINAL Y RECUPERACIÓN DE LA INFORMACIÓN

Una vez que se recupero la señal de reloj, se decodifico Manchester, se genero de la secuencia PN de manera local y se alinee esta ultima con respecto a la del transmisor, tan solo resta decodificar la señal  $SS(t)$  con la secuencia PN alineada para recuperar la información aunque en formato TTL. Como ya sabemos esto se logra a través de una compuerta XOR alimentada con la señal en espectro esparcido y la secuencia código que proviene del multiplexor. El circuito decodificador utilizado se muestra en la figura 2.6.4.1 y en la figura 2.6.4.2 se tiene la señal de datos en el transmisor y la obtenida en el receptor.

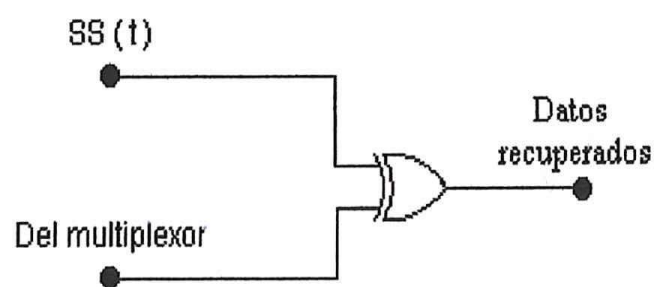


Figura 2.6.4.1 Decodificador SS

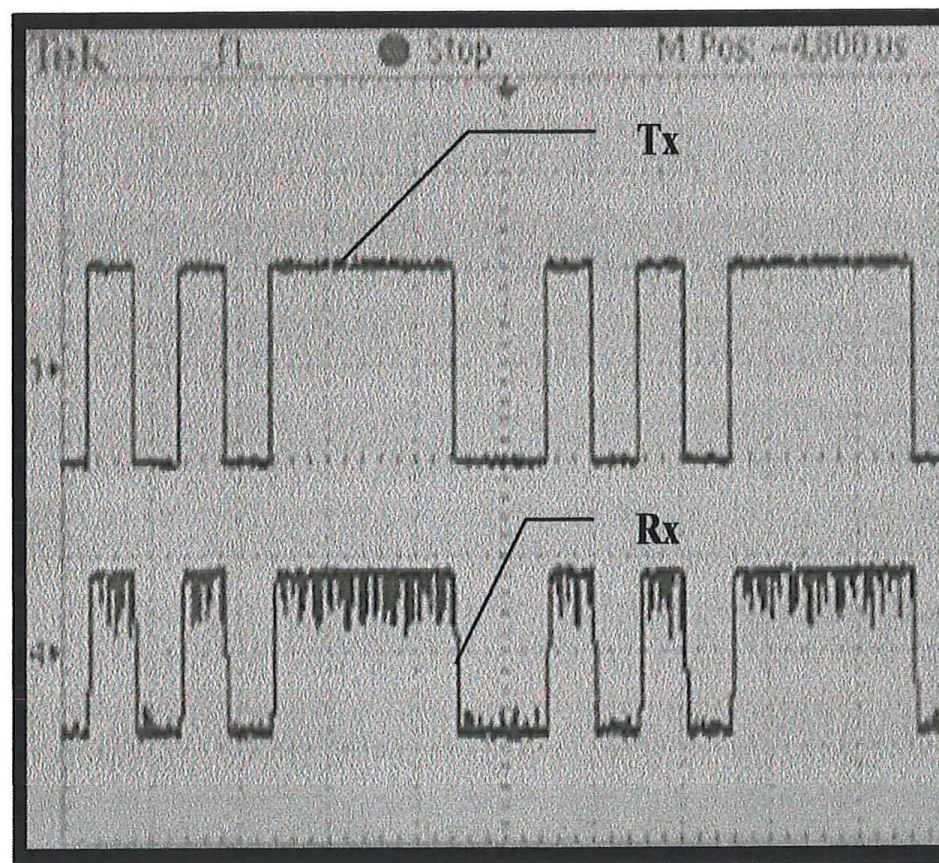


Figura 2.6.4.2. - Decodificación de la señal SS y recuperación de la información.

Aquí resulta interesante señalar que un cuando la señal recuperada presenta un cierto nivel de ruido este no afecta en lo mas mínimo ya que se mantiene dentro del umbral que le corresponde al nivel logico de 1 por lo que este se mantiene y no genera cambios en la señal.

### 2.6.4.1 INTERFAZ SERIAL

Como se menciona en la pagina anterior la señal que se obtiene de la decodificación final esta en un formato TTL por lo que se requiere de un ultimo proceso para ingresar la información a la computadora el cual es pasar la señal a través de un circuito de interfaz serial como el utilizado en el capitulo 1.2 para que de esta manera la computadora logre interpretar de manera adecuada la información y dar por terminado el enlace.

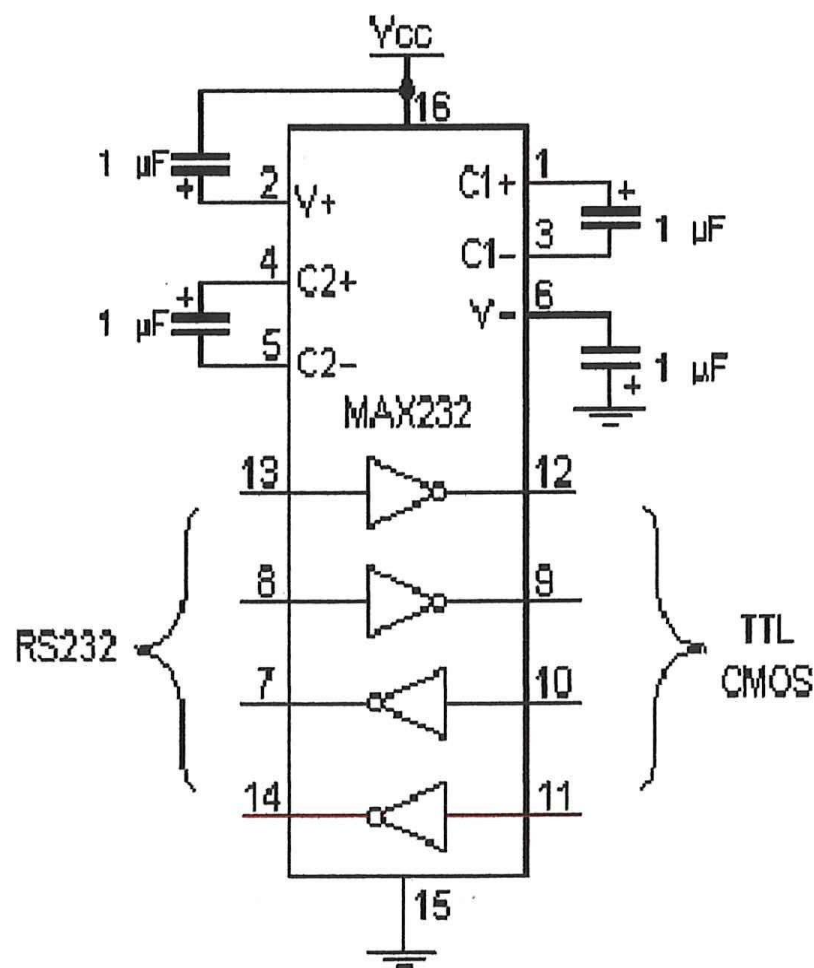


Figura 2.6.4.1. Interfaz serial

### 3 CONCLUSIONES

Como se vio a lo largo de este trabajo realizar un sistema de comunicaciones digitales empleado la técnica de espectro esparcido no es cosa trivial el presente documento queda como parte de una serie de trabajos que han abordado esta temática y se concluye con el deseo de que cada vez mas gente tenga el valor y el entusiasmo de entrar en el desarrollo de nuevos sistemas aplicando nuevas técnicas.

Durante la sección del receptor se hablo mucho del retardo de las señales recuperadas con respecto a las del transmisor y se insistió tanto en que este no afectaba en nada la recepción y realmente no la afecto, en la siguiente figura se muestran las formas de onda de la señal  $M(t)$ , reloj recuperado y la secuencia generada con la idea de ver que entre ellas el retardo es nulo realmente pasa desapercibido, tal y como se comento que sucedería en el capítulo 2.2.

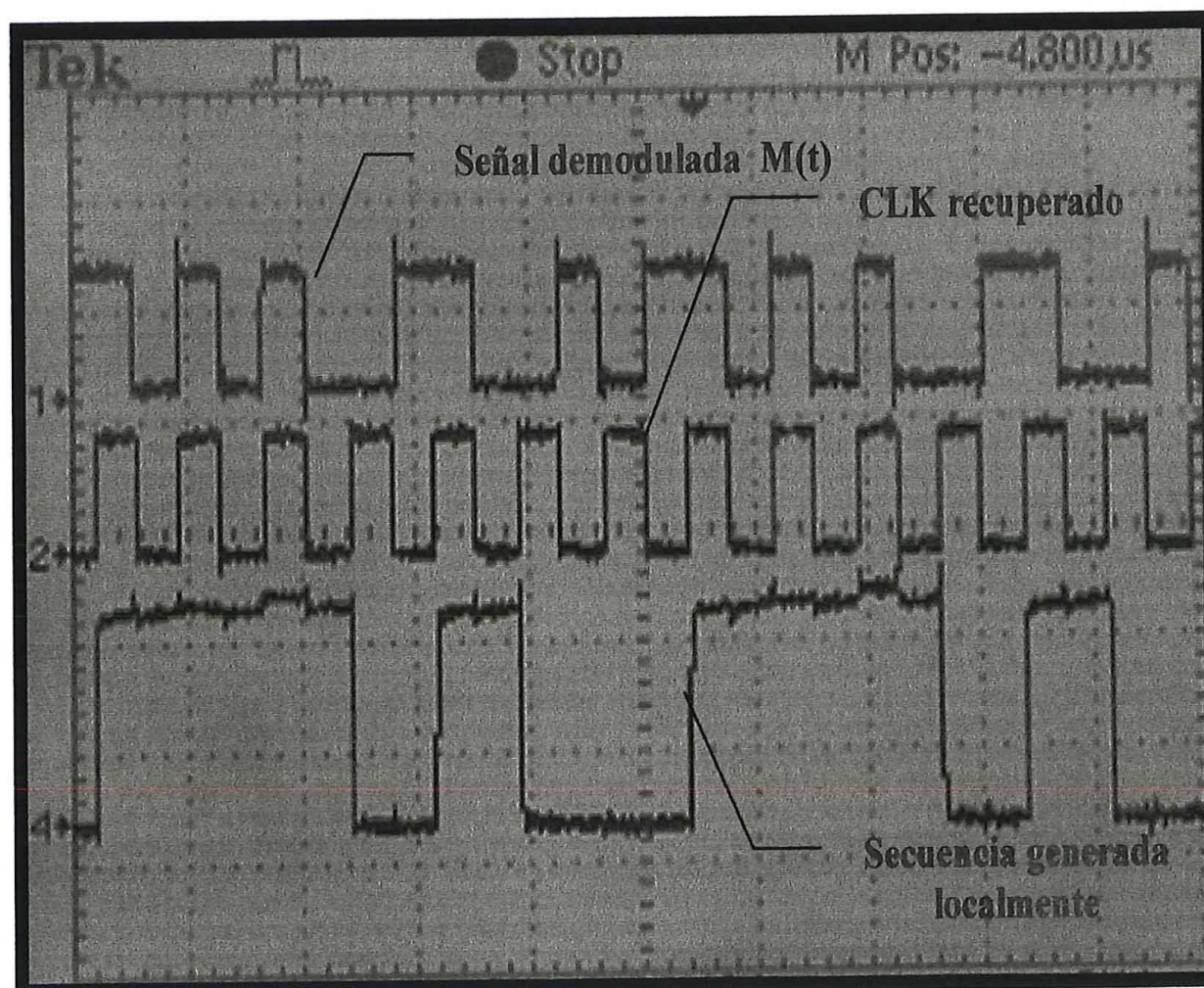


Figura 3.1. -Formas de onda recibidas.

Se comprobó además como si el receptor no es capaz de generar y alinear debidamente la secuencia pseudo aleatoria con respecto a la del transmisor la recuperación es imposible lo que agrega al sistema una característica de seguridad, la cual viene a sustentar el propósito de este proyecto que es precisamente la seguridad y privacidad en el enlace.

Se vio además como la sincronía es un factor muy importante que como se menciona es parte esencial dentro de las comunicaciones digitales sin esta la recuperación habría sido imposible por lo que no basta solamente con generar la secuencia decodificadora sino existen varios factores que hay que cuidar y entre ellos esta precisamente la sincronía.

Se tiene que si bien la codificación es con una secuencia que posee un periodo de chip pequeño esto no resta en nada las propiedades de un sistema en espectro esparcido ya que si bien los estándares para CDMA especifican anchos de banda para el esparcimiento de la señal en el orden de los 1.25 MHz hacia arriba, para propósitos de demostración del sistema propuesto la secuencia utilizada es valida además que los protocolos o especificaciones están enfocados a sistemas comerciales especialmente telefonía celular y nuestro sistema no esta orientado en ese sentido pero en un momento dado que se deseara implementar de manera comercial se podría emplear alguno de los estándares disponibles.

O bien se podría generar un nuevo protocolo para el sistema aquí presentado ya que como aquí se vio esta orientado a la computación por lo que presentaría aplicaciones en redes de datos, módems inalámbricos, transferencia de datos por puerto serie, etc.