

UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

**INSTITUTO DE INGENIERÍA
MAESTRÍA Y DOCTORADO EN CIENCIAS E INGENIERÍA**



TEMA.

Delaminación en empaquetado de circuitos integrados

TESIS PARA OBTENER EL GRADO DE DOCTOR EN INGENIERIA

PRESENTA:

José Manuel Flores Gaxiola

DIRECTOR DE TESIS:

Dr. Nicola Radnev Nedev

CO-DIRECTOR DE TESIS:

Dr. Rogelio Arturo Abraham José María Ramos Irigoyen

MEXICALI, B. C.

Diciembre 2017

AGRADECIMIENTOS

Agradezco a mis padres por haberme inculcado el estudio como base de la superación, a familia, esposa e hijas por darme la oportunidad y el tiempo de lograr este objetivo de gran importancia.

Especial agradecimiento a los directivos de “SKYWORKS solutions”, Oscar Sanchez, Luis Solis y Joaquin Jimenez, por apoyar este tipo de programas y darnos la oportunidad de realizar este trabajo de investigación.

Especial agradecimiento a los Doctores Roberto Ibarra y Benjamin Valdez Salas por tener la visión de iniciar el programa de vinculación: Universidad, Industria y Gobierno.

Especial agradecimiento a los Dres. Nicola Radnev y Mario Curiel por compartir sus conocimientos en cada una de las cátedras impartidas durante el periodo de tiempo que duro este programa.

Nuevamente especial agradecimiento al Dr Nicola Radnev, por el soporte, asesorías y consejos brindados a lo largo del programa de estudios.

Este contiene resultados de investigaciones de varios ingenieros de SKYWORKS que han dedicado tiempo para solucionar problemas de empaquetamiento de circuitos - delaminación, por su colaboración y trabajo duro, para entender causas raíces agradezco a los ingenieros: Seth Greiner, Tony LoBianco, Rafael Chavez, Pedro H Acosta.

RESUMEN

Este trabajo de investigación está enfocado a entender de forma teórica y práctica uno de los principales problemas que afectan a la industria de fabricación de circuitos integrados, este problema se refiere a la separación entre las diferentes capas de diferentes materiales que tienen los circuitos integrados. Se enfoca principalmente en las uniones entre los epoxicos - circuito impreso o sustrato y circuito semiconductor y Epoxico. Se utilizarán técnicas y metrologías conocidas por la industria para detectar el problema (Como C-SAM / T-SCAN, cortes transversales y prueba eléctrica de los circuitos).

La investigación parte de circuitos con evidencia de problemas reales de delaminación, se debe entender el problema, encontrar las principales variables que lo afectan y encontrar las soluciones que ayuden a eliminarlo o minimizarlo.

Básicamente se analizarán dos vehículos de prueba o dos circuitos, ambos son amplificadores que contienen circuitos dados de GaAs, SiGe, SiO₂ y Silicio que son los materiales comúnmente utilizados en la fabricación de circuitos amplificadores para RF.

La mayor parte de la investigación se realizó en los laboratorios de la UABC y en los laboratorios y equipos de ensamble de SKYWORKS solutions.

También se utilizaron software/programas de análisis de elementos finitos para entender de una manera teórica-práctica el comportamiento de los materiales. Alguna información mostrada proviene de los proveedores de materiales, la cual se encuentra en el área de anexos de este documento.

Este proyecto es importante para entender uno de los fenómenos que más preocupan a la industria semiconductora de fabricación de circuitos integrados. En la industria se fabrican miles de millones de circuitos diariamente, hay estudios que mencionan que el 65% del total de fallas en microelectrónica son fallas relacionadas a fenómenos termo- mecánicos [2]. Si consideramos que en el mundo se fabrican miles de millones de circuitos diariamente, el costo debido a desperdicio por este tipo de fallas es considerable.

Realizar este tipo de estudios en la UABC, en México, ayudara a incrementar los conocimientos en el área de empaquetado de semiconductores, y aún más importante, se involucra a universidades mexicanas en la investigación de una de las áreas más importantes de la industria en el mundo. Esto ayudara sin duda a despertar el interés en México de las grandes compañías dedicadas a este rubro.

Anteriormente ya se han realizado algunos estudios en propiedades físicas de semiconductores en el instituto de ingeniera de la UABC y esto ayudara a complementar e incrementar los conocimientos en esta área.

El entender el fenómeno de delaminacion y sus principales causas en la industria de fabricación de circuitos integrados, mediante el modelado del comportamiento termo-mecánico entre los materiales, ayudara a mejorar la calidad en la industria de fabricación de circuitos.

INDICE

1.-INTRODUCCION	6
2.-ANTECEDENTES	8
3.-OBJETIVOS	14
4.-MATERIAL Y METODO	15
5.-RESULTADOS	25
6.-CONCLUSIONES	44
7.-ANEXOS	46
8.-BIBLIOGRAFIAS Y REFERENCIAS	50

1 INTRODUCTION

La fabricación de circuitos micro electrónico se ha venido incrementando exponencialmente en las últimas décadas para su uso en diversas áreas, tales como sistemas de cómputo, telecomunicaciones, comunicaciones móviles (teléfonos inteligentes), interconectividad, e internet. Así como la tecnología avanza y cada vez se pueden hacer micro circuitos más pequeños se vuelve un reto la fabricación y empaquetamiento de los mismos, esto debido a que al reducirse el tamaño y tener mayor integración de funciones, se incrementa la densidad de disipación de potencia y densidad de interconexiones, incrementándose de esta forma las demandas de confiabilidad de los circuitos.

El empaquetamiento es la tecnología que nos permite establecer las interconexiones eléctricas y proteger del exterior con el recubrimiento adecuado los circuitos integrados, también provee importantes funciones como interconexión de señales eléctricas, protección contra riesgos mecánicos y químicos, de esta forma los circuitos tienen soporte, mejor distribución de potencia eléctrica y adecuada disipación del calor generado por el mismo circuito.

Por lo tanto la confiabilidad térmica-mecánica de los micro circuitos electrónicos y ensamblajes son una de las mayores preocupaciones y áreas de atención en la industria electrónica, hoy en día un alto porcentaje del total de fallas en microelectrónica son debido a problemas termo-mecánicos. Algunas de las fallas más comunes son delaminación, dados de silicio, galio arsénico u otros semiconductores fracturados, el mismo empaquetado quebrado/dañado y deflexión debido a cambios de temperatura [1].

Por lo anterior se deben de encontrar los materiales adecuados, tales como epoxicos conductivos, no conductivos, compuestos y plásticos para realizar el empaquetado que permitan soportar altas temperaturas con un alto nivel de confiabilidad.

Este trabajo de investigación estará enfocado a entender el problema de delaminación entre las interfaces internas de los circuitos integrados, que es causado por carga termo-mecánicas, así como también entender la extensión de fracturas mecánicas en materiales homogéneos o de laminación de interfaces entre dos materiales. Las teorías de delaminación o separación entre dos materiales son

ampliamente aplicadas, estas teorías nos permiten predecir comportamientos de delaminación durante pruebas de calificación de circuitos integrados (CI), lo que permite diseñar micro circuitos más confiables. Por otro lado las metodologías experimentales están subdesarrolladas debido a la falta de calidad y pobre reproducibilidad. Métodos de prueba más confiables con mejores cuantitativos y cualitativos resultados deben ser desarrollados.

Experimentalmente y teóricamente está demostrado que la humedad dentro de un circuito es un factor importante que facilita la delaminación, especialmente cuando humedad queda atrapada en las interfaces entre diferentes capas (materiales) durante los procesos térmicos utilizados durante la fabricación del micro circuito.

Este trabajo está enfocado en el proceso de delaminación entre el epóxico utilizado para pegar el dado de material semiconductor al tablero electrónico y sus interfaces: Epóxico-dado, epóxico-PCB y compuesto de moldeo (plástico)-tablero electrónico, para encontrar las variables que influyen o producen delaminación, y sus efectos, por ejemplo, si la delaminación produce que otros componentes internos del circuito se dañen. Es importante mencionar que este trabajo estará también enfocado en circuitos eléctricos amplificadores fabricados con semiconductores de silicio y galio arsénico, aunque la idea principal es entender las variables que deben ser controladas para robustecer el empaquetamiento/fabricación de los circuitos integrados, así como también entender las características físicas de los materiales que influyen en el comportamiento de la delaminación y de esta forma entender que materiales son los que deben utilizarse en la fabricación/empaquetamiento de los circuitos.

Se anexa flujo más común de manufactura de circuitos integrados, el cual ayudara a entender el proceso de fabricación y los procesos críticos donde pudiera generarse el problema de delaminación:

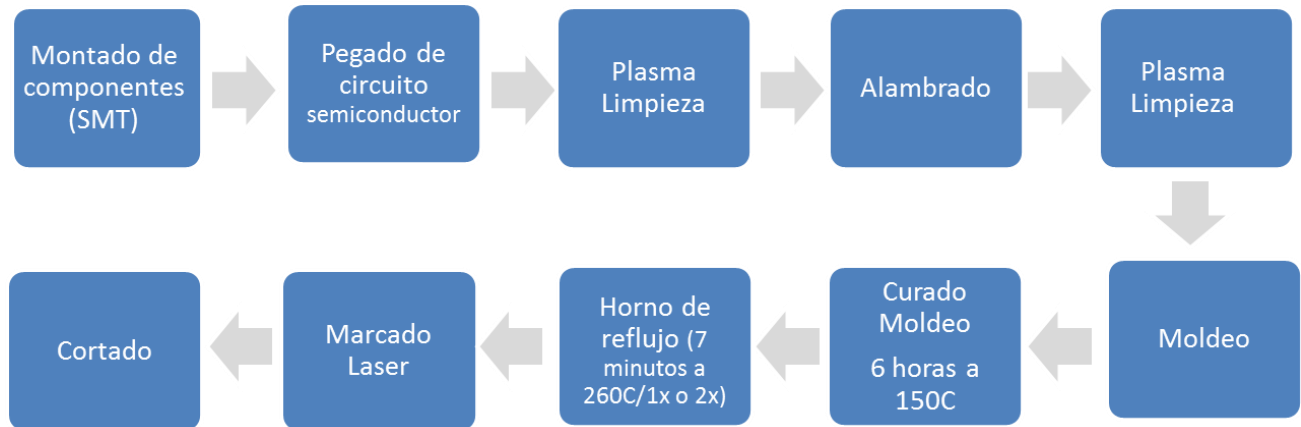


Diagrama # 1.- Flujo común de manufactura de circuitos integrados.

2 MARCO TEORICO (ANTECEDENTES):

Delaminacion es un modo de falla en materiales compuestos (materiales fabricados de dos o más materiales con diferentes propiedades físicas o químicas, que al combinarlos producen materiales con características diferentes de los componentes individuales. Los componentes individuales permanecen separados y distintos en la estructura final. En materiales laminados, repetidos ciclos de estrés, cambios de temperatura e impactos causan que los materiales se separen o delaminen.

Las fallas de delaminacion pueden ser detectadas con métodos no destructivos como ultrasonido o métodos destructivos como cortes transversales o devastado de los materiales, en algunas ocasiones se utiliza FIB (Focus Ion Beam) para realizar cortes en áreas micrométricas para entender mejor los modos de falla que causaron el fenómeno estudiado.

Debido a que la humedad dentro de los circuitos es una variable importante a controlar para entender el fenómeno de delaminacion, es importante mencionar un estándar que existe en la fabricación de circuitos integrados (MSL), llamado así por sus siglas en inglés (Moisture Sensitivity Level), el estándar está relacionado con precauciones que deben considerarse para el empaquetado y manejo de algunos semiconductores. En este estándar se define el periodo en el cual un dispositivo sensible a la humedad puede ser expuesto al ambiente en condiciones de temperatura normales (aproximadamente 30°C/60%RH).

Algunos circuitos integrados pueden resultar dañados durante tratamientos térmicos, cuando la humedad atrapada dentro del circuito se expanda por los cambios de temperatura. La expansión de humedad atrapada puede resultar en delaminación, entre el material semiconductor (dado) y el plástico o tablero impreso, lo anterior puede provocar daño en el alambrado, en el dado y fracturas o micro cracks internos, la mayor parte de estos danos no son visibles en la superficie externa de los circuitos integrados. En casos extremos el circuito se infla, este fenómeno es conocido como palomita de maíz (popcorn).

IPC (Association Connecting Electronic Industries) creo y libero las guías y estándares para componentes sensibles a la humedad.

IPC/JEDEC definió un estándar para clasificar los niveles de sensibilidad a la humedad (MSL's), los cuales son expresados en números, incrementándose con la vulnerabilidad de los paquetes a tener delaminación, quebraduras o hasta el fenómeno popcorn. MSL1 corresponde a paquetes que son inmunes al fenómeno de "popcorn" independiente del nivel de exposición a la humedad, mientras que MSL5 y MSL6 son los más propensos a fracturas o problemas inducidos por la humedad. Ver siguiente tabla de especificaciones [3]:

Tabla # 1: Niveles de sensibilidad a la humedad (MSL)

Level	Floor Life		Soak Requirements			
			Standard		Accelerated	
	Time	Cond degC/%RH	Time (hrs)	Cond degC/%RH	Time (hrs)	Cond degC/%RH
1	Unlimited	≤30/85%	168+5/-0	85/85	n/a	n/a
2	1 year	≤30/60%	168+5/-0	85/60	n/a	n/a
2A	4 weeks	≤30/60%	696+5/-0	30/60	120+1/-0	60/60
3	168 hours	≤30/60%	192+5/-0	30/60	40+1/-0	60/60
4	72 hours	≤30/60%	96+2/-0	30/60	20+0.5/-0	60/60
5	48 hours	≤30/60%	72+2/-0	30/60	15+0.5/-0	60/60
5A	24 hours	≤30/60%	48+2/-0	30/60	10+0.5/-0	60/60
6	TOL	≤30/60%	TOL	30/60	n/a	60/60

Acerca de la delaminación en circuitos electrónicos. Capas delgadas de diferentes materiales son utilizadas en la mayoría de los circuitos durante su fabricación, esto

con el propósito de lograr requerimientos especiales de funcionalidad. Por lo regular la unión entre dos materiales diferentes es el eslabón más débil debido a las diferentes propiedades termo-mecánicas entre ellos, tales como **módulo de Young**, coeficientes de expansión térmica, hydro-swelling, hidro expansión y expansión inducida por presión de vapor. Además, el estrés producido en los procesos de producción, la variación de las condiciones térmicas y de humedad actúa como un factor adicional para producir delaminación.

Con el propósito de caracterizar el riesgo de daño por delaminación, simulaciones de procesos de fabricación y condiciones de prueba son realizados durante la etapa de diseño. Esto para entender el riesgo de fractura entre dos capas, las propiedades críticas de la separación/fractura entre ellas deben ser conocidas y se debe entender la dependencia de las combinaciones de temperatura y humedad en el pre-condicionamiento [4-7]. Como consecuencia, es necesario establecer los parámetros críticos de la interface donde se produce daño (delaminación). Para interfaces frágiles tales como plástico de moldeo (EMC- Epoxi Mold Compound)-metal (óxido) o Silicio-EMC, la energía crítica de liberación (o dureza de delaminación, delaminación toughness, G_c) puede ser considerada como parámetro adecuado a monitorear. Este parámetro es fuertemente dependiente de la temperatura, contenido de humedad de los materiales involucrados y el llamado modo mixidad [10] del estado de estrés cerca del inicio de la grieta.

Recientemente, en el grupo de mecánica de materiales de la universidad tecnológica “ Delft” se han realizado varios proyectos de investigación para estudiar y establecer las propiedades críticas de fracturas interfaciales en circuitos integrados. El investigador Xiao [8] desarrollo un método de prueba de flexión mixto para establecer la resistencia de las interfaces entre EMC y leadframe de cobre. Cabe señalar que este estudio estará enfocado a la resistencia de la interfaces entre epoxicos conductivo-tablero electrónico y epoxicos-semiconductor. Otro investigador llamado Schlotting [9] desarrollo un método mixto modificado a partir del método “chisel” y describió la delaminación interfacial entre dados de silicio- plástico (EMC). También X.Ma [11] proporciono un sistema en el desarrollo de un conocimiento basado en un método de calificación rápido que ayuda a reducir el tiempo de calificación y diseña métodos

para diferentes circuitos electrónicos en condiciones operacionales. MSL análisis y ciclos térmicos fueron seleccionados como los métodos de calificación más rápidos.

En caso de incluir sensibilidad a la humedad en la investigación, la máxima temperatura indicada por los estándares es a menos de 85°C. Esta limitante es bastante restrictiva para la experimentación cuando se requieren datos del punto cuando ocurre la delaminación durante los estudios/pruebas de confiabilidad. Esto debido a que en circuitos integrados pre-humedecidos la delaminación ocurre frecuentemente a mayores temperaturas. Por el contrario en muchos casos el daño es iniciado durante el calentamiento en cada uno de los diferentes pasos del proceso de producción donde las temperaturas pueden ser mayores a 100°C lo que puede iniciar el efecto “popcorn” y delaminación. Debido a lo anterior predicciones confiables del comportamiento no podrán realizarse ya que el punto crítico de fractura no está definido.

Entender las características de los materiales como epoxicos utilizados es de suma importancia: Coeficiente de expansión térmica, es un parámetro muy importante ya que componentes como dados o alambres están en contacto con el plástico o epoxicos, un alto coeficiente de expansión térmica podría causar delaminación o daño prematuro cuando el circuito electrónico este sujeto a repetidos ciclos térmicos. El punto de desviación entre los diferentes coeficientes de expansión térmica es definido como temperatura de transición vítrea (TG), para conocer estas características se puede utilizar un análisis termo-mecánico (TMA- Thermal Mecánica Analysis, por sus siglas en ingles), el cual puede proveer información del stress interno del circuito integrado, por ejemplo cuando el material se somete a transiciones térmicas se puede encontrar el valor de transición vítrea (Tg), cristalización o punto de fusión.

En este trabajo experimental, se utilizaran métodos prácticos y simuladores para analizar el comportamiento térmico-mecánico en los materiales utilizados. El entender el comportamiento nos ayudara a predecir posibles fallas de delaminación entre capas de los diferentes materiales en el interior del circuito, especialmente entre tablero-epoxico-semiconductor-plástico. Aunque el principal

punto de enfoque es entender el comportamiento entre tablero-epoxico-semiconductor y los modos de falla que resulten.

Para iniciar la investigación se deben identificar y entender las propiedades de los materiales más comunes utilizados para fabricar circuitos integrados amplificadores para RF. Una vez identificados los materiales se deben investigar sus propiedades termo-mecánicas.

Experimentalmente se utilizarán pruebas de confiabilidad para semiconductores a diferentes condiciones para estresar los materiales hasta los puntos críticos, algunas de las siguientes pruebas serán utilizadas:

- a. Ciclos térmicos: Para determinar la resistencia de un circuito a altas y bajas temperaturas, así como también su habilidad para resistir estos cambios cíclicamente.
- b. Choques térmicos: Para determinar la resistencia de un circuito a cambios rápidos y extremos de temperatura, y alternar exposiciones a las diferentes temperaturas, así como también su habilidad para resistir estos cambios cíclicamente.
- c. Autoclave o temperatura a presión (PCT – Pressure Cooker Test por sus siglas en inglés): Para evaluar la habilidad de un producto para resistir condiciones severas de temperatura y humedad; utilizada principalmente para acelerar el fenómeno de corrosión en las partes metálicas del producto.
- d. Prueba de estrés altamente acelerada (HAST – por sus siglas en inglés – Highly Accelerated Stress Test): Para acelerar la corrosión en metales, particularmente aquellos de la metalización en la superficie de los dados.
- e. Prueba de temperatura – Humedad polarizado (THB – por sus siglas en inglés – Temperature Humidity Bias): También utilizada para acelerar la corrosión en metales, particularmente aquellos de la metalización en la superficie de los dados.
- f. Prueba de almacenamiento de alta temperatura (HTS – por sus siglas en inglés – High Temperature Storage): Para determinar el efecto de almacenamiento a altas temperaturas en circuitos, sin estrés eléctrico aplicado.

- g. Prueba de resistencia al despegado (DSE – por sus siglas en inglés – Die shear strength). Es el proceso para determinar la fuerza de adhesión de un dado semiconductor al sustrato del paquete. La prueba se realiza aplicando fuerza al dado en un eje paralelo a el plano del sustrato, resultando en la fuerza de despegado entre: 1) El dado y el epoxico, 2) El epoxico y el sustrato.

En futuros estudios y experimentación, no en este trabajo de investigación, se plantea entender teóricamente, si es posible mediante un modelo matemático el comportamiento de las fracturas o delaminación, se podría utilizar el método de integral J y el método de factor de intensidad de tensiones (En inglés modified J integral and stress intensity factor). Esto para predecir el crecimiento interracial de la delaminación en los circuitos integrados). Esto para predecir el crecimiento interracial de la delaminación en los circuitos integrados. Uno de los principales parámetros requeridos es la fuerza para la fractura interfacial (interfacial fracture toughness) en función de la temperatura y humedad relativa utilizando la prueba de deformación de 3 puntos. La fuerza de fractura interfacial fue encontrada para disminuir con temperatura y humedad relativa, lo que deduce que las delaminaciones se propagan de burbujas pequeñas o defectos presentes en la interface.

El método de integral J es ampliamente aceptado como medida de la dureza/tenacidad de una fractura elástica-plástica.

Finalmente se plantea modelar matemáticamente el fenómeno de rupturas o delaminaciones entre las diferentes capas de materiales, utilizando teoría y modos de fracturas mecánicas “ Figura # 1” (Fracture toughness model y mode mixity combinación de Mode I y II) que son ampliamente conocidas para estudiar la propagación de fracturas.

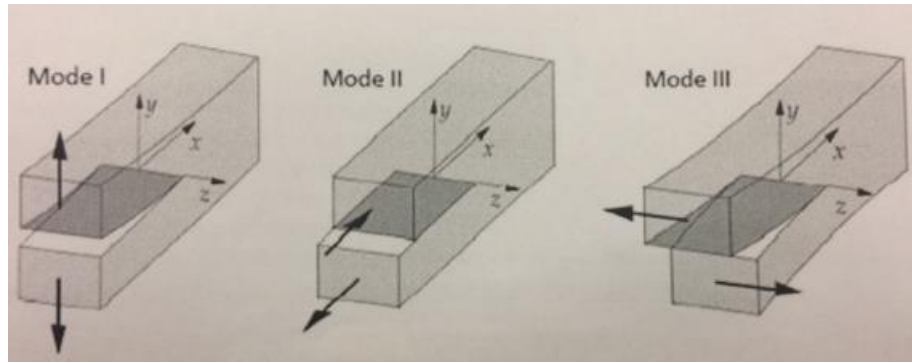


Figura # 1.- Diferentes modos de fractura:

3 OBJETIVOS:

Entender y caracterizar el fenómeno de delaminación en las interfaces o unión de diferentes materiales utilizados para empaquetar los circuitos integrados, la principal área de enfoque de este trabajo es entre el Epóxico y sus áreas de contacto comprendiendo la causa raíz y los modos de falla.

Caracterizar el efecto de cargas termo-mecánicas en las interfaces o contacto de dos materiales.

Caracterizar el efecto de la humedad en fenómenos de delaminación.

Entender los procesos críticos durante la manufactura de los circuitos integrados que pudieran tener un mayor efecto en los problemas de delaminación.

4 EXPERIMENTACION (MATERIAL Y METODO):

4.1 Identificación y estudio de materiales utilizados en fabricación de circuitos integrados, descripción de principales materiales utilizados en la fabricación de circuitos integrados (amplificadores RF):

4.1.1 Tablero impreso: Es el circuito impreso que sirve como base en la fabricación de los circuitos para realizar interconexiones del circuito con el exterior y entre los diferentes componentes internos del circuito tales como Amplificadores de Galio Arsénico, controladores de Silicio, componentes pasivos y filtros. El tablero impreso puede tener diferentes capas dependiendo de la funcionalidad y requerimientos del circuito. Se anexan dibujos de cortes transversales de tableros impresos utilizados en experimentación:

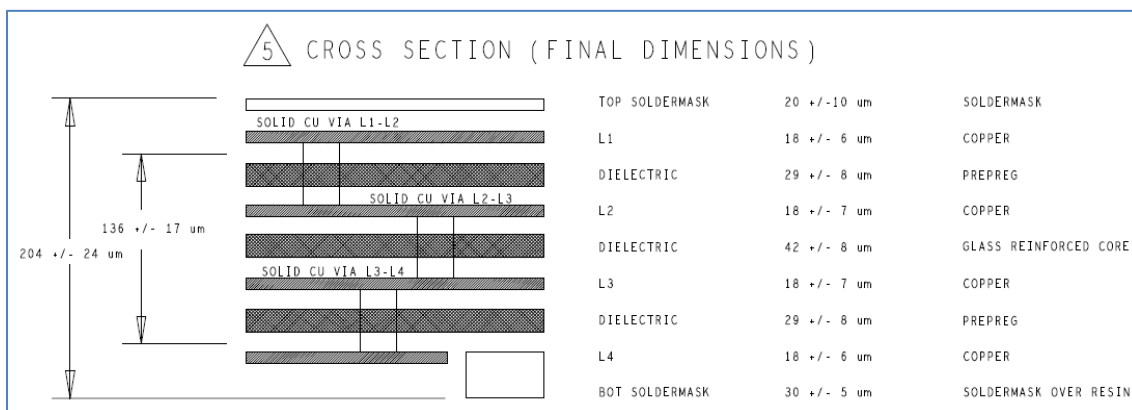
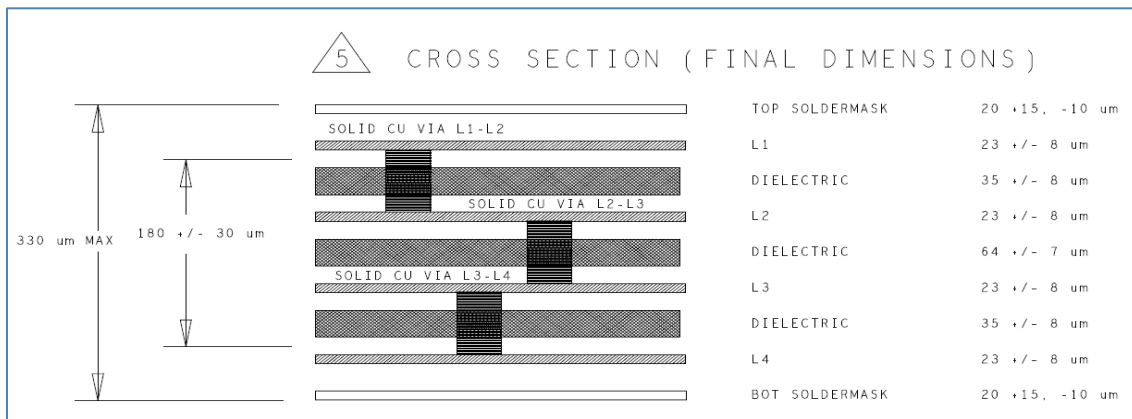


Figura # 2.- Sección transversal de circuitos impresos, utilizados para fabricación de circuitos integrados.

4.1.2 Circuito de material semiconductor: El material semiconductor utilizado en los casos de estudio son Galio arsénico y Silicio, los cuales tienen diferentes geometrías (espesor y tamaño), así como también diferentes tipos de material en la superficie que hace contacto con el tablero impreso base dependiendo de la función de cada uno de ellos, normalmente los circuitos dados fabricados de silicio no tienen ningún tipo de

4.1.3 Circuito de material semiconductor: El material semiconductor utilizado en los casos de estudio son Galio arsénico y Silicio, los cuales tienen diferentes geometrías (espesor y tamaño), así como también diferentes tipos de material en la superficie que hace contacto con el tablero impreso base dependiendo de la función de cada uno de ellos, normalmente los circuitos dados fabricados de silicio no tienen ningún tipo de recubrimiento en la base y se utiliza Epoxico no conductor para adherirlos al tablero, los circuitos dados fabricados con Galio Arsenio pueden ser de dos tipos: Amplificador o switches de alta frecuencia, los amplificadores se conectan con epoxy conductor, y tienen oro en la parte inferior para conectar la tierra del circuito con la tierra del tablero impreso, el metal en la parte inferior sirve para ayudar a la disipación de calor generada por el circuito a través del tablero, los switches o controladores normalmente se conectan con epoxy no conductor y no requieren conexión a tierra como los amplificadores. Ver Dibujo# 1 anexo:

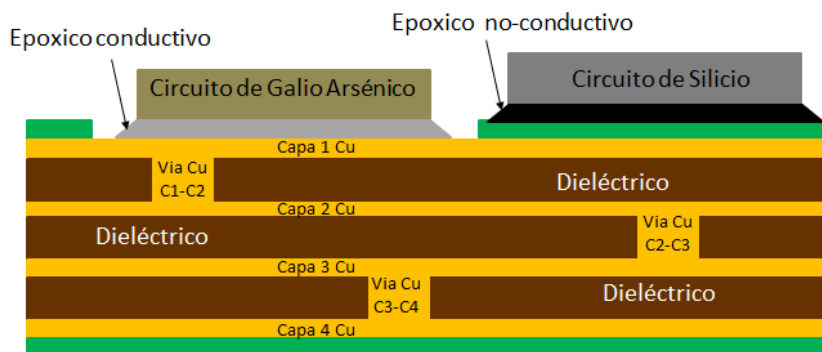


Figura # 3.-Configuración típica de circuitos dados de galio montados en capa de Cobre y circuitos de silicio montados en capa aislante (solder mask).

4.1.4 Componentes pasivos y filtros: Hay muchos tipos de componentes de montaje superficial. Cada vez nuevos componentes son desarrollados y nuevos códigos son creados. Estos nombres son usualmente abreviados por sus iniciales (ver tabla # 1). Las tecnologías componentes de montaje superficial cambian rápidamente, específicamente tamaños y formas, esto implica que los comportamientos de estrés en los circuitos donde son utilizados también tiende a cambiar, es por eso que es importante entender las tendencias y usos de los mismos para analizar los cambios de estrés en los circuitos integrados [12].

Tabla # 2.- Códigos comunes para capacitores y resistores

Código		Tamaño aproximado (LxW)	
Pulgadas	Métrico	Pulgadas(“)	Métrico(mm)
0402	1005*	0.04 x 0.02	1.0 x 0.5
0504	1210*	0.05 x 0.04	1.2 x 1.0
0603	1508	0.06 x 0.03	1.5 x 0.8
0805	2012	0.08 x 0.05	2.0 x 1.2
1005*	2512	0.10 x 0.05	2.5 x 1.2



Figura # 4.-Formas típicas de componentes de montaje superficial

4.1.5 Flip Chips: Son circuitos integrados descubiertos (solo semiconductor) con pequeñas esferas principalmente de estaño en la parte inferior que sirven de terminales.

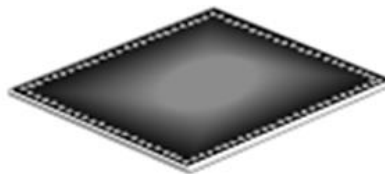


Figura # 5.- Componente Flip chip

4.1.6 Flip Chips: Son circuitos integrados descubiertos (solo semiconductor) con pequeñas esferas principalmente de estaño en la parte inferior que sirven de terminales.

4.1.7 Epoxico: Como anteriormente se ha mencionado normalmente se utilizan dos tipos de epoxicos para adherir los circuitos en el tablero impreso:

- Epoxico Conductivo: Como se muestra en el dibujo # 1, se utiliza para pegar los circuitos semiconductores que requieran conectarse a tierra para disipar calor o por requerimientos propios del diseño del circuito.
- Epoxico No conductivo: Como se muestra en el dibujo # 1, se utiliza para pegar los circuitos semiconductores que requieran estar completamente aislados de la tierra del circuito principal o de las conexiones eléctricas.
- En tabla # 3 anexa se mencionan las principales características de los epoxicos que se deben de conocer para asegurar un buen diseño termo mecánico y eléctrico.

4.1.8 Alambre de Oro de 20um de Diámetro

4.1.9 Plástico de Moldeo (Epoxy Mold Compound- EMC por sus siglas en Ingles)

Tabla # 3.- Características de los diferentes epoxicos y adhesivos para pegado de componentes dados semiconductores:

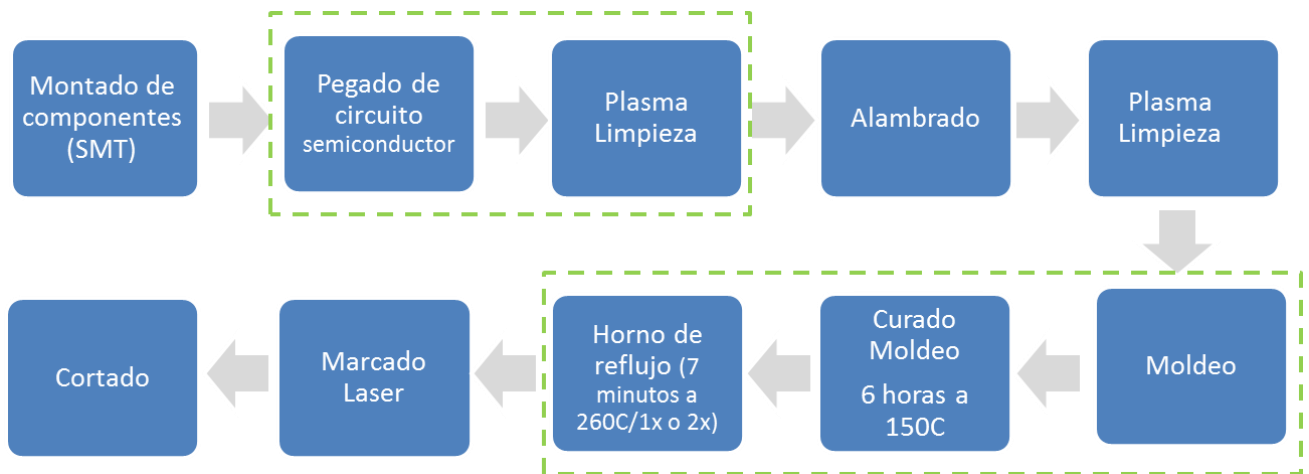
	Unidades	Epoxico Conductivo	Epoxico No conductivo	Adhesivo No conductivo
Tipo de relleno		Plata	Silice	No filler
Contenido de relleno	%	87	17	NA
Gravedad específica	--	4.9	1.2	PET (1.4), Polyvinyl Chloride (1.2-1.4) Adhesive (1.15-1.25)
Viscosidad	Pa.s	12	18	NA
Índice tixotrópico		5.1	3.5	NA
Agua extraída	ppm	3 Na+ 13 Cl-	1 Na+ 6 Cl-	NA
Resistencia de volumen	Ohm-cm	4x10 ⁻⁵		
Fuerza de adherencia (a temperatura ambiente)	f/2x2mm ²	>2000	>2000	>10000

*Constante elástica (a temperatura ambiente)	kgf/mm ²	1650	336	1.016
Temperatura de transición vítrea (Tg)	°C	85	135	175
Moisture absorption	%	0.1	1.8	1.5
Conductividad termica	W/mK	10	0.2	0.23

**Nota: Cuanto más alto es el valor de la constante elástica, más resistencia a la deformación ofrece el material.

4.2 Identificación de potenciales áreas/procesos de estudio durante el proceso de ensamble de circuitos integrados: La experimentación se enfoca en dos partes/áreas del proceso de ensamble de los circuitos semiconductores: Pegado de circuito semiconductor en tablero impreso con Epoxico o adhesivo y moldeo-curado-reflow, ambas áreas se señalan en flujo abajo:

Diagrama # 2.- Flujo común de manufactura de circuitos integrados con principales áreas de enfoque.



4.3 Identificación de vehículos de prueba: Se seleccionaron vehículos de prueba que tengan problemas conocidos de delaminación (Amplificador # 1 & 2), para entender las variables con mayor contribución al problema y encontrar solución al mismo.

Figura # 5.-Vehiculo de prueba – Amplificador # 1.

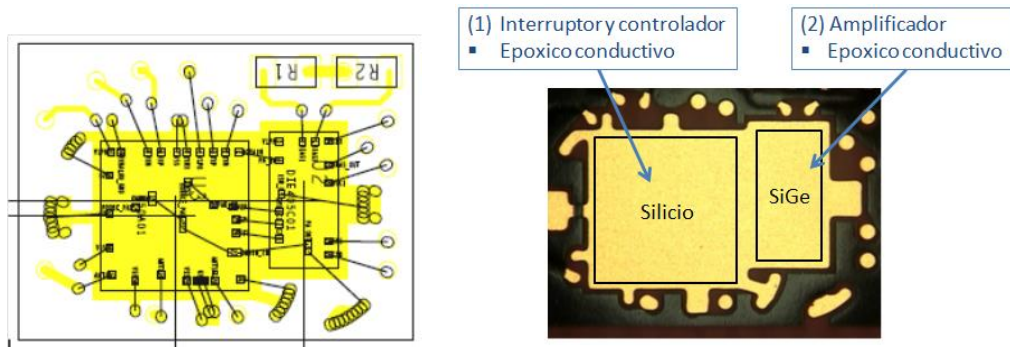
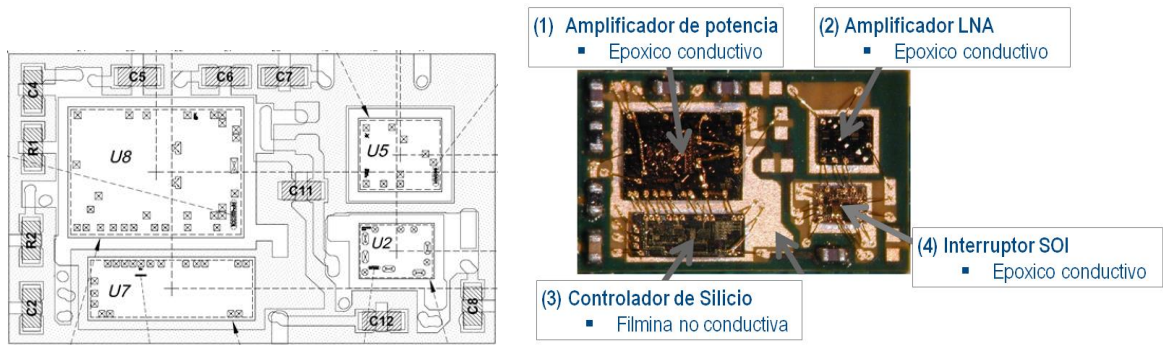


Figura # 6.-Vehiculo de prueba – Amplificador # 1.



4.4 Identificación métodos de prueba utilizados para entender y medir los resultados de los experimentos realizados:

4.4.1 Pruebas de adherencia de circuito semiconductor en circuito impreso (Die Shear): Esta prueba se realiza después de pegar el circuito en el tablero impreso y curar el Epoxico utilizado en un horno de cámara a 175C durante aproximadamente 1.5 horas.

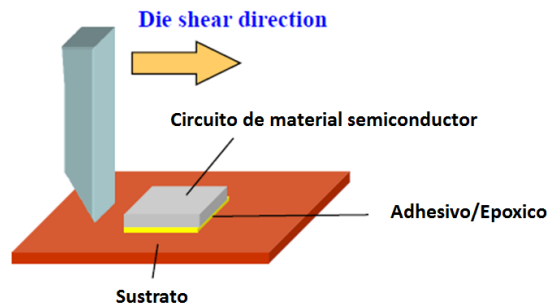


Figura # 7.-Metodo para realizar prueba destructiva para medir fuerza de adherencia “ Die Shear”

4.4.2 CSAM (por sus siglas en inglés Scanning Acoustic Microscopy): Es una inspección que utiliza sonido enfocado para investigar, medir, u obtener una imagen interna de un objeto. Es comúnmente utilizado en análisis de fallas y pruebas no destructivas. La industria de semiconductores a encontrado el SAM, particularmente el modo C (C-SAM), útil para encontrar burbujas, grietas y delaminación en los circuitos microelectrónicas.

C-SAM crea imágenes generando un pulso de ultrasonido. El pulso se refleja en las interfaces de los materiales, una vez detectados por el transductor, permite crear la imagen. La resolución y profundidad de penetración son cruciales para obtener resultados válidos. La cantidad de ultrasonido reflejado en la interface está basado en las diferencias de los materiales en la interface, entre más diferentes son los materiales más ultrasonido es reflejado.

El objetivo de la prueba C-SAM depende de los tipos de partes. Un ejemplo de esta aplicación, es utilizada para la inspección de pegado de dados (die attach) en base al MIL-STD-883, método 2030.2. El propósito de esta prueba es detectar áreas no pegadas, delaminación o burbujas, sin destruir el circuito o parte.

El instrumento de inspección es seleccionado y ajustado como sea necesario para obtener imágenes claras y lograr imágenes detalladas dentro de los requerimientos de sensibilidad para el dispositivo, en el caso de imágenes modo reflexión o transmisión, se debe tener cuidado para asegurar que el ultrasonido penetre y sea sensible a la interface completa de pegado del dado (die attach) o área de interés [13].

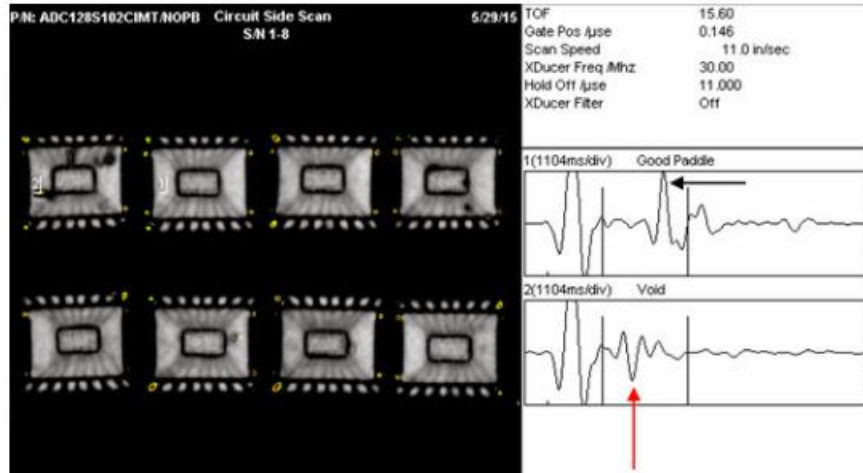


Figura # 8.-Ejemplo de prueba C-SAM /T-SCAN para buscar delaminacion

4.4.3 En algunos casos se realizó prueba de funcionalidad eléctrica y desempeño de los circuitos para identificar problemas marginales de delaminacion, además que durante la realización de la prueba eléctrica el circuito pudiera estresarse mecánicamente o térmicamente debido a la naturaleza de la prueba eléctrica.

4.5 La experimentación se enfoca en dos partes/áreas del proceso de ensamble de los circuitos semiconductores: Pegado de circuito semiconductor en tablero impreso con Epoxico o adhesivo-curado y moldeo-curado-reflujo, ambas áreas se señalan en flujo abajo:

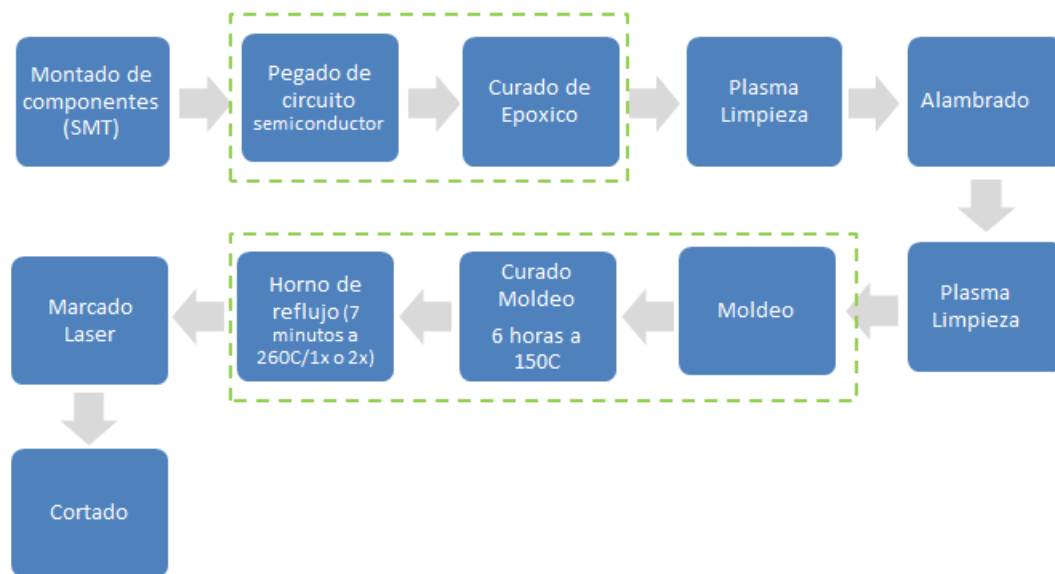


Diagrama # 3.- Flujo común de manufactura de circuitos integrados con principales áreas de enfoque.

Nota: Ver perfil de curado en apéndice “e” y perfil de reflujo en apencie “d”.

4.6 Se realizaron distintos experimentos involucrando las variables críticas identificadas para reproducir el problema y/o entender cuáles de las variables pudieran tener mayor efecto en el problema, la investigación se centra en dos principales procesos en la fabricación de circuitos: Montado de dados en combinación con el diseño del PCB en el área donde se montan los dados y Moldeo en combinación con el diseño del PCB en las áreas afectadas por el proceso de moldeo:

4.6.1 Entender efecto de variables del proceso de “die attach”, pegado de dados:

Experimentos para entender efectos de las variables del proceso de ensamble y materiales:

- Condiciones de circuito impreso antes de pegado de circuito semiconductor (Horneado o no horneado). El horneado se realizó en hornos de cámara, el perfil utilizado fue de 30 minutos a 150°C con rampas de calentamiento y enfriamiento de 15 minutos, total del perfil 1 hora aproximadamente:

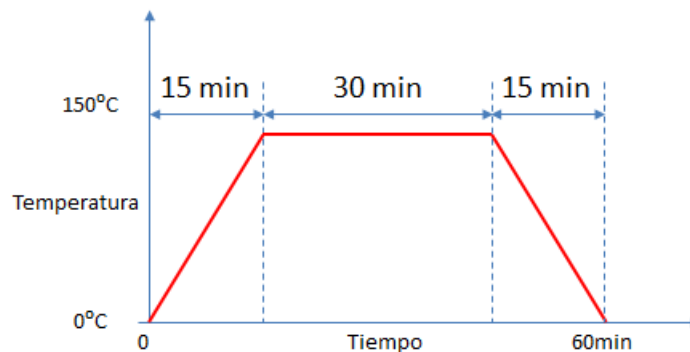


Figura # 9.- Perfil de curado para epoxicos utilizados en el área de pegado de dados

- Condiciones de limpieza del tablero impreso antes de pegado de circuito (Proceso de plasma, no proceso de plasma u otro tipo de limpieza).
- Condiciones de dispensado de Epoxico (Tiempo entre dispensado y pegado de circuito semiconductor)
- Epoxicos (distintos adhesivos o epoxicos), en la primera etapa de los experimentos se utilizó Epoxico de alta conductividad térmica sumitomo 1290WB y adhesivo conductivo HENKEL CDF215.
- Experimentos para entender diseño de circuito impreso (PCB) en combinación con diferentes epoxicos o adhesivos:
 - Condiciones de circuito impreso (Diferentes materiales pre preg utilizado en la fabricación de los circuitos)
 - Diseño de la superficie del tablero impreso (Oro, aislante/solder mask, superficie de colocación de dados separada o una sola).
 - Epoxicos (distintos adhesivos o epoxicos).
- Validaciones para comprobar los resultados obtenidos: Se validan las mejores condiciones o más robustas condiciones encontradas en experimentos.

4.6.2 Entender efecto de variables del proceso de “moldeo”:

Experimentos para entender el diseño del circuito impreso (PCB) en combinación con variables de moldeo, para este caso de estudio se utilizó un número de parte distinto, por sus antecedentes, al utilizado en los experimentos anteriores, variables consideradas para entender el problema:

- Grosor de capa de cobre en circuito impreso
- Diseño y cobertura de “solder mask” en capa inferior de circuito, orillas del circuito.
- Diseño de terminales de señales de entrada/salida en la capa inferior del circuito
- Diseño de “solder mask” la capa inferior del circuito, en la parte central.

Validaciones para comprobar resultados obtenidos de experimentación

5 RESULTADOS:

5.1 Experimentos para entender efecto de variables del proceso de “die attach”, pegado de dados:

5.1.1 **Experimentos relacionados a entender variables del proceso de ensamble y materiales:** Como se había mencionado anteriormente, el primer paso fue verificar si alguno de los procesos actuales pudieran estar afectando y produciendo el problema de delaminación, por lo que se procedió a realizar experimentos para entender algunas de las variables del proceso de ensamble y materiales considerados críticos, ver variables consideradas abajo:

- Horneado de tableros antes del proceso de pegado de los circuitos en el tablero, cabe mencionar que este proceso no es parte del flujo normal de manufactura, pero es necesario evaluarlo para entender si la humedad atrapada en el tablero puede afectar y/o estresar el circuito después de moldearlo y someterlo a cambios térmicos.
- Proceso de plasma para limpieza del circuito impreso antes del proceso de pegado de los circuitos, al igual que la variable anterior, no es parte del flujo normal de manufactura, pero si es necesario analizarlo en caso de que alguna variable externa estuviera contaminando las superficie de los circuitos impresos (tableros).
- Proceso de plasma para limpieza del circuito de material semiconductor, para limpiar cualquier residuo o componente orgánico en la parte de debajo de los circuitos dados, igual que las dos variables anteriores este proceso no es parte del flujo normal de manufactura, pero si es necesario considerarlo en caso de que alguna variable externa estuviera contaminando la superficie de los circuitos dados semiconductores.

- El tiempo entre dispensado de Epoxico y pegado de los circuitos dados, en este caso se quiere entender si el Epoxico cambia sus condiciones por estar expuesto al ambiente por periodos largos de tiempo, básicamente se pudieran estar volatizando algunos de sus solventes.
- Tipo de adhesivo: Epoxico sumitomo 1290W o filmina conductiva HENKEL CDF215, esta variable es considerada para hacer un cambio radical en las propiedades del adhesivo, básicamente en módulo de Young y entender si la dureza del adhesivo pudiera estar promoviendo la falta de eliminación de estrés en el paquete moldeado.

Como resultado se obtuvo que ninguna de las variables considerada en los experimentos tienen algún efecto significativo en el problema de delaminacion, abajo variables consideradas, ya que los resultados de los experimentos muestran que a nivel sustrato (sin cortar los paquetes individuales), utilizando la técnica de C-SAM, no se observa delaminacion cuando el material pasa por reflujo a 240°C o 260°C, sin embargo al cortar e individualizar los paquetes y realizando cortes transversales a las piezas, se puede observar separación entre el plástico de moldeo y el circuito impreso, y entre el Epoxico y el circuito impreso, como se observa en fotografía anexa:

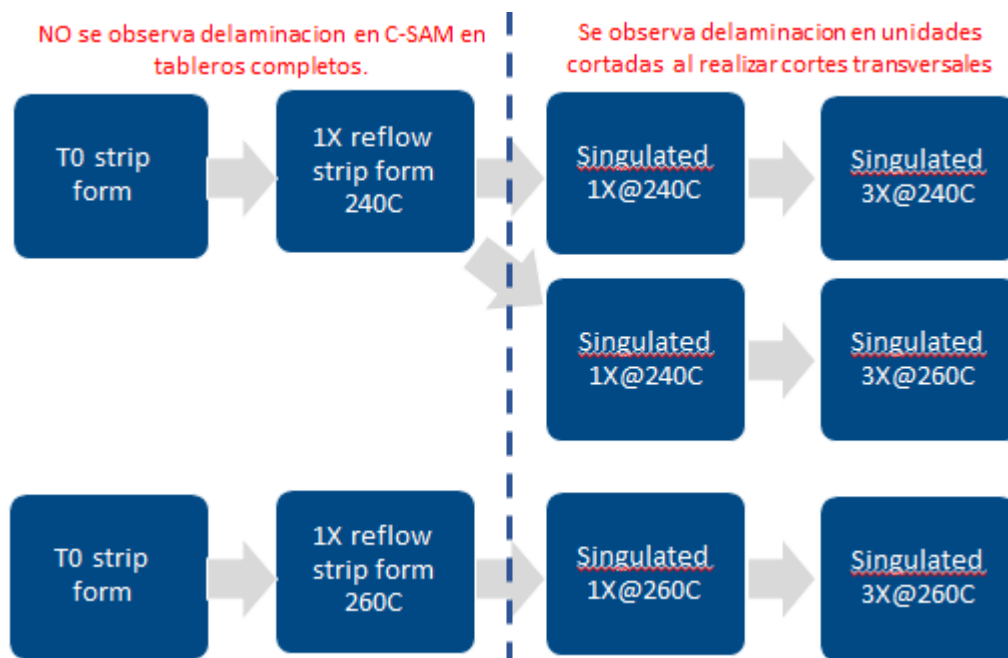


Diagrama # 4.- Puntos críticos y procesos donde se verifica por delaminacion

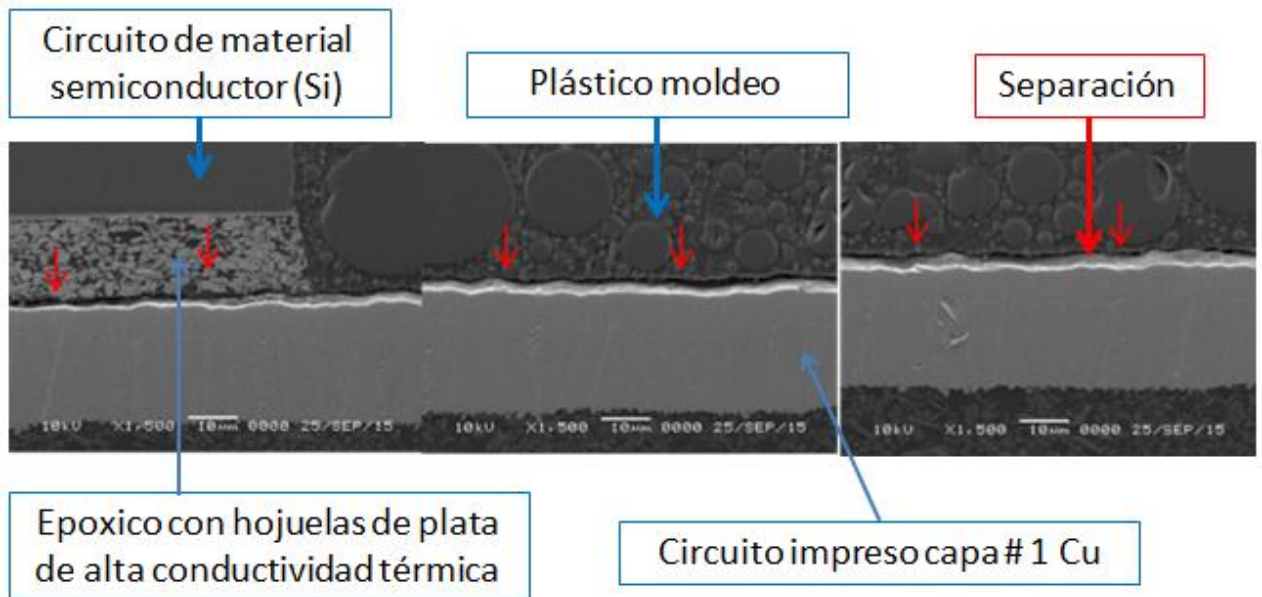
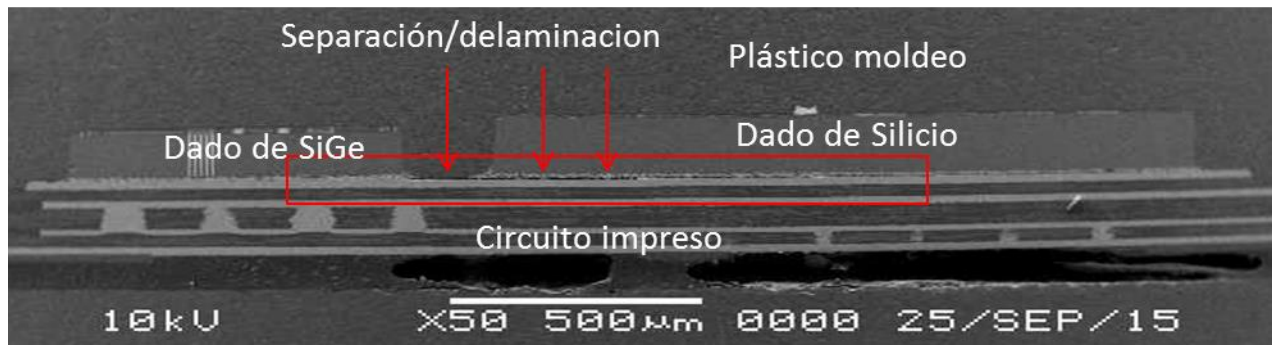


Figura # 10.- Corte transversal mostrando áreas delaminadas

5.1.2 **Experimentos para entender diseño de circuito impreso (PCB) en combinación con diferentes epoxicos o adhesivos:** El principal objetivo de estos experimentos es encontrar si el diseño de los circuitos impresos tienen relación con el problema de delaminación o pudiera ayudar a disminuir o eliminar el problema, ver variables consideradas abajo:

- Material utilizado en fabricación de tablero impreso (PCB): En este caso particular se utilizaron dos tipos de tableros, que los vamos a identificar como sigue:
- D355-001 (Control): El cual contiene “prepreg” tipo NXA. El “prepreg” es una combinación de una matriz (resina) y una fibra (refuerzo) que está listo para usarse.
- D356-001 (Nuevo): Este tiene un material “prepreg” diferente al encontrado en el tablero impreso de control, contiene prepreg tipo NS. Se anexan fotografías para mostrar visualmente donde se encuentra en el tablero impreso el material prepreg, en el proceso de prensado se puede observar las capas de prepreg:

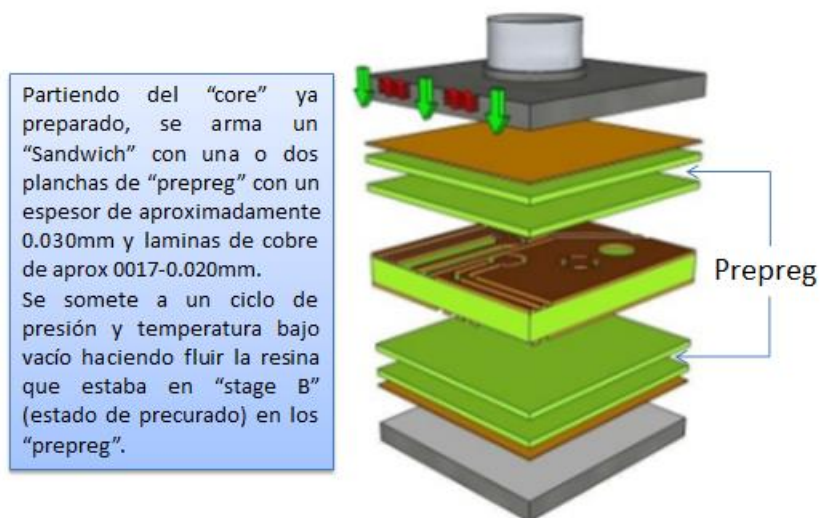


Figura # 11.- Proceso de fabricación de tableros impresos “ PCB”

5.1.3 **Diseño del “PCB” o circuito impreso:** En este caso básicamente se modificó la placa superior del tablero para variar los tipos de superficies donde se pegan los “dados” o circuito semiconductor, las variables o modificaciones realizadas fueron las siguientes y se muestra sumario en tabla anexa:

- Control, metal de oro expuesto para ambos dados, sin solder mask sobre metal.
- Metal expuesto para ambos dados, ranuras o canales sin metal entre ambos dados.
- Metal expuesto para ambos dados, solder mask entre ambos.
- Metal expuesto solo en un dado (SiGe 5PAe) y metal cubierto por solder mask en el área donde se pega el dado de Silicio 7RF SOI.
- Los diferentes tipos de “prepreg” NXA y NS aplican para todos los diseños de tableros, a continuación se muestra tabla para entender mejor las variables involucradas:
- Además en el experimento se utilizaron diferentes tipos de epoxicos, para entender si las propiedades de ellos, en combinación con el diseño del “PCB” y los diferentes tipos de “prepreg”, pueden ayudar a disminuir el problema de delaminación:
 - Epoxico 1290W (Control). Epoxico de alta conductividad térmica 10 W/mK, con alta resistencia a secarse en temperatura ambiente, es utilizado para adherir los circuitos amplificadores a los tableros impresos, 87% del contenido de su peso es plata en forma de hojuelas, módulo de Young a temperatura ambiente es de 1650 Kg/mm². Ver características en apéndice a.
 - Adhesivo conductivo CDF215. Ver características en apéndice b.

- Epoxico no conductivo 1576A. Epoxico con muy baja conductividad térmica 0.2 W/mK, con alta resistencia a secarse en temperatura ambiente, es utilizado para adherir los circuitos amplificadores a los tableros impresos en áreas no conductivas “Solder mask”, 17% del contenido de su peso son esferas de silicio o silica, módulo de Young a temperatura ambiente es de 336 Kgf/mm². Ver características en apéndice c.
- Adhesivo no conductivo LE5003. Epoxico con muy baja conductividad térmica 0.23 W/mK, con alta resistencia a secarse en temperatura ambiente, es utilizado para adherir los circuitos amplificadores a los tableros impresos en áreas no conductivas “Solder mask”, contiene tereftalato de polietileno (20-30%), silicio (20-30%), resina epoxica (1-10%), polímero acrílico (1-10%), carbón (0.1-5%), módulo de Young a temperatura ambiente es de 1.016 Kgf/mm². Ver características en apéndice d.

Con este tape, se pueden cubrir irregularidades en la superficie del sustrato, debido a su elasticidad, lo cual ayuda a reducir el riesgo de daño al circuito debido a burbujas residuales durante el proceso de “die attach”

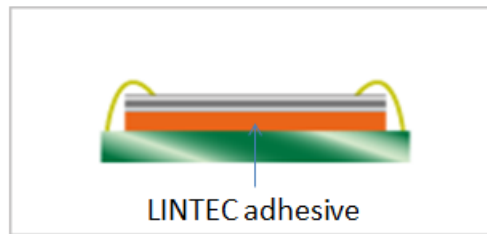


Figura # 12.- Tipico caso de aplicación de adhesivo en el proceso de pegado de dados (Die Attach)

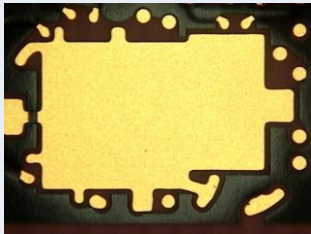
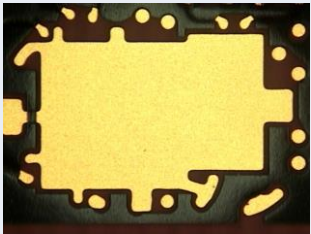
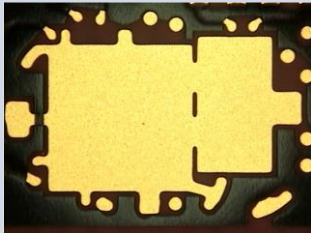
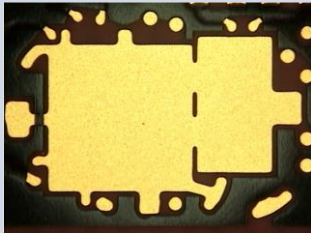
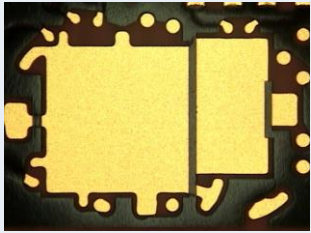
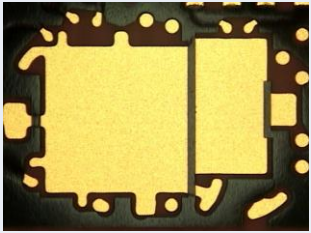
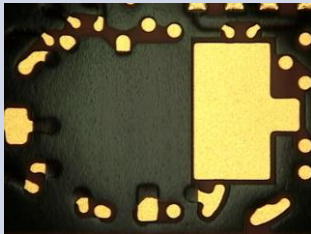
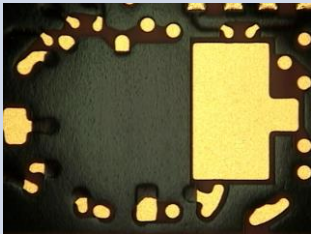
Variante "PCB"	Condiciones "PCB" o circuito impreso	
	"Prepreg" NXA	"Prepreg" NS
a. Control. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. Sin "solder mask" sobre el metal.		
b. Experimental. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. Ranuras o canales sin metal entre ambos dados		
c. Experimental. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. "solder mask" entre ambos dados.		
d. Experimental. Metal expuesto solo en el dado de SiGe 5PAe y solder mask sobre el pad del dado de silicio 7RF SOI.		

Tabla # 4.- Matriz de configuraciones utilizado en experimentación de vehículo de prueba # 1

Los resultados muestran que el EMC "Epoxy Mold Compound" y el Epoxico para pegar los "dados" o circuito semiconductor, se delaminan cuando se utiliza el "PCB" con "prepreg" NXA y áreas de pegado metálicas (Oro expuesto).

No hay delaminación cuando se utiliza el tablero con prepreg NXA y diseño con solder mask para el dado de silicio 7RFSOI y Oro expuesto para el dado SiGE 5PAe. Se verificaron resultados después de 3X reflujo y pruebas de MSL3/260. Ver fotografía de muestra en las condiciones mencionadas:

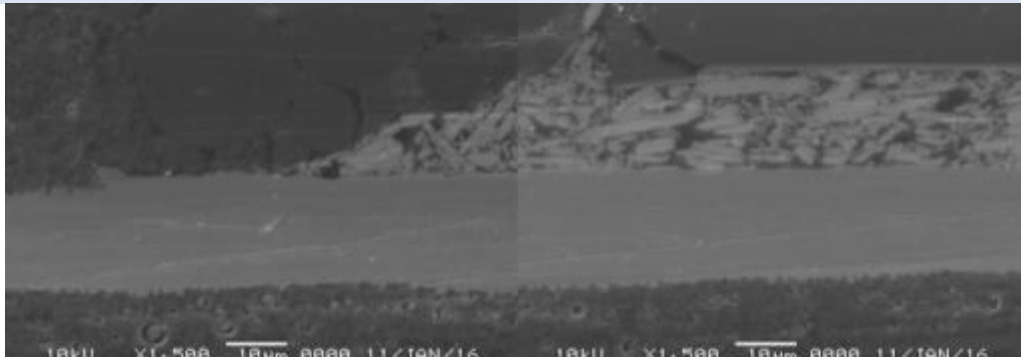


Figura # 13.- Corte transversal sin delaminación después de 3X reflow dado de silicio 7RFSOI sobre Oro.

El diseño del "PCB" impacta en la delaminación, ya que se puede observar que no hay delaminación antes o después de reflujo a 240°C o 260°C en los circuitos con diseño de "PCB" con solder mask, diseño "c" y "d" en tabla # 4, solo cuando se utilizó Epoxico en pasta, cuando se utilizan películas de adhesivos se encuentra delaminación, además el mejor resultado se obtuvo cuando se utilizaron tableros "PCBs" con prepreg tipo "NS". Ver en tabla anexa sumario de resultados:









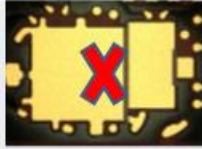







Variante "PCB"	Con filmina adhesiva (conductiva/no conductiva)		Con pasta epoxica (Conductivo /no conductivo)	
	"Prepreg" NXA	"Prepreg" NS	"Prepreg" NXA	"Prepreg" NS
1. Control. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. Sin "solder mask" sobre el metal.				
2. Experimental. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. Ranuras o canales sin metal entre ambos dados				
3. Experimental. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. "solder mask" entre ambos dados.				
4. Experimental. Metal expuesto solo en el dado de SiGe 5PAe y solder mask sobre el pad del dado de silicio 7RF SOI.				

Tabla # 5.- Tabla de resultados experimentos con diferentes diseños en el tablero en la capa superficial

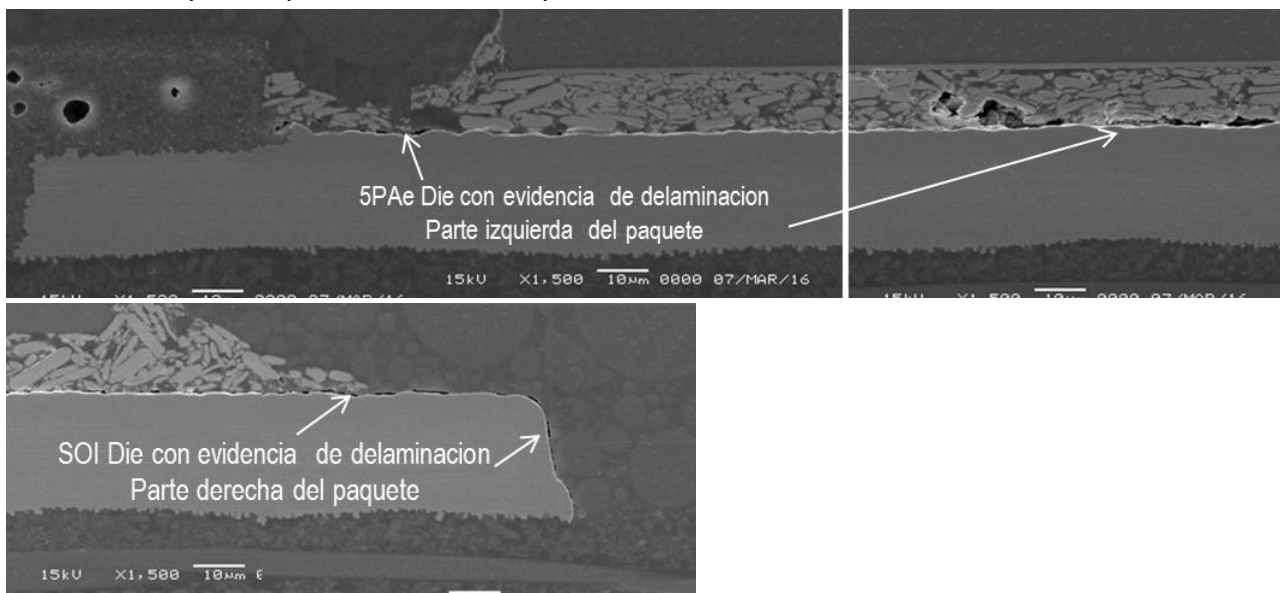
Validación experimental 4.- Se observan algunos huecos en el Epoxico conductivo utilizado para pegar el amplificador 5PAe, pero no se muestra delaminacion en ninguno de los dados o interfaces de materiales.

5.1.4 **A continuación se muestran resultados de validaciones** realizadas para confirmar resultados de experimentos anteriores. Se realizaron tres tipos de ensambles, todos ellos utilizando tablero con “prepreg” NXA:

Diseño de tablero	Tipo de Epoxico utilizado	1X – reflujo en sustrato @ 240 TS/CSAM después de cortar en paquetes	Antes de Pre condicionamiento MSL3/260	Después de Pre condicionamiento MSL3/260
1. Control. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. Sin “solder mask” sobre el metal.	 Ambos dados 7RF SOI y 5PAe con Epoxico conductivo 1290W	No delaminacion	No delaminacion	Delaminacion en ambos dados
3. Experimental. Metal expuesto (superficie cubierta de oro) para ambos dados: 5PAe & 7RF SOI die. “solder mask” entre ambos dados.	 Ambos dados 7RF SOI y 5PAe con Epoxico conductivo 1290W	No delaminacion	No delaminacion	Delaminacion en ambos dados
4. Experimental. Metal expuesto solo en el dado de SiGe 5PAe y solder mask sobre el pad del dado de silicio 7RF SOI.	 7RF SOI con Epoxico no conductivo 1576A y 5PAe con Epoxico conductivo 1290W	No delaminacion	No delaminacion	No delaminacion

Tabla # 6.- Tabla de resultados validacion con diferentes diseños en el tablero en la capa superficial

Validación control: Se observa delaminacion después de pre-condicionamiento MSL3/260 en ambos dados y entre plástico de moldeo y PCB.



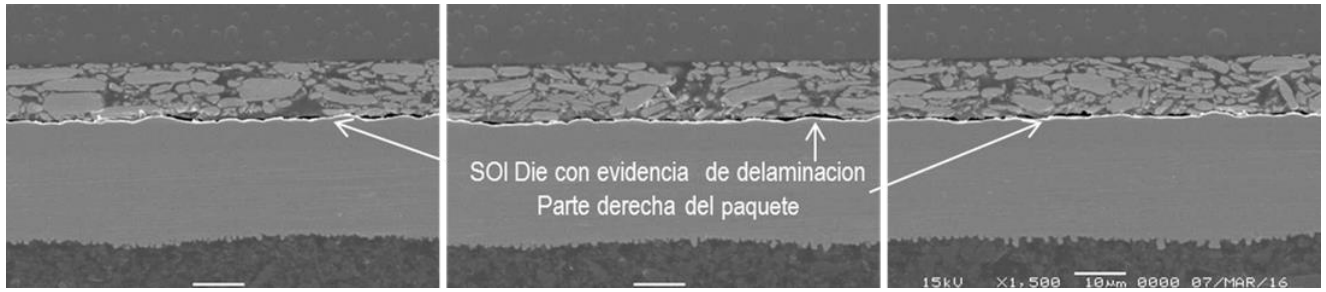
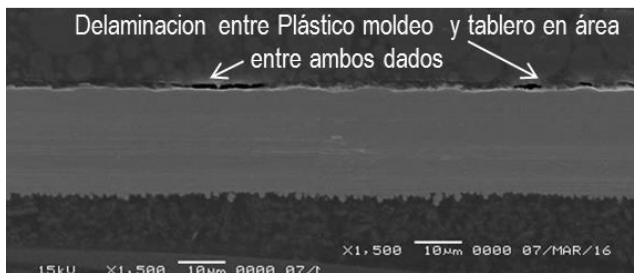
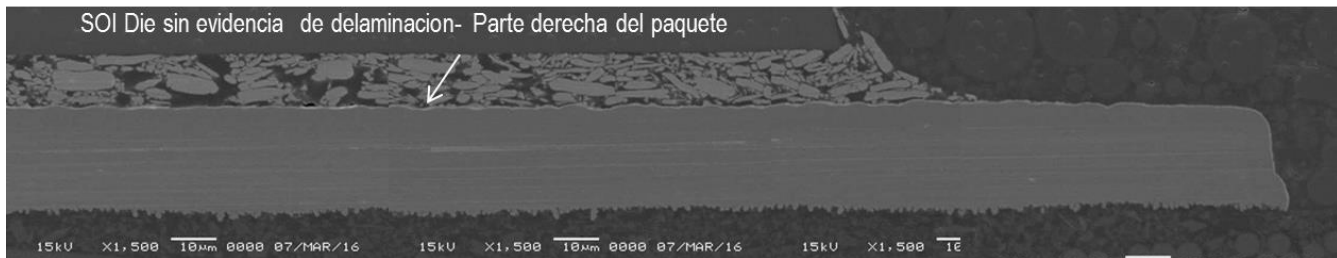


Figura # 14.-Paquetes con muestras de delaminacion después de pre-condicionamiento (tablero control)

Validación experimental 3.- Al igual que el control se muestra delaminacion después de pre-condicionamiento MSL3/260 en ambos dados y entre plástico de moldeo y PCB.



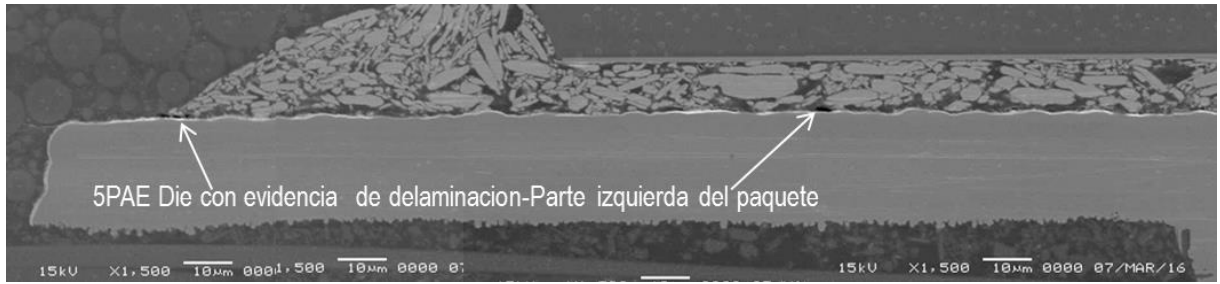


Figura # 15.-Paquetes con muestras de delaminacion después de pre-condicionamiento (tablero experimental con solder mask entre dados).

Validación experimental 4.- Se observan algunos huecos en el Epoxico conductivo utilizado para pegar el amplificador 5PAe, pero no se muestra delaminacion en ninguno de los dados o interfaces de materiales.

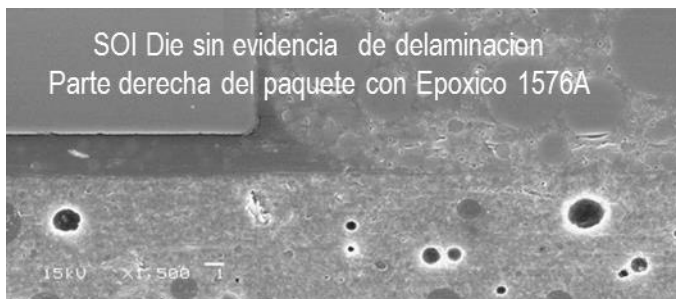
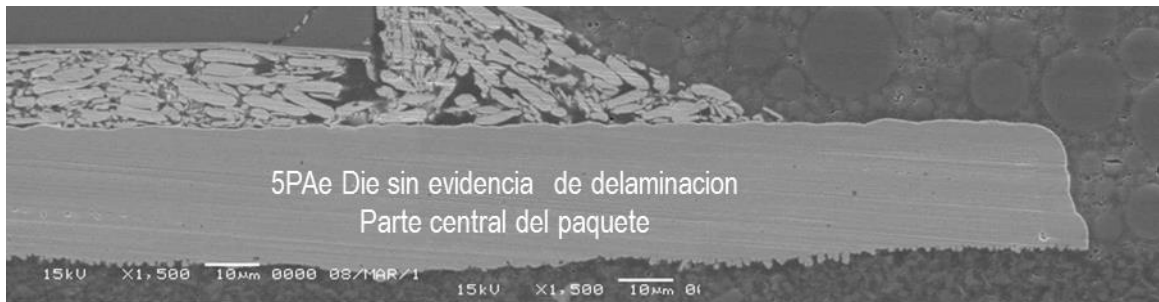
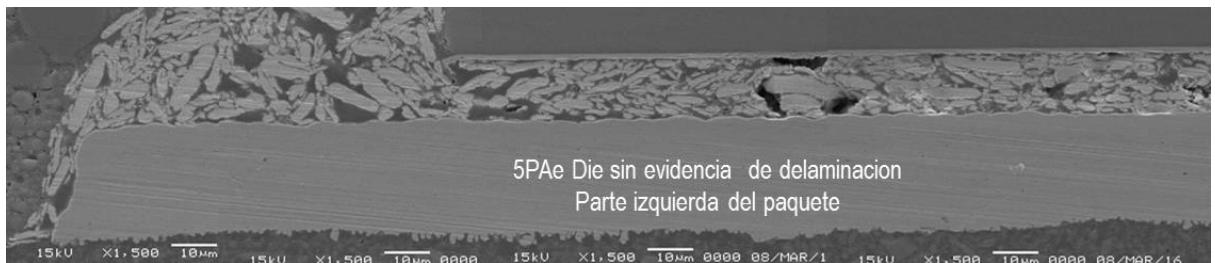


Figura # 16.-Paquetes sin evidencia de delaminacion después de pre-condicionamiento (tablero experimental con solder mask entre dados).

Los resultados de la validación muestran:

Los peores casos de delaminacion se observa en el ensamble control y en diseño de tablero con solder en medio de ambos dados ya que se observa delaminacion después de pre-condicionamiento MSL3/260 en ambos dados y también delaminacion entre plástico de moldeo y PCB, esto significa que el solder mask agregado entre los dados no ayuda a evitar la delaminacion.

El diseño que logra contener la delaminacion es el que cuenta con solder mask en el dado 7RFSOI en combinación con Epoxico no conductivo, esto debido a la fuerza de adherencia de este Epoxico con el material aislante "solder mask" en combinación con propiedades del Epoxico el cual cuenta con un "elastic modulus" de 330 kgf/mm^2 el cual es menor a el modulus del epoxico conductivo (1650 kgf/mm^2).

5.2 Experimentos para entender efecto de variables del proceso de "Moldeo", en combinación con diseño de PCB:

5.2.1 Diseño de PCB en combinación con variables del proceso de moldeo, se evaluaron diferentes características del "PCB":

- Presión utilizada para moldear circuitos en tablero completo.
- Grosor de capas de cobre ("A")
- Diseño de terminales de contacto del circuito ("C")
- Diseño del solder mask en la parte inferior del PCB ("D")
- Ver áreas de enfoque en dibujo anexo.

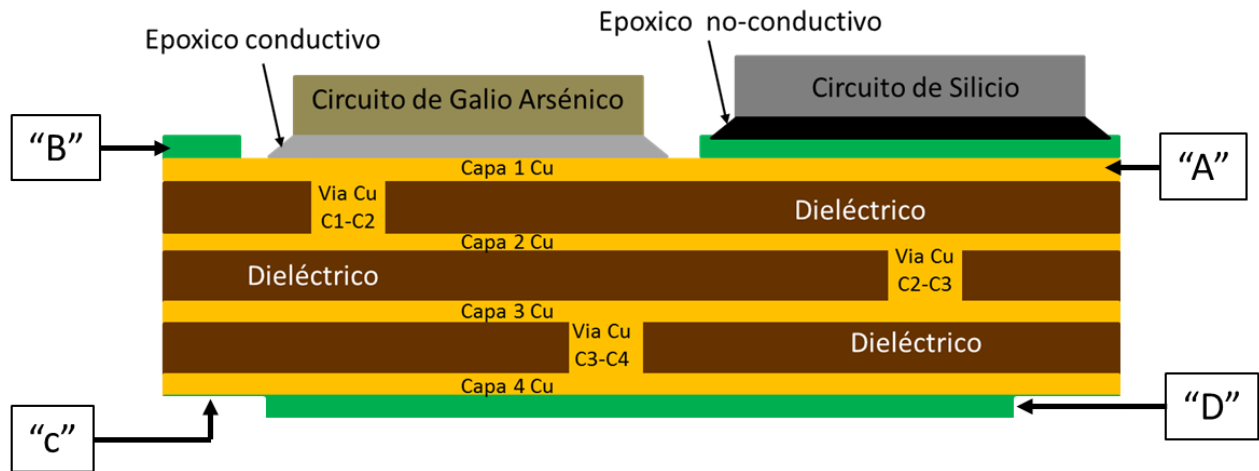
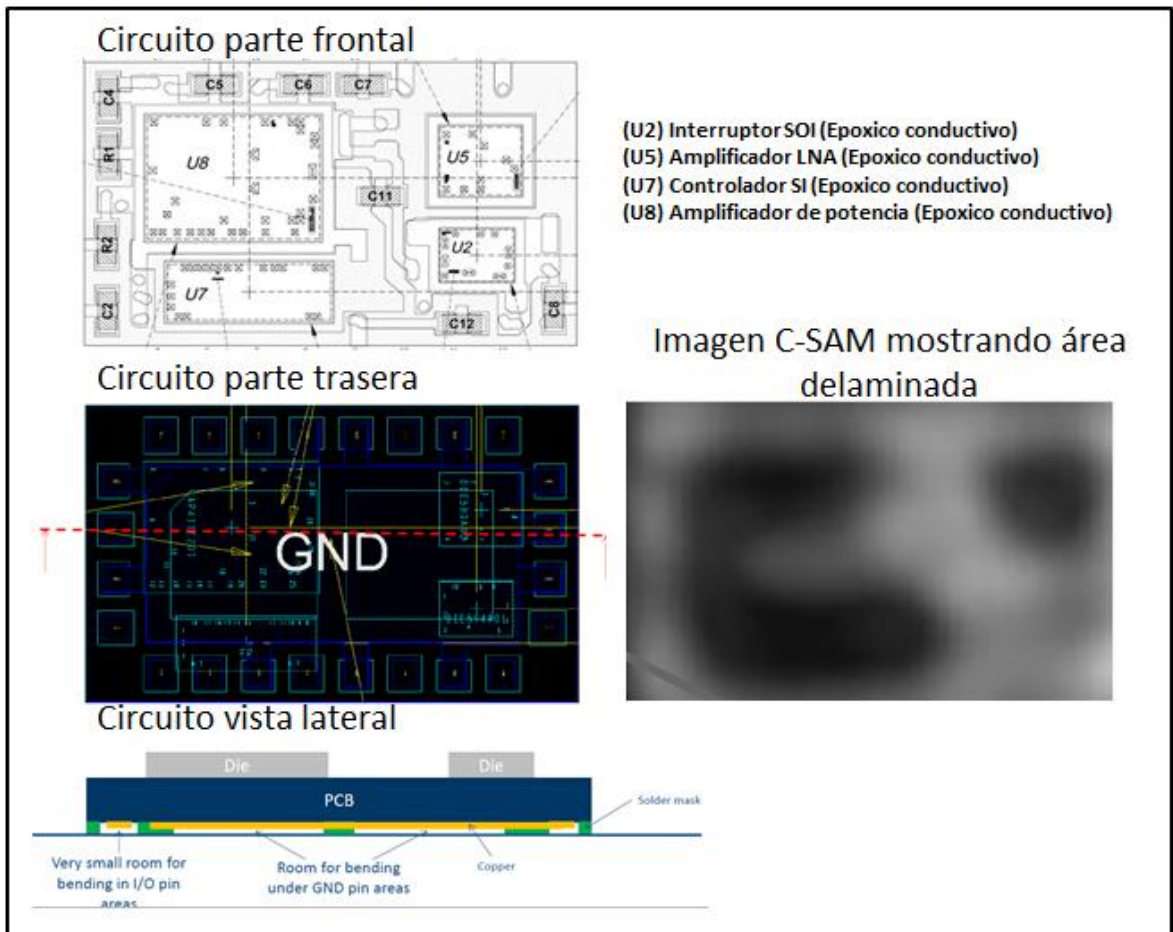


Figura # 17.-Diseno de tablero y posibles áreas incrementando problemas de delaminacion

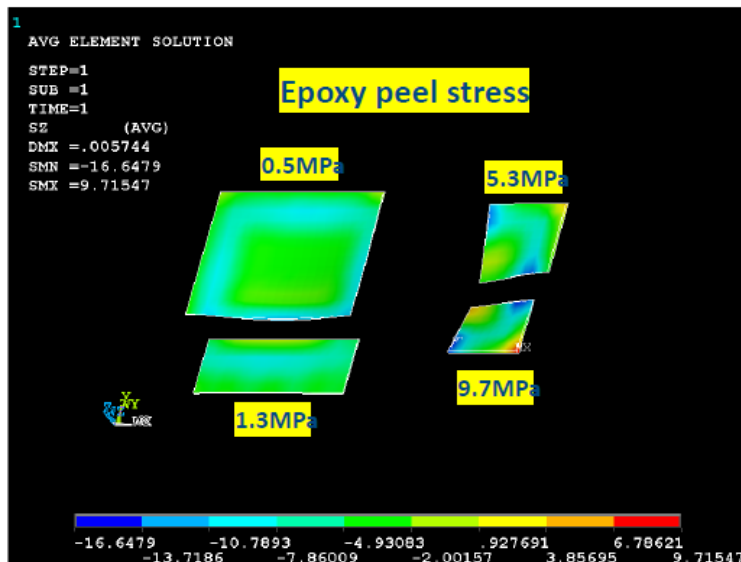
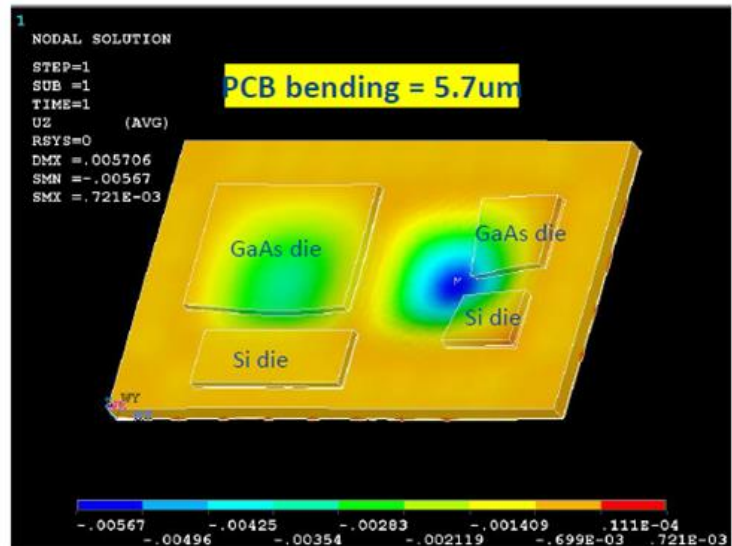
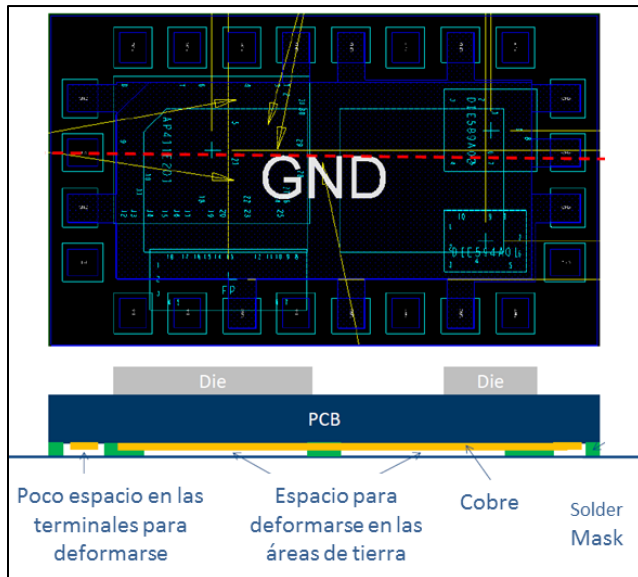
5.2.1.1 Es importante evaluar el comportamiento de la variable presión en moldeo y el diseño del PCB, ya que anteriormente, con varios experimentos se demostró que las variables usualmente relacionadas con delaminación, especialmente limpieza de las superficies: dados y tablero, así como también los epoxicos utilizados no tuvieron un efecto significativo en este diseño en particular, a continuación se muestra diseño de circuito, así como también imagen de C-SAM donde se puede observar la delaminación en las áreas donde se encuentran los dados:



.2.1.2. Primeramente se realiza simulación con software especializado que utiliza métodos de elementos finitos, con el propósito de entender las zonas de estrés en el circuito a diferentes presiones de moldeo, con diferentes configuraciones de tablero:

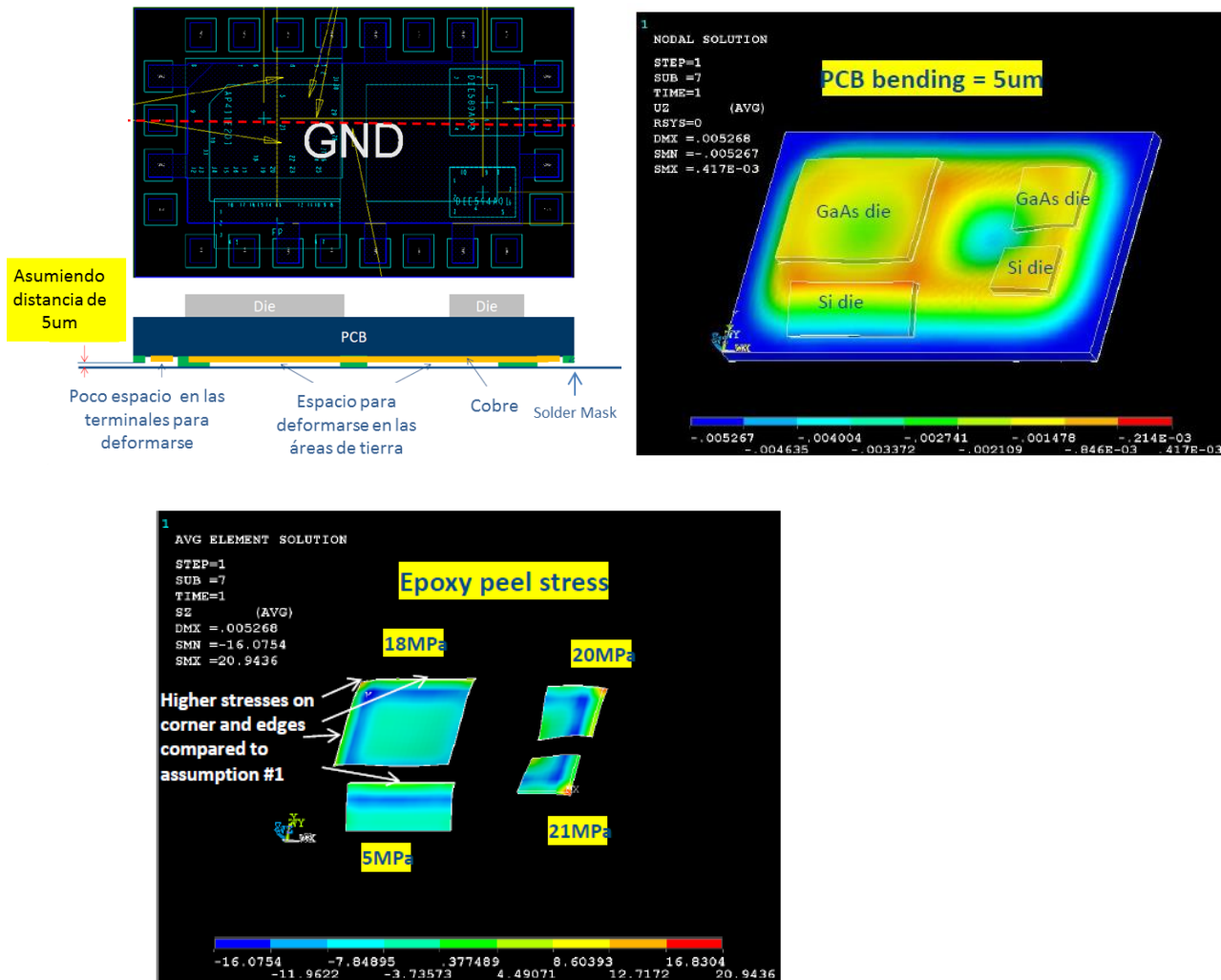
- Caso # 1: Tablero con soporte por solder mask en las orillas del circuito
- Caso # 2: Tablero sin soporte en las orillas del tablero.

- Simulación caso # 1: De acuerdo a la simulación el tablero con mejor soporte en las orillas del circuito, se puede deformar 5.7um en la parte central cuando se aplica una presión de 800PSI, en estas condiciones el estrés en el Epoxico sería como se observa en la figura # 3: Dado de GaAs die 0.5Mpa, Dado de silicio 1.3Mpa, Dado de GaAs pequeño 5.3Mpa y Dado de Silicio pequeño 9.7Mpa.



- Simulación caso # 2: De acuerdo a la simulación el tablero con menos soporte en las orillas del circuito, se puede deformar 5.0um en la parte central cuando se aplica una presión de 800PSI, en estas condiciones el estrés en el Epoxico sería

como se observa en la figura # 3: Dado de GaAs die 18Mpa, Dado de silicio 5Mpa, Dado de GaAs pequeño 20Mpa y Dado de Silicio pequeño 21Mpa.



El diseño de tablero “PCB” con mayor soporte en las orillas del paquete, dado por el espesor del solder mask, tiene mayor deflexión en el centro del paquete pero mucho menor estrés en la interface del Epoxico. El estrés en los circuitos con un espacio simulado de 5um entre el solder mask y el resto del área donde se soporta el circuito es hasta 36 veces mayor en el área del dado de Galio grande (localizado arriba a la izquierda de los paquetes). Debido a esto es necesario trabajar en robustecer el diseño del circuito impreso o tablero.

En base a resultados obtenidos de simulación se diseñan distintos tipos de tableros para agregar soporte y evitar estrés durante el proceso de moldeo de los circuitos, se evalúan los siguientes diseños de tableros:

1. Tablero original:
2. Tablero solo de prueba con solder mask cubriendo toda la parte inferior del circuito, este tablero no puede ser funcional.
3. Tablero con terminales a tierra extendidas hasta la orilla del paquete, para evaluarse si las terminales pueden dar soporte adicional, además se agrega solder mask en el centro del paquete para mayor soporte.
4. Tablero con pad central definido por metal, terminales definidas por metal, espesor de solder mask reducido para reducir el espacio entre la última capa de metal y la superficie externa del solder mask, en este caso se utilizara una tecnología diferente llamada "dry film" para controlar mejor el espesor durante la fabricación del tablero.

#	Descripción	Diseño de tablero
1	Configuración inicial – área completa de tierra en el centro	
2	Configuración inicial – área completa de tierra dividida en el centro	
3	No-funcional; Solder mask parejo en la capa inferior	
4	Área completa de tierra en el centro; todas las terminales no definidos por solder mask + Dry film solder mask	
5	Área completa de tierra en el centro; 10 Terminales de tierra extendidas cubiertas por solder mask.	

Básicamente se simuló con software de elemento finito diferentes condiciones de planaridad, esto para entender el efecto de la falta de la misma en la superficie (capa inferior) del tablero.

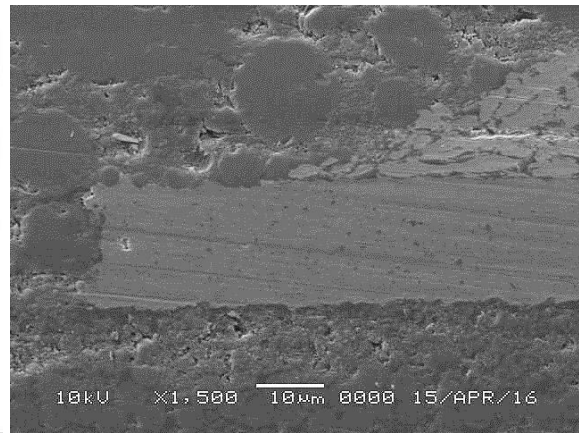
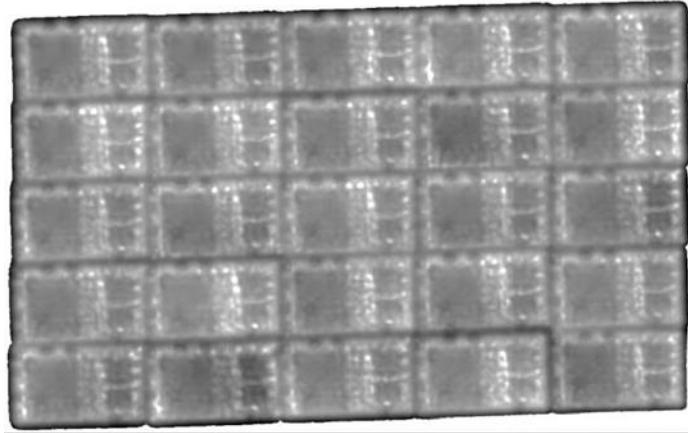
Los resultados de la simulación muestran que el diseño inicial #1 y 2 muestra el mayor estrés, el diseño # 3 muestra la menor cantidad de estrés (pero es un diseño no funcional, solo utilizado para mostrar que la presión de moldeo combinada con el diseño de solder mask puede causar delaminación), los diseños 4 y 5 son menos susceptibles a delaminarse, pero el diseño # 4 es el que muestra menor cantidad de estrés.

#	Diseño	Amp	Amp LNA	Si Cont	SOI
1	Configuración inicial – área completa de tierra en el centro	43	40	14	39
2	Configuración inicial – área completa de tierra dividida en el centro	42	39	10	37
3	No-funcional; Solder mask parejo en la capa inferior	-5.1	-5.3	-5.2	-5.3
4	Área completa de tierra en el centro; todas las terminales no definidos por solder mask + Dry film solder mask	3.4	7.2	7.7	11
5	Área completa de tierra en el centro; 10 Terminales de tierra extendidas cubiertas por solder mask.	25	22	17	33

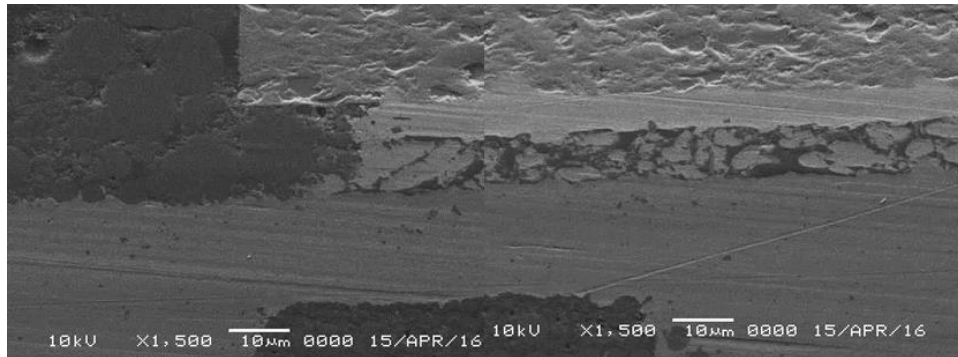
A continuación se muestran imágenes de simulación de diseño # 1, se puede observar una deflexión en el centro del circuito de hasta 14um y un nivel de estrés en los circuitos dados de hasta 43Mpa.

Como se encontró en el análisis de elemento finito, el diseño # 3 no muestra algún indicio de delaminación en T-SCAN o inspección por corte transversal después de someter material 3x reflujo.

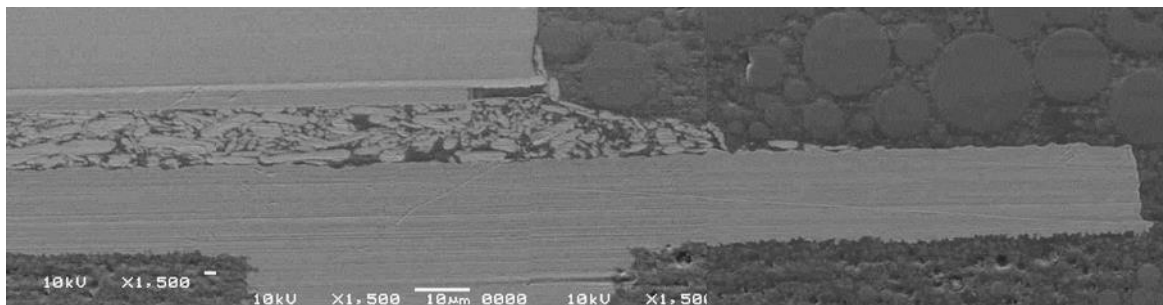
Abajo imágenes de circuito amplificador.

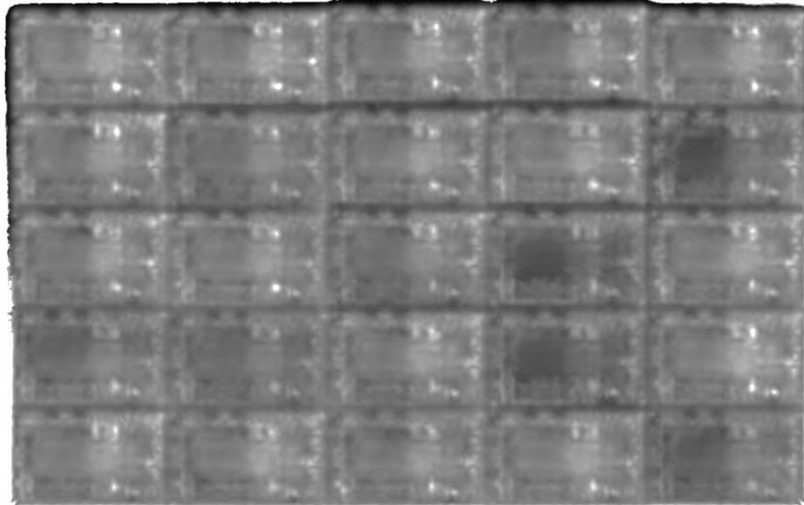


Abajo imagenes de circuito amplificador LNA, no se muestra delaminacion.



El mismo análisis se realizó para cada una de los diseños del tablero, no se encontró delaminacion en el diseño # 4, como lo indica el análisis de elemento finito, abajo se muestran fotografías de T-SCAN y cortes transversales de circuito Amplificador





Los resultados muestran que un solder mask planar o parejo en la capa inferior de los circuitos elimina el estrés causado por la presión del proceso de moldeo, los resultados físicos coinciden con el análisis obtenido por la simulación (Análisis de elemento finito).

6 CONCLUSIONES:

Después de analizar los resultados de todos los experimentos realizados para entender las principales variables que afectan o producen delaminación en los circuitos integrados, se entiende lo siguiente, es importante controlar cada una de las condiciones críticas en los procesos de ensamble, tales como limpiezas (plasma), procesos de laminado de adhesivos, condiciones de manejo de epoxicos, así como también controlar y definir de variables críticas de cada uno de los procesos principalmente **pegado de dados** “Die Attach”, tales como perfiles de curado de Epóxico, tiempos de dispensado principalmente para los epoxicos que contienen solvente y **Moldeo**, tal como presiones. También es de suma importancia conocer y controlar las características físico-mecánicas de los materiales utilizados, epoxicos y plásticos de moldeo (EMC) ya que en algunas condiciones pueden ayudar a absorber estrés o pueden detonar eventos de delaminación. En el caso de este trabajo se encontró que las variables más críticas que producen la delaminación están

relacionadas con los diseños de los tableros/sustratos utilizados en la fabricación de los circuitos integrados.

En el vehículo de prueba # 1, se concluye que: Los peores casos de delaminación se observan en los diseños de tablero/sustrato sin solder mask en el área donde se colocan los circuitos dados de material semiconductor, los mejores resultados se observan cuando áreas grandes de metal son cubiertas con “solder mask”, en este caso el área donde se coloca uno de los dados en combinación con el tipo de epoxico utilizado, esto debido a la fuerza de adherencia de este Epoxico con el material aislante “solder mask” en combinación con propiedades del Epoxico el cual cuenta con un “elastic modulus” de 330 kgf/mm², el cual es menor a el modulus del epoxico conductivo (1650 kgf/mm²).

En el vehículo de prueba # 2, se concluye que, la capa inferior de solder mask que ayuda a distribuir uniformemente la presión durante el proceso de moldeo, y ayuda a eliminar deflexión en el paquete durante este proceso, es la variable más crítica a controlar en el diseño de circuitos integrados. Como lo muestran los resultados, un solder mask plano o parejo en la capa inferior de los circuitos elimina el estrés causado por la presión del proceso de moldeo, los resultados físicos coinciden con el análisis obtenido por la simulación (Análisis de elemento finito).

Es importante también señalar que el uso de herramientas o softwares de simulación (Análisis de elemento finitos), son muy importantes en la industria para encontrar áreas de oportunidad, antes de realizar los diseños reales de los circuitos, esto ayudara a disminuir los tiempos de desarrollo de los circuitos y a mejorar el tiempo de lanzamiento de los mismos al mercado.

7 APENDIX:

7.1 Características de Epoxico de alta conductividad térmica- SUMITOMO 1290W

B

TECHNICAL DATASHEET					
Characteristics					
<ul style="list-style-type: none"> •High thermal conductivity and Good Adhesion •Long dry up time •Good dispensability with small needle 					
Typical Properties					
Item	unit	CRM-1290WB	Test method	Test condition	
Appearance	-	Silver color		Visual checking	
Filler type	-	Silver			
Filler content	Wt %	87	CR-M-3268		
Specific gravity	-	4.9	CR-M-3264		
Viscosity	Pa.s (PS)	12.0 (120)	CR-M-031	Brookfield viscometer @5.0rpm	
Thixotropic index	-	5.1	CR-M-031	Brookfield viscometer 0.5rpm/5.0rpm	
Water Extracted	Na+	ppm	3	CR-M-020	Ionic Impurity measurement equipment PCT 125°C20hrs
	Cl-		13		
Volume resistivity		Ohm-cm	4×10^{-5}	CR-M-3265	Mili-ohm meter @RT
Mount strength	RT	N/2x2mm (gf/2x2mm)	>19.6 (>2000)	CR-M-3267	Die shear tester LF:Ag plated Cu Chip:2x2mm
	@250°C		13.0 (1320)		
Elastic modulus	RT	MPa (kgf/mm ²)	16500 (1650)		DMA -100^300°C (5°C/min), 10Hz
	@250°C		1500 (150)		
Tg		°C	85	CR-M-010	
CTE	Alpha-1	ppm	25	CR-M-010	TMA -100^300°C (10°C/min)
	Alpha-2		70		
Moisture absorption		%	0.1		Electric balance 85°C/85%/72hrs
Thermal conductivity		W/mK	10		Laser-flash method @RT

7.2 Características adhesivo conductor:

7.3 Características Epoxico No Conductor

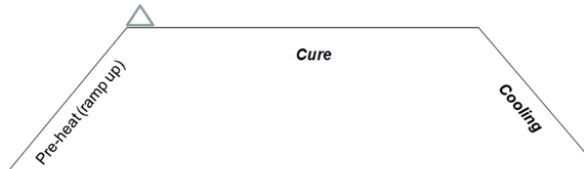
TECHNICAL DATASHEET					
Characteristics					
<ul style="list-style-type: none"> • Superior Adhesion to Organic Substrate/Si chip • Low Modulus with New Spherical Filler • No Void without Drying of Substrate (100deg C cure) 					
Typical Properties					
Item	unit	Specification	Test method	Test condition	
Appearance	-	Black color		Visual checking	
Filler type	-	Silica & Organic filler			
Filler content	Wt %	17	CR-M-3268		
Specific gravity	-	1.2	CR-M-3264		
Viscosity-1	Pa.s (PS)	18.0 (180)	CR-M-001	E-type viscometer @2.5rpm	
Thixotropic index-1	-	3.5	CR-M-001	E-type viscometer 0.5rpm/2.5rpm	
Viscosity-2	Pa.s (PS)	8.2 (82)	CR-M-031	Brookfield viscometer @5.0rpm	
Thixotropic index-2	-	4.0	CR-M-031	Brookfield viscometer 0.5rpm/5.0rpm	
Water Extracted	Na+ Cl-	ppm		1 6	CR-M-020 Ionic Impurity measurement equipment • PCT 125°C20hrs
Mount strength	RT @250°C	N/2x2mm (gf/2x2mm)		>19.6 (>2000) 17.0 (1730)	CR-M-3267 Die shear tester LF:Ag plated Cu Chip:2x2mm
Elastic modulus	RT @250°C	MPa (kgf/mm ²)		3300 (336) 200 (20)	DMA -100^300°C (5°C/min), 10Hz
Tg	°C			135	
CTE	Alpha-1 Alpha-2	ppm		80 130	TMA -100^300°C (10°C/min)
Moisture absorption	%			1.8	Electric balance 85°C/85%/72hrs
Thermal conductivity	W/mK			0.2	Laser-flash method @RT

7.4 Características de adhesivo no conductivo- LINTEC LE5003S.

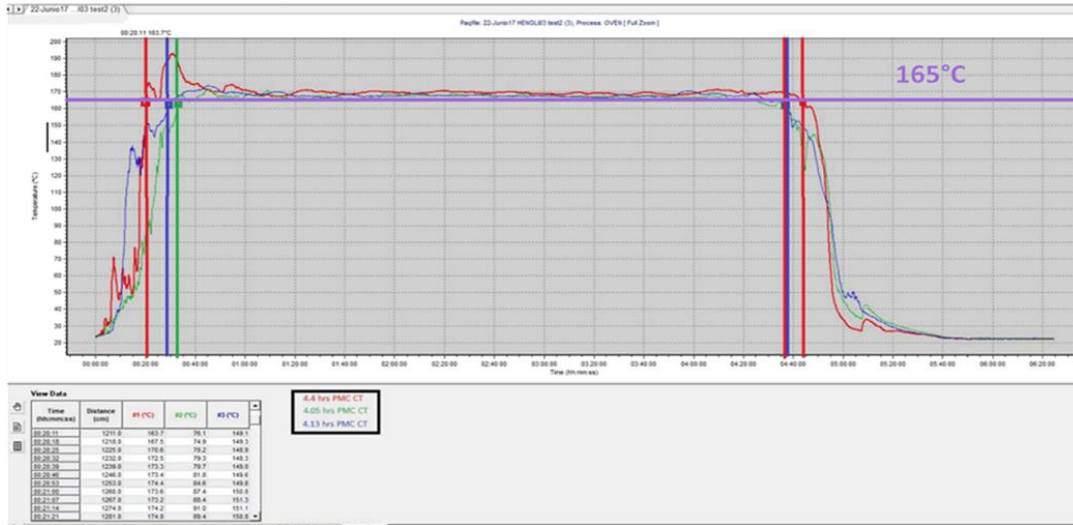
		LE5003S	Remark
Tape thickness (μm)		120	Without release film.
Base film thickness (μm)		100	
Die bonding film thickness (μm)		20	
Appearance		Dark brown	
Pick up strength (N/5mm×5mm)		1.2	Stretch condition: 12mm using CPS unit
Peel strength (N/10mm)		8.1	Adherent: Copper
Die shear strength (N/2mm×2mm)	R.T.	107	Adherent: Copper
	250°C	11	Condition: 250°C/30sec.
Glass transition temperature (°C)		172	Elastic data
Storage modulus (Pa)	25°C	1.8×10^9	Frequency: 11Hz
	100°C	1.0×10^9	
	150°C	2.6×10^8	
	200°C	4.0×10^7	
	250°C	3.1×10^7	
CTE (ppm)	α1	70	TMA
	α2	170	
Moisture absorption (wt%)		1.5-1.8	MSL1: 85°C, 85%RH/168hr

7.5 Perfil de curado de moldeo:

Perfil PMC horno de chamber



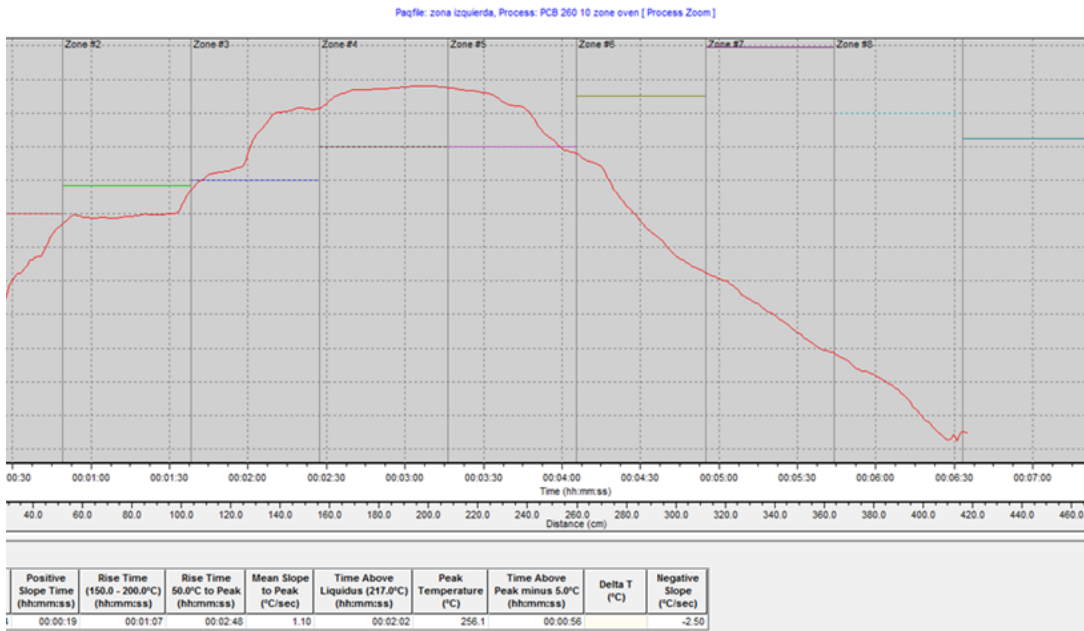
- Preheat or ramp up is up to reach 165°C ~10-40 min
- Process Cure in 165°C +/- 3 ~ 4 hrs. Over temperature 175 +/- 2 ~ 10 min max at initial
- Cooling up to reach 50°C and deactivate interlock ~ 40-60 min



7.6 Perfil de reflujo

Parametros:

- Rise Time o Preheat (150-200° C) = 60-120 segundos
- BELTSP: 29 in/min
- Time above 217° C = 110-150 segundos
- Peak Temperature = 260 (-)5° C



8 BIBLIOGRAFIAS:

1. Mahdi Sadeghinia (2013).- Afilare and Delamination in Microelectronic Packages. ISBN/EAN:978-94-6186-116-0.
2. E. Suhir Y.C. Lee, C.P. Wang, Micro- ad opto- Electronic materials and structures: Physics, mechanics, design, reliability, packaging, Springer, New York, 2007.
3. IPC/JEDEC J-STD-033B.1 (2007). Joint Industry Standard. Handling, Packaging, Shipping and use of Moisture/Reflow Sensitive Surface Mount Devices.
4. Hu Guojun, A theoretical and Numerical Study of crack propagation along a bimaterial interface with applications to IC packaging, PhD thesis, National University of Singapore (2006).
5. A.A.O. Tay, T.Y. Lin, Influence of temperature, humidity and defect location on delamination in plastic IC packages, IEEE transaction on components and packaging technologies, 22(4) (1994) 512-518.
6. B. Wunderle, M. Schuls, J. Keller, G. Schlotting, I. Maus, D. May, O. Holck, H. Pape, B. Michael, fracture mechanical interface characterization for thermos-mechanical design and efficient and comprehensive method for critical mixed mode data extraction, IEEE 61st ECTC conference (Lake Buena Vista, June 2011), pp 1459-1467.
7. B. Wunderle, M. Schuls, J. Keller, D. May, I. Maus, H. Pape, B. Michel, Advanced mixed mode bending test: A rapid, inexpensive and accurate method for fracture mechanical interface characterization, IEEE 13th EuroSimE conference (Cascais, April 2012, pp 1-11).
8. A. Xiao, Interface characterization and failure modeling for semiconductor application, PhD thesis, Delft, 2012.
9. G. Schlotting, Reliability at chip interfaces: Delaminating the silicon die from molding compound, PhD thesis, Delft 2012.
10. D.A. Hills, Stelios Kyriakides, International Journal of Solids and structures (2013).
11. X. Ma, fast qualification methods for microelectronic packages, PhD thesis, Delft university (2011).
12. Mahdi SADEGHINA Failure and Delamination in Microelectronic Packages, Khaje Nasir Toosi University of Technology, Iran.
13. Referencia: Surface Mount Nomenclature and packaging (www.topline.tv)
14. Referencia: <https://wpo-altertechnology.com/scanning-acoustic-microscopy-csam/> [12]
15. Referencia: "prepreg" <http://www.gazechim.es/procesos-de-aplicacion/prepreg.html>
16. Referencia: Adhesivo LINTEC <http://www.lintec.co.jp/edept/english/adwill/di/diebonding.html#anc02>